

计算机文摘征订启事

本文摘所属《计算机数学与软件文摘》、《计算机硬件文摘》与《计算机应用文摘》，1987年仍为月刊，每期字数分别为16万、16万与15万。为方便订阅，明年改为邮局发行，代号分别为78—85、78—86与78—87，请读者与单位于今年11月份去启地邮局预订。

计算机文摘编辑部

计算机硬件文摘 第十六辑

中国科学技术情报研究所重庆分所	编辑
科学技术文献出版社重庆分社	出版
重庆市市中区胜利路132号	
新华书店重庆发行所	发行
科学技术文献出版社重庆分社印刷厂	印刷

开本：787×1092毫米1/16	印张：4	字数：13万
1986年12月第一版	1986年12月第一次印刷	
科技新书目：129—261	印数：1690	

统一书号：15176·694

定价：1.45元

目 录

0100	电路与器件.....	(4)
0110	逻辑元件.....	(4)
0110C	半导体逻辑元件.....	(4)
0110E	其它逻辑元件.....	(4)
0120	逻辑与开关电路.....	(5)
0130	微处理机芯片.....	(6)
0140	固件.....	(—)
0150	数字计算机的其它电路.....	(7)
0160	模拟电路.....	(—)
0180	模/数与微/模转换模.....	(7)
0200	逻辑设计与数字技术.....	(8)
0210	逻辑设计方法.....	(8)
0210B	计算机辅助逻辑设计.....	(12)
0220	计算机体系结构.....	(15)
0230	微字运算方法.....	(16)
0240	微字滤波路.....	(—)
0250	数计算模技术.....	(—)
0260	微字信号处理.....	(17)
0280	其它数字技术.....	(17)
0300	计算机存贮设备与技 术.....	(19)
0310	存储系统设计.....	(—)
0320	微字存储器.....	(19)
0320C	动磁介质存储磁.....	(19)
0320E	静磁介质存储器.....	(20)
0320G	半导体存储器.....	(21)
0320Z	其它数字存储器.....	(22)
0330	模拟存储器.....	(23)
0380	其 它.....	(—)
0400	模拟与数字计算机及系 技.....	(23)
0420	大型计算机与小型计 算机.....	(24)
0430	微型计算机.....	(25)

0440	多处理机系统与技术.....	(30)
0450	模拟与混合计算机及系统.....	(—)
0460	模拟与混合计算技术.....	(—)
0470	性能评价与测试.....	(32)
0490	其 它.....	(33)
0500	计算机外围设备.....	(34)
0520	数据采集设备与统术.....	(34)
0530	模式识别设备.....	(35)
0540	终端与图形显示据.....	(36)
0550	打印机与绘图机.....	(—)
0560	数据准备设备.....	(—)
0580	计算机据数胶片输出设备.....	(—)
0585	语音识别与合成.....	(39)
0590	其 它.....	(40)
0600	数据通信设备与技术.....	(41)
0610	计算机接口.....	(42)
0610N	网络接口.....	(42)
0610P	外设接口.....	(43)
0610S	系统总线.....	(45)
0620	计算机网接与技术.....	(46)
0620L	局部网络.....	(49)
0620W	其它网络.....	(55)
0630	连网设备.....	(56)
0690	其 它.....	(57)

主题指南

本主题指南是将本刊分类时涉及到的主题词按汉语拼音字母顺序编排的一个索引,其中的数字为分类号。由分类号便可自目录查出涉及该主题的文摘所在的页码。

A		多路转换器	0630
按内容访问存储器	参见“相联存储器”	多数逻辑	0120
B		多值逻辑	0120
半导体存储设备	0320G	F	
半导体逻辑元件	0110C	分时系统	0400
便携式计算机	0430	G	
并行处理	0440	个人计算机	0430
并行存取存储器	0320	光笔	0540
C		光存储设备	0320Z
超导器件	0100, 0320Z	光符识别	0530
除法电路	0120	光计算	0280
触发器	0120	广域网络	0620W
穿孔带设备	0560	规程	参见“协议”
穿孔卡设备	0560	H	
磁存储系统	0320	绘图机	0540, 0550
磁带存储器	0320C	混合计算机	0450
磁逻辑	0120	混合计算机程序编制	参见“混合计算机程序设计”
磁膜存储器	0320E	混合计算机程序设计	0460
磁扭线	0320E	混合模拟	0460
磁盘存储器	0320C	“或非”电路	0120
磁泡存储器	0320	J	
磁心存储器	0320E	集成电路	0110C, 0120
存储器设计	0310	积分电路	0160
存储设备	0300	计数电路	0120
D		计算机测试	0470
打印机	0550	计算机电路	0100
代码转换器	0120	计算机电源	0150
低温电存储器	0320Z	计算机辅助逻辑设计	0210B
电流开关逻辑电路	参见“电流型逻辑电路”	计算机接口	0610
电流型逻辑电路	0110, 0120	计算机结构	0220
电源	0150	计算机评价	0470
电子逻辑	0110, 0120	计算机缩微胶片输出设备	0580
定时电路	0160	计算机体系结构	0220
镀膜存储器	0320E	计算机调试	0470
多重处理系统	0440	计算机图形设备	0540
多址访问系统	0400	计算机外围设备	0600
多道处理系统	参见“多重处理系统”	计算机网络	0620
多孔磁心	0320E	计算机选择	0470
多路复用器	参见“多路转换器”	加法电路	0120, 0160
多路开关选择器	0630	加法器	0120

家用计算机	0430	数字集成电路	0100
键盘	0500	数字技术	0200
交互终端	0540	数字计算机	0420
晶体管晶体管逻辑电路	0110C, 0120	数字滤波器	0240
进位逻辑	0230	数字通信系统	0600
局部网络	0620L	数字系统	0400, 0420, 0600
K		数字信号	0260
开关电路	0120	数字信号处理	0260
快速响应计算机系统	0400	数字运算	0230
L		数组处理机	0440
连网设备	0630	隧道二极管存储设备	0320G
逻辑电路	0120	随机存取存储器	0320G
逻辑门	0120	T	
逻辑器件	0100	条形码扫描器	0590
逻辑设计	0210	调制解调器	0630
逻辑元件	0110	通信	0600
M		图形设备	0540
模拟	0460	W	
模拟存储器	0330	外围设备接口	0610P
模拟计算机	0450	网络分析器	0630
模拟计算机程序编制	参见“模拟计算机程序设计”	网络接口	0610N
模拟计算机程序设计	0460	微程序设计	0220
模拟计算机电路	0160	微处理机芯片	0130
模式识别	0530	微处理机组件	0130
模/数转换	0180	微分电路	0160
P		微分分析机	0160
判定表	0210	微计算机芯片	0130
频谱分析	0450	微计算机组件	0130
Q		微型计算机	0250
全息照相术	0330	温彻斯特磁盘	0320C
R		X	
冗余	0210, 0400	细胞阵列	0120
S		系统总线	0610S
三态逻辑电路	0110, 0120	显示系统	0540
乘法电路	0120	相联存储器	0320
识别设备	0530	向量处理机	0440
实时计算机系统	0420	相似模拟	0460
时序电路	0120	小型计算机	0420, 0430
数据采集	0520	协议	0620
数据传输	0600	性能评价	0470
数据通信	0600	Y	
数据准备设备	0560	移位寄存器	0120
数论	0230	硬磁盘	0320C
数/模转换	0180	“与非”电路	0120
数字存储器	0320	语音合成	0585
数字电路	0100	语音识别	0585

阈值逻辑电路	0110, 0120	只读存储器	0320G
远程通信	0600	主计算机	0420
Z		字符识别	0530
真值表	0200	自组织存储器	0320
阵列处理机	0440	组合电路	0120
直接模拟	0450		

符号解释

1. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 2. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 3. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 4. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 5. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 6. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 7. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 8. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 9. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 10. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。

符号解释

1. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 2. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 3. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 4. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 5. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 6. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 7. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 8. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 9. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 10. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。

1. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 2. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 3. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 4. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 5. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 6. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 7. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 8. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 9. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。
 10. 符号解释: 本手册中所用符号, 除在正文中另有说明外, 均按下列规定解释。

电路与器件

逻辑元件

半导体逻辑元件

16001 可编程逻辑器件(德)/Christiansen, P. // Funktschau.-1985, (16).-46~48

在讨论标准IC、半定制IC和全定制IC数量有限的应用范围和解释各种可编程系统的首字母组合词(例如硬阵列逻辑的HAL、可编程逻辑阵列的PLA等)之后,本文借助6个框图集中而详尽地研究了PLA系统。它们基本上包括一个输入缓冲器,一个“与”门、“或”门与一个可编程“非”门组成的串联链和一个输出缓冲器。指出PLA的局限性,在不规则真值表的情况下PROM更适用。使人感兴趣的是一个综合表,它包括6个主可编程逻辑系统、它们配合的方法(例如链路的分离或连接)、可用门操作数(高达6000)、经济的生产过程(每年多达30000台)、时钟频率(高达400MHz)和某些特征。

其它逻辑元件

16002 一种具有“或”/“与”标记的新型电流注入的约瑟夫结逻辑单元(英)/Matheron, G. // IEEE Trans. Magn.-1985, MAG-21(2).-558~561

描写一种不需要用于适当隔离输入-输出的薄膜电阻的新型电流注入约瑟夫结逻辑单元。它包括三个并联的分支,每个分支有三个结。把控制电流对称地注入两边的分支,而注入点位置确定了作为“或”门和“与”门的该单元的特性。利用结的I-V曲线的非线性获得了约为20的输入-输出隔离比。通过选择每个分支中结的临界电流,能够使该单元的静态阈值曲线最优化。对该单元进行的计算机模拟表明了它由于减少了接通延迟和降低了电容而有高输入灵敏度、高增益和良好的动态特性。参9

16003 有负载约或/与RCJL的约瑟夫结逻辑门的开关时间(英)/de Lustrac, A. // IEEE Trans. Magn.-1985, MAG-21(2).-566~569

作者通过计算机模拟研究了具有扇入/扇出(2或3)和微微秒约瑟夫结($R_N C \gg 2ps$)的有负载或/与RCJL逻辑门的性能。提出了设计成接通延迟小并具有快结的最大优点的新型门结构。消除了引起长接通延迟时间的输入结上的分流。分析了该种门的静态和动态操作,以便利用现有技术,在亚10ps范围内以适度过载(20%)、25%静态余量 and 低功耗的方式操作。参4

16004 约瑟夫结开关门的动态特性(英)/Morisue, M. // IEEE Trans. Magn.-1985, MAG-21(2).-574~577

描写约瑟夫结开关门的动态特性。当高速输入信号加在约瑟夫结逻辑门上时,门的特性未必总是与众所周知的静态阈值曲线一致。这是因为在高速操作中静态阈值曲线受到约瑟夫结中量子流变化的影响。详细描写了CIL门和干涉仪这两种典型逻辑门的动态特性。参3

16005 单向单通量量子逻辑门的提议(英)/Miyake, H. // IEEE Trans. Magn.-1985, MAG-21(2).-578~581

提出一种新型单通量量子逻辑门,这种门能够不用三相时钟而进行信号的单向传播。把该门设计成由桥型约瑟夫结组成。基本逻辑门由两个通过超导互连线连接的单结干涉仪组成,逻辑状态用一个单结干涉仪中的0或1量子化的全磁通来表示。两个单结干涉仪中,每一个干涉仪的偏流大小不等导致了单向信号流。通过调整诸如约瑟夫结临界电流的比率和电感之类的设计参数,已设计出就偏流而论抗噪声度大于50%的电路。在计算机上模拟和仿真了三个级联的门,证实了单向信号流。仿真结果还表明大约2微微秒的开关延迟是可行的。参11

16006 一种光学集成数字逻辑器件的方法(刊,英)/Inaba, H. // Microelectron. Eng.-1984, 2(1/3).-155~156

最近对开发双稳光学器件产生了很大兴趣。这种器件显示出双稳性和滞后作用,从而能实现光开关、光存储和二进制逻辑等功能。这些器件具有进行光学数字数据处理和直接处理可见图象和各种图形的固有潜力。为此,作者最近提出并用实验论证了被称为双稳激光二极管(BILD)和双稳发光二极管(BILED)的新型“活性”双稳光学器件,它们仅由与一个光电探测器进行电串联的一个激光二极管或发光二极管组成。作者描写和讨论了利用这些器件的基本结构和光学数字逻辑功能的操作。这些器件包括一个光反相器、光AND元件和光R-S和J-K触发器元件。还介绍了以光电子学方式为基础的这些功能的单片集成形式以及BILD或BILED的二维阵列和二维数字逻辑设备。参5

16007 用光计算(英)/Senior, J. // New Sci.-1985, 106(1458), 31~34

上予以充分重视的人们所确认。一个更新的模型是处理光的集成电路。现在正在光学与电子学结合,制造能处理信息已进行处理的元件。通过这一研究将得到一系列可供设计存储和基础的光开关。

16003 新的全光学波导功能设备的建议 [英]/Kawaguchi, H. // Opt. Lett., 1985, 10(8), 411~413

描写一种使用单模波导管(用呈现光学Kerr效应的材料制造的不等臂长Mach-Zehnder干涉仪)的新型全光学逻辑门。由于单模Y结的独特性质,没有来自该元件的反射光输出。因为对于为获得陡的开关特性的串联阵列连接不需要光隔离器,所以这个干涉仪适用于数字信号处理。参9

逻辑与开关电路

(含触发器与移位寄存器)

16009 三值逻辑门和T门集成电路的实现 [中]/Liu Bai-yong... // 电子学报, 1985, 13(3), 77~82

描写一种结构简单和适合于集成电路生产的新的三值逻辑(TVL)门电路。设计了适于多种用途的三值T门IC。给出它们的逻辑操作图,分析了以TVL方式操作的线性AND-OR门的瞬态响应特性曲线。结果表明:对实现多值逻辑IC来说,中国提出的多单元型逻辑(DYL)电路结构也是很有前途的。参7

16010 Sharp公司把可变门宽度用来设计亚毫微秒大容量CMOS门阵列 [英]/Torimaru, M. ... // AEU, 1985, (3月), 35~37

使用一种新的VGC(可变门宽度单元)基本单元方法,已研制出亚毫微秒大容量CMOS门阵列。利用VGC,能有效地减小门的负载电容,增加驱动能力。因而,在 $F.O=2$ 的情况下观察到0.9ns的门延迟,在 $F.O=3$ 和最大时钟频率为160MHz的条件下观察到10MHz时的功耗为190 μ W。描写了VGC的设计和对于用2 μ m设计规则的器件的实验结果。参4

16011 ECL PAL 追过它们的 TTL 同等产品 [英]/Marrin, K. // Comput. Des., 1985, 21(7), 49~50

首先,可编程阵列逻辑(PAL)部件快于它们竞争的16-KH和100-KH ECL同等产品。在典型时钟-输出延迟时间仅为3.6ns和最坏情况延迟为6ns的情况下,ECL PAL比其最近的竞争对手15-ns双极TTL PAL要快一倍多。本文着眼于ECL PAL结构、状态机的能力和软件支持,详细说明了ECL PAL与TTL PAL相比所具有的优点。

16012 开关使你选择存储设备 [英]/Ahmad, M. O. ... // EDN, 1985, 30(17), 312~313

作者介绍把非转码寄存器存储或新存储设备用于

RF与基频的寻址。他引用一种电路,这种电路里只能借助开关的翻转变换选择存储设备。按电路PR-ONT进行地址寻址,用一个8位开关来选RAM、EEPROM和EEPROM这些存储设备。

16013 PAL把应用灵活性和高集成密度结合起来 [英]/Rolland, M. // Electron. Ind., 1985, (8月), 45~49

就速度、功耗、使用灵活性、新的逻辑功能和集成密度而论,评论了可编程阵列(PAL)的改进。给出46管脚阵列的详细资料,这个阵列包括5000个门的阵列,一个形成一位状态机的以具有逆动可能性的寄存器为基础的自动单元和一个增加灵活性和填充速率的乘积项共享(Product Term Sharing)结构。新一代软件(PALASM 2)能够处理逻辑设计,集成10个以上的PAL阵列或大约100个布尔方程。

16014 半定制 IC 的线性和数字功能。I. [德]/Cochron, I. // Elektron. Ind., 1985, 16(4), 86, 68, 70

Digilin阵列正在组成能实现很有效的数字和线性功能的部件。门阵列没有线性元件。因此 Digilin 阵列显示出门阵列的全部本领,同时还提供有效线性功能的可能性。作者描写了这些阵列的设计和布局。

16015 百万级PAL的系统研制 [德]/Voldan, W. // Elektron. Ind., 1985, 16(4), 97~98, 101

单片存储器的PAL(可编程阵列逻辑)概念最终已在工业上认定。PAL的使用使人们在最短的可接受的研制时间内获得适于用户使用的最佳电路结构。可得到的最新部件在单片上具有1000个以上的门。作者报道了一些此类高密度部件的细节。

16016 CMOS门阵列和标准单元IC [德]/Sauer, W. // Elektron. Ind., 1985, 16(4), 107~108, 110

由于在1985年下半年引入了新型2 μ m-CMOS标准单元IC,NEC可以充分获得决定性的工艺上的效益。同样有决定性的是这些元件与已有的2 μ m CMOS门阵列完全软件相容。

16017 用门阵列实现复杂的逻辑电路 [德]/Wagner, G. R. // Elektron. Ind., 1985, 16(4), 115~116, 118

门阵列使设备更广泛地小型化成为可能,同时增加了可靠性并保证了竞争性。作者描写了研制现状,给出电路设计提示,并提出对成功设计的要求。

16018 适用于无线电和电视技术人员的数字技术。XII [德] // Funk-Tech., 1985, 40(5), 216~218

第XII部分见同刊1985年40卷4期166页。论及BCD、多位加法和减法电路的原理。作者最后讨论了ALU原理和结构。

16019 使用 LSSD 计时方案的低功率 NMOS [英] // IBM Tech. Disclosure Bull., 1985, 27(10A), -5662 ~ 5664

所揭示的概念是脉冲驱动位于两个 LSSD (电荷敏感扫描锁存) 移位寄存器之间的组合逻辑块, 而驱动脉冲的计时与 LSSD 移位寄存器中从属锁存器的第二时钟波形一致。

16020 芯片选择译码器电路 [英] / IBM Tech. Disclosure Bull., 1985, 27(10A), -5826 ~ 5827

描写一种对以低复杂性 CPU 为基础的系统有用的简单的芯片选择电路。

16021 低压反相器逻辑三态操作 [英] / IBM Tech. Disclosure Bull., 1985, 27(10A), -5865 ~ 5866

揭示一种低电压反相器 (LVI) 电路, 这种电路使该 LVI 门能被置于高阻抗状态以便与其他 LVI 门点散布。参 2

16022 适用于较低共射-共基放大器的差动驱动器 [英] / IBM Tech. Disclosure Bull., 1985, 27(10A), -5878 ~ 5881

所揭示的电路以直流开关射极跟随电路差动地驱动较低的共射-共基放大器, 同时提供足够的跟踪, 以保证适当的噪声容限, 并避免在预先提出的温度、电源和工艺变化的范围内出现饱和。

16023 非易失通过晶体管逻辑 [英] / IBM Tech. Disclosure Bull., 1985, 27(10A), -5918 ~ 5919

对适用于部分操作数集相对固定的操作的晶体管电路来说, 这种有时被叫做“通过晶体管逻辑”的逻辑——非易失 FET 操作使用作表示部分操作数集的“通过”元件。对这种技术举例作了说明并进行了解释。

16024 可变阈逻辑——一种高度灵活的逻辑 [英] / Kim, C. ... // IEEE Electron Device Lett., 1985, EDL-6(7), -390 ~ 393

以 MOS 电路形式实现了具有可变权和可变阈的可变阈逻辑 (VTL)。把以晶体管沟道宽度与长度之比给定的权与对应于数据和阈的两个二进制代码相乘, 比较了以电压电平形式给出的两个内积, 以便产生逻辑输出。制造了具有 16 种权式和使用 16 个电压电平的 VTL 电路, 该电路可在任何情况下工作。参 4

16025 一种简单的二的补码乘法器电路的设计 [英] / Ahmad, M. O. ... // IEEE Trans. Circuits & Syst., 1985, CAS-32(6), -622 ~ 624

介绍二的补码乘法器新的硬件设计。使用标准的成品集成电路实现该电路。描述了乘法器的硬件实现过程及其操作。通过评定操作速度 and 将它与试验结果比较, 讨论了电路性能。为了引入其它一些特性, 提出对电路进行某些修改。参 2

16026 一种三进制施密特触发器 [英] / Ramkumar, K. ... // IEEE Trans. Circuits & Syst., 1985, CAS-32(7), -732 ~ 735

介绍一种称为三进制施密特触发器的新型三进制电路。这种以熟知的 4 二极管为基础的电路符合于用 CMOS 工艺集成。用 SPICE 2G 程序对该电路进行了模拟, 提出了模拟结果。该电路提供了高度的设计灵活性并预期该电路在处理三进制信号和构造三进制信号方面是非常有用的功能块。参 12

16027 一种使用直接耦合功能门的约瑟夫逊 4 位全加器 [英] / Matheron, G. ... // IEEE Trans. Magn., 1985, MAG-21(2), -555 ~ 557

通过计算机模拟, 设计和研究了一种使用直接耦合功能门的约瑟夫逊 4 位全加器电路。该电路仅包括取自 OR、AND、EXOR 和 MAJORITY 门组成的完整逻辑系列的 27 个门。所推荐的加法器电路需要 180 个约瑟夫逊结和 150 个薄膜电阻。发现进位传递算得的临界通路延迟为 180 微微秒/4 位, 采用最小线宽 $4\mu\text{m}$ 和约瑟夫逊电流密度为 1000安/厘米^2 的 Nb-Pb-In 工艺时, 估计其功耗小于 100 微瓦。发现最坏情况的 4 位全加时间小于 300 微微秒。参 7

16028 异质结双极晶体管应用于高速小规模数字集成电路 [英] / Asbeck, P. M. ... // GaAs IC Symposium Technical Digest 1984: 1984.10.23 ~ 25, Boston, MA, USA; New York, USA: IEEE, 1984, -133 ~ 136

描写许多以发射极耦合逻辑方式的 GaAs/(Ga, Al)/As 异质结双极晶体管 (HBT) 为基的小规模 (20 ~ 60 个晶体管) 集成电路的制造和性能。该电路包括电流型逻辑门中传播延迟时间降到 40ps 的环形振荡器, 输入频率高达 8.5GHz 的分频器和时钟频率高于 2GHz (不归零制形式的数据速率为 4Gb/s) 的 4 位图形发生器。指出晶体管一致性和电路成品率的最初结果是良好的。参 6

微处理机芯片

16029 一种用于计算 LCS 问题的新的快速并行微处理机设计 [中] / Shuai Dianxun // 计算机学报, 1985, 8(3), -223 ~ 236

本文提出解决 LCS 长度和 LCS 本身问题的两种新的硬件算法和若干新的微处理机设计, 它们将适合于 VLSI 工艺和能克服其他现有设计的各种缺点。本文提出的设计排除了在每个单元内具有计数器和栈寄存器的要求。处理时间和单元数二者都有 $O(n)$ 的复杂性。所研制的这种微处理机的性能明显优于迄今所知的其他微处理机要优越得多。参 4

16030 主机技术提高了32位微机的性能(英)/Philips, D. // Comput. Des.-1985, 24(7).-95~103

主机中传统使用的技术现在正被用于32位微处理机,以便获得单独应用的最高性能水平。含有在片超高速缓存、在片存储器管理和高度流水线结构的新一代32位微处理机接近了主机的结构水平和性能水平。讨论了这些系统的结构,特别强调了包括在这些系统中的新概念和性能潜力。

16031 存储器管理提高强功效微机的效率(英)/Tomplait, C. // Comput. Des.-1985, 24(7).-105~109

作者描述固定和可变划分、分页和分段等技术如何使系统设计师将32位系统上的数据处理最佳化。讨论了如何对32位微处理机系统的存储器管理进行设计才能使多用户多任务装置的效率最高。

16032 莫托洛拉芯片: I. (英)/Allan, B. // Comput. Mag.-1985, (8月8日).-21

作者着重于莫托洛拉68000和英特尔8086之间的关键差别。讨论了兼容性、寄存器、存储器存取、数据总线和指令系统。

16033 军用计算机工业面临挑战的概述(英)/Morrison, B. // Def. Electron.-1985, 17(6).-88~92

讨论提高到军事规范的通用计算机的制造厂商在本世纪末以前如何将面临重大挑战。与定制军用产品市场不同,通用计算机市场要求公司在资金和人力资源方面大量投资,以待提高指挥、控制、通信和智能(C³I)、电子战和其他先进军事应用的市场需要。

16034 源于MC68020的硬件策略和软件策略(英)/MacGregor, D. // EDN.-1985, 30(14).-89~98

有三个设计策略能使用户将32位微机放入其现有的16位开发系统。68020微机和68010微机之间的软件兼容性使用户能用现有的软件工具编制程序。通过实现用MC68020取代MC68010微机、用含有一个68020的电路板取代CPU板或设计新的以68020为基础的计算机这三种设计策略中的一种,而不用购买全新的开发系统,人们现在就可把MC68020微机用于计算机系统。每一种方法有其优点,设计从简单到复杂。然而,设计越复杂则所能发掘的68020的本领越多。参4

(以上胡维明译 译 文校)

数字计算机的其它电数

16035 HEXFETS 硅微开关电源的可靠性(英)/Wood, P. // New Electron.-1985, 18(4).-36~40

开关电源的绝大部分都用于计算机。各种尺寸和类型的计算机都得在‘标准’直流电压下工作。研究了一台其处理功率高达250瓦的中型计算机,其电源必

须具有以下技术要求:5伏(直流),10~20安,总波纹和调整为±50毫伏,有过压保护。12伏(直流)和-12伏(直流),0~1安,总波纹和调整包络为±100毫伏,有公共回路。26伏(直流),1~3安,总波纹和调整包络为±1伏,有公共回路。输入电压为48~420赫的95~130伏和190~260伏交流电压。所有输出端都需要进行过流保护,满载时电源的最低效率必须为75%。为了确保低成本、高效率和最高的可靠性,采用了若干‘接地规则’。

16036 通信技术对能源系统的影响(会,英)/Krakowski, H. // INTELEC'84. International Telecommunications Energy Conference (Cat. No. 84CH2073-5); 1984. 11. 4~7; New Orleans, LA, USA.-New York, USA; IEEE, 1984.-8~12

德意志联邦邮政目前正在用一些常规方法为耗能的数字电话交换提供动力:中央整流设备,中央普通铅酸电池,分散的直流/直流转换器。目前正在正常操作条件下进行测试的数量有限的密封铅酸电池,不需要维护,并带有安全孔。它们的容量为数百安培-小时。联邦邮政打算继续使所有未来的电信设备在额定的60伏直流电压下工作。在使用计算机的某些特殊情况下,则需要220伏交流电源。就基于计算机的用户服务而论,德意志联邦邮政正在努力通过计算机内的其它存储保持措施(memory retention measure)省去不中断电源;例如采用电池后备和对安装现场公用电源的可靠性进行准确分析。

16037 极高速逻辑系统中的助力总线瞬变过模(会,英)/Werko, J. R. ... // INTELEC'84. International Telecommunications Energy Conference (Cat. No. 84CH2073-5); 1984. 11. 4~7; New Orleans, LA, USA.-New York, USA; IEEE, 1984.-110~115

作者讨论了给高速数字芯片系统提供无噪声、无波纹电源电压的问题。首次通过计算机模拟研究了具有板装功率变换器的高速CMOS电路中的去耦问题。说明了传统的功率分配和去耦方法能引起网络发生谐振,产生较大的干扰。对这一效应以低时钟频率进行了验证;在实验室中证明了单板计算机会由于故意引入去耦网络的谐振而受到干扰。提出的一种设计方法,使用了高度分布式供电结构,在其每块电路板上装有降压直流/直流转换器。设计中有意识地采用了这种结构以解决谐振问题,并将其带来的影响减至最小。参4

模/数与数/模转换模

16038 自校准模/数转换器的精度考虑(英)/Lee, H.-S. ... // IEEE Trans. Circuits & Syst.-1985, CA-

S=32767~500~507

即用自校准技术来消除附加的寄接转换器由于器件匹配误差引起的线性误差,但是,各种附加因素能影响自校准精度/数转换器的精度。作者把若干因素对自校准精度/数转换器的影响,介绍给了每一因素的校正方法。参7

18039 基于非线性模/数转换器的对数模/数转换器 [英]/Hafeth, B. A. // Int. J. Electron., 1985, 58(3), -503~508

作者介绍了一种非线性模/数转换器(NL-ADC),其输出与输入电压的自然对数成比例。它以自然对数的麦克劳林级数为基础,其设计采用了电压/频率转换技术(VFC)和十进率乘数(DRM)。NL-ADC采用的4个數位数字(digital number)与DC输入信号

的十进制、二进制、三进制和四进制数成正比。作者为林列出了前4页,将特性数据用于数字计算机进行处理。该电路设计与实现中使用二微处理器控制的并行存放模拟器件的混合计算机。参6

18040 高分辨率单片调色板(图形显示器/模转换器) [英]/Koklewicz, M. // Tourne Electron., 1985, (505), -44~52

Am8151电路把缓冲器来的数字数据输入包通过用于彩色图形点阵式显示屏的模拟信号,作者对之作了一个详细介绍。其主要特点之一是用RAM作参考地址表,该使存储容量减小和软件控制功能所需时间缩短,并使图象处理变得容易。三个色位中的每个色位都有一个单独的色卡。不触及缓冲器数据便能改变色彩或改变显示格式。

(口上克 维济 黎 明校)

逻辑设计与数字技术

逻辑设计方法

(含逻辑测试)

18041 测试带存储器的器件用的循环测试系统的合成 [英]/Lifkoy, L. P. // Autom. & Remote Control, 1984, 45(10), -1375~1381, -pt.2

考虑了一种设计本地测试仪的设计方法,评价了它的效率。用本文提出的这种方法设计的系统能自动生成测试序列和自动分析器件的响应。用时钟信号对独立的操作进行同步,并用周期重复率来表征这些操作。由于本文提出的测试方案把测试发生器与响应分析器结合了起来,所以延阻在许多情况下是非常有效的。参5

18042 硬件/软件的折衷:是通用的设计原则? [英]/Randell, B. // Comput. Archit. News., 1985, 13(2), -19~21

设计人员都会遇到硬件可以进行逻辑等效的情况,因此产生了在具体的设计中硬件/软件的边界设于何处的问题。作者讨论了他的关于测试稀有事件的原则:应该用硬件实现简单的,经常出现的严重偏离性条件转移。参2

18043 根据一致性关系设计的可编程逻辑阵列的合并算法 [英]/Biswas, N. N. // Electron. Lett., 1985, 21(21), -984~986

作者报道了一种可编程逻辑阵列合并用的算法。提出这种算法时虽然只考虑了简单的列合并,但是也

能适用于行合并。在一个称为可编程逻辑阵列一致性矩阵的真值表内画出了可编程逻辑阵列所有各对列元素之间的成对一致性关系。然后根据一致性矩阵推导出一个可合并一致性矩阵(FCM),这是作者定义的一个新概念。一旦获得了可合并一致性矩阵,就可以容易地确定可合并列元素的有序对,并对各行重新进行排序。参3

18044 CMOS门阵列的可行性研究(I) [英]/Stansberry, M. // Electron. Prod. Des., 1985, 6(6), -69~72

阵列选择过程将涉及到许多问题,这些问题都将影响最后产品的成本和性能。匆忙的分析将导致在生产过程中进行无法预料的设计修改,这又会无法预料地增加成本。如果希望顺利地完成一个以最佳门阵列为基础的产品,重点应该放在预分析,即可行性研究上。

18045 公共输入/输出的旁路 [英] // IBM Tech. Disclosure Bull., 1985, 27(10B), -5943~5945

介绍了一种使所有公共输入/输出引脚具有旁路特性的设计方法,能在测试时提供更稳定和可以预料的器件性能,并降低测试成本和器件成本。

18046 差分共射-共基电压开关电路的测试方案 [英] // IBM Tech. Disclosure Bull., 1985, 27(10B), -6148~6152

CMOS差分共射-共基电压开关电路能提供很宽的功能密度和极好的性能特点外,由于每棵树上都有

故障检测, 在一种新型的器件(即器件)中。参1

16047 信号容限性检测[英] // IBM Tech. Disclosure Bull., 1985, 27(10B), -6173~6181

介绍了一种从时钟同步控制信号的驱动器的输出有变化的方法, 而驱动时钟同步输出时, 在无效时使用它的方法。

16048 差分嵌入逻辑设计[英] // IBM Tech. Disclosure Bull., 1985, 27(10B), -6249~6251

介绍了一种将逻辑设计“重新嵌入”到器件芯片, 转换成电路板中去的方法, 以便对时序要求严格的硬件的逻辑重新进行设计。参1

16049 检查时钟驱动的差分共射-共基逻辑[英] // IBM Tech. Disclosure Bull., 1985, 28(1), -254~256

本文介绍的电路可以检查许多独立逻辑树的互补输出信号, 但是不是用“异”门检查每个输出信号。

16050 用数字求和阈值逻辑阵列检测固定和搭接故障的伴随式可测试(syndrome-testable)逻辑设计[英] / Pal, A. ... // IEE Proc. E., 1985, 132(5), -251~256

本文考虑了一种组合网络设计的故障检测问题。这种网络采用的称为数字求和阈值逻辑(DSTL)门的新逻辑模块, 由“与”/“或”门细胞互连而成。提出了一些技术, 可使这些结构易于采用伴随式测试方法, 以便检测出所有的单个固定故障和所有的任何两条线之间的搭接故障, 还可检测大量的多个固定故障和搭接故障。参25

16051 根据寄存器传送级说明自动合成数字电路[英] / Gai, S. ... // IEE Proc. E., 1985, 132(5), -265~277

介绍了一个计算机辅助设计系统—Orion系统。它能自动地用控制流方法合成同步数字电路。Orion系统的目标是使设计过程的速度至少提高一个数量级, 使设计人员摆脱非创造性的和容易出错的工作。该系统的输入是以非过程性说明语言书写的电路性能说明, 而其输出是结构说明, 与自动布局的工具(例如供可编程逻辑阵列和标准单元用的布局工具)相适配。本文在详细分析了Orion系统的体系结构以后, 与有关的研究进行了比较。参29

16052 微程序化控制部件中的并行故障检测[英] / Iyengar, V. S. ... // IEEE Trans. Comput., 1985, C-34(9), -810~821

作者详细说明了定义能检测微程序定时器中的故障的监控电路的过程。监控电路和定时器并行工作, 通过对监控电路和定时器的输出进行比较而检测错误。控制流中引起错误的故障与只有微指令范围里引

起错误的故障相对应。就是这种微指令, 按照它的指令的模型, 其中只有存在定时器和定时器所需的信号。用这些模型中产生的新模型来描述故障的故障。根据对模型中模型状态的分别建立了监控电路的功能要求。然后采用逻辑电路的逻辑设计。参17

16053 用寄存器传送语言描述的数字电路中控制部件的检查顺序[英] / Villar, E. ... // Int. J. Electron., 1985, 59(1), -19~31

开发了一种有效的检查顺序设计技术, 能设计用寄存器传送语言描述的数字电路中控制部件的检查顺序。这种技术产生的检查顺序能通过数据单元识别控制部件。参13

16054 用卡诺图分割技术快速分析用多路转换器综合的逻辑电路[英] / Khalid-Naciri, A. ... // Int. J. Electron., 1985, 59(3), -333~342

在必须用2ⁿ个输入的多路转换器来综合逻辑功能时, 对卡诺图进行分割将给出2ⁿ个同样大小的区域。只包含0或1的区域形成常数数据输入; 包含有相同数目的相邻0和1的区域称为“典型环”, 将形成变量数据输入; 其余的区域将进一步分割, 并如此进行下去, 而积最小的环周围的方块数将给出该网络的级数, 有2ⁿ个区域的集合的数目给出了综合过程中使用的多路转换器数目。举了一些例子。参13

16055 嵌入式可编程逻辑阵列的在片测试[英] / Varma, P. ... // J. Inst. Electron. & Radio Eng., 1985, 55(9), -306~310

测试图形发生成本的上升以及模块不可访问性的问题使人们对可编程逻辑阵列的自测试方法产生了极大的兴趣。作者考虑了与深埋在大规模集成电路系统中的可编程逻辑阵列的在片测试有关的问题, 并提出了一种用可编程逻辑阵列的输入/输出寄存器作为测试辅助手段的在片测试方法。介绍了一个8输入×45乘积项×6输出的内部可测试可编程逻辑阵列。该阵列已用NMOS工艺实现了。参15

16056 高性能计算机器的ΔI噪声规范[英] / Katopis, G. A. // Proc. IEEE., 1985, 73(9), -1405~1415

提出了一个抑制高性能计算机中开关噪声用的设计原则公式。这个设计原则表示成一个代数不等式, 并把与多片叠体中开关噪声的产生和传播有关的信息集中为可直接用于计算机逻辑设计的形式。噪声产生和噪声允差是公式推导中两个至关重要的量, 解释了与这两个量有关的统计规律。还介绍了开发这一原则所必须的方法。通过实验发现用于验证这种方法的实验过程的误差是±10%。这一原则可以用于ΔI噪声使机器周期产生5%不稳定性系统设计中, 但是如果用传统的确定性方法的话, 这种不稳定性将翻一番。这

用硅基微材料制造。它是按计算机技术是完全相适应的。参13

16057 门阵列的开发及其实际应用 [英] // Res. & Dev. Jpn. Awarded Okochi Mem. Prize, 1984, 73~79

本文着重考虑了CMOS门阵列“C-8000VH”, 集成密度高达8000个门, 每门延迟时间低达2.5ns。第一次在过主开发和大量生产门阵列所形成的高级芯片处理技术, 以及大量的经验和成功形成的计算机辅助设计和其它设计技术的基础上制作出来了这种大规模集成电路。介绍了C-8000VH的工艺、芯片结构、性能和开发方法。

16058 累加器压缩测试 [会, 英] / Saxena, N. R. ... // Fifteenth Annual International Symposium on Fault-Tolerant Computing FTCS 15, Digest of Papers, 1985.6.19~21; Ann Arbor, MI, USA, Silver Spring, MD, USA; IEEE Comput. Soc. Press, 1985, 300~305

提出了一种新的压缩技术, 称为累加器压缩测试 (ACT)。累加器压缩测试是对故障测试 (ST) 的扩充。可以证明, 用累加器压缩测试方法对一个被测器件进行测试时, 漏过的各种错误部分相当于一个数的限制部分。获得了独立和不独立的错误模式下的渐近结果。对符号差分分析 (SA) 和累加器压缩测试进行了比较。理论和实验结果表明, 就故障复盖的控制来说, 使用累加器压缩测试比使用符号差分分析好。在处理器环境下用累加器压缩测试技术进行内部自测试是很容易的。但是, 对于一般的超大规模集成电路来说, 累加器压缩测试的硬件复杂性仍然是个问题。累加器压缩测试的概念可以加以扩充, 以定义一系列综合症状。这些综合症状如果不正交的话, 就是完整的。参17

16059 用检查实验进行时序机的通用压缩函数可测试性设计 [会, 英] / Saluja, K. K. ... // Fifteenth Annual International Symposium on Fault-Tolerant Computing FTCS 15, Digest of Papers, 1985.6.19~21; Ann Arbor, MI, USA, Silver Spring, MD, USA; IEEE Comput. Soc. Press, 1985, 306~311

调查了用检查实验测试时序机的问题。给出了一些过程, 通过增加额外的输入, 使它们能用不同的压缩函数进行测试, 以扩充单输出和多输出时序机。受到研究的压缩函数是线性反馈移位寄存器 (LFSR)、变换计数和综合测试。但是, 处理方式是够地一般化, 可以包括其它的压缩函数。只需在实验结束时进行一次观察, 就能确定机器是否存在故障。此外, 部分

检查实验是受故障部件影响的。四时制时序机是通用的。参17

16060 容错快速傅里叶变换网络 [会, 英] / Jou, Jinn-Yang ... // Fifteenth Annual International Symposium on Fault-Tolerant Computing FTCS 15, Digest of Papers, 1985.6.19~21; Ann Arbor, MI, USA, Silver Spring, MD, USA; IEEE Comput. Soc. Press, 1985, 338~343

随着超大规模集成电路的出现, 可以经济地把大量处理单元组织在一起, 相互合作地完成高速计算。由于高性能系统中任何功能错误都会严重地危害系统的操作及其数据完整性, 所以必须采用某种程度的容错技术, 以保持长时间计算的结果是有效的。提出了一种供包含 $(N/2) \log_2 N$ 二点蝶形模块的快速傅里叶变换网络用的并行错误检测 (CED) 方案。这种方法假定故障局限在一个复数乘法器或加法器内, 或者一组输入或输出上。这种模型复盖的故障种类很广。可以证明, 对于快速傅里叶变换网络来说, 要获得不受故障影响的结果的话, 只需要很小的开销比——硬件的 $O(2/\log_2 N)$ 。最后, 用时间冗余方法确定了有故障的模块。参26

16061 全自校验通用预测校验器及其在内部测试上的应用 [会, 英] / Fujiwara, E. ... // Fifteenth Annual International Symposium on Fault-Tolerant Computing FTCS 15, Digest of Papers, 1985.6.19~21; Ann Arbor, MI, USA, Silver Spring, MD, USA; IEEE Comput. Soc. Press, 1985, 384~389

提出了一种新的供非编码多输入组合电路用的全自校验校验器。这种校验器称为通用预测校验器 (G-PC), 是传统的奇偶预测校验器的扩充和通用形式。作为特例, 包括了一个双重校验器。由一个奇偶校验矩阵 H 使新的通用预测校验器具有检测任意错误的检测能力。由于采用了新方法, 在通用预测校验器的‘异’树形电路和多输入比较器中增加了一个额外的输入, 所以使这种校验器成为全自校验的电路。正常工作时这个额外输入可取任何值。实现了供特定例示电路用的全自校验通用预测校验器, 并进行了验证。参20

16062 强化语言不相交校验器 [会, 英] / Janschi, I. ... // Fifteenth Annual International Symposium on Fault-Tolerant Computing FTCS 15, Digest of Papers, 1985.6.19~21; Ann Arbor, MI, USA, Silver Spring, MD, USA; IEEE Comput. Soc. Press, 1985, 390~395

定义了强化语言不相交 (SLD) 校验器。这种校验器适用于时序系统, 而强化编码不相交校验器适用于组合系统。强化语言不相交校验器是最大的一类校

叠器。可使一个动态系统达到全自校验的目标。给出了强化语言不用校验器的正式定义。讨论了用普通组合自校验元件设计强化语言不用校验器的问题。参14

16065 不受错误影响, 错误传播概念及其在强化的不受故障影响的处理器设计中的应用 [会, 英] / Nanya, T. ... // Fifteenth Annual International Symposium on Fault-Tolerant Computing FTCS 15. Digest of Papers, 1985.6.19~21; Ann Arbor, MI, USA; Silver Spring, MD, USA; IEEE Comput. Soc. Press, 1985.-396~401

引入了子系统的错误传播影响和错误传播接口的概念, 并说明这种概念对于强化的不受故障影响的 (SFS) 系统的设计和实现实践来说是很有用的。运用这种概念给出了一个能实现 Intel 公司的 18080 指令系统的 SFS 微处理机的设计。在这个设计中, 只使用了四个自测试校验器; 除了很少几个寄存器以外, 没有明显重复的子系统。参14

16064 供一类 Berger 码用的快速自测试校验器的设计 [会, 英] / Piestrak, S. J. // Fifteenth Annual International Symposium on Fault-Tolerant Computing FTCS 15. Digest of Papers, 1985.6.19~21; Ann Arbor, MI, USA; Silver Spring, MD, USA; IEEE Comput. Soc. Press, 1985.-418~423

Berger 码是能检测所有单向错误的可分离编码中最好的一种。说明了任何具有 I 个信息位的 Berger 码都可由 $u = \lfloor (1 + 1)/2 \rfloor$ 个 n 中取 m 代码 (其中 $n = I + 1$ 和 $m + 2p + 1, 0 \leq p \leq u - 1$) 构成。提出了一种设计供具有 I 个信息位的代码用的自测试校验器 (其中 $I = 2^k - 2$ 或 $I = 2^k - 1$, 且 $I \geq 3$) 用的新方法。这种新的校验器基本上由 u 个供 n 中取 m 代码用的自测试校验器组成。还给出了供 $I = 2^k - 1$ 的代码用的简单的自测试校验器。所有新的校验器都是二输出电路, 可以实现所有单向故障的自测试。与以前的方案进行比较说明工作速度有了实质性的提高。参31

16065 论可检测场效应管恒定开路 (stuck-open) 故障的 CMOS 存储单元 [会, 英] / Reddy, M. K. ... // Fifteenth Annual International Symposium on Fault-Tolerant Computing FTCS 15. Digest of Papers, 1985.6.19~21; Ann Arbor, MI, USA; Silver Spring, MD, USA; IEEE Comput. Soc. Press, 1985.-424~429

考虑了 CMOS 存储单元中场效应管恒定开路故障的检测问题。说明了在以前提出的存储单元中有几种场效应管恒定开路 (SOP) 故障是不可检测的。说明了无法检测的场效应管恒定开路故障会使静态存储单

元变成动态存储单元。认为在设计和需要静态存储单元的电路时应该使用所有场效应管恒定开路故障都可检测的静态器件。给出了几种可检测全部单个场效应管恒定开路故障的存储单元设计方案。这些存储器件包括锁存器, 主-从触发器和 SCAN 路径触发器。参13

16066 用 MOS 电路高效地实现全自检测校验器的技术 [会, 英] / Jha, N. K. ... // Fifteenth Annual International Symposium on Fault-Tolerant Computing FTCS 15. Digest of Papers, 1985.6.19~21; Ann Arbor, MI, USA; Silver Spring, MD, USA; IEEE Comput. Soc. Press, 1985.-430~435

提出了几种新技术以减少用 MOS 电路实现全自检测校验器 (TSC) 时所用的晶体管数目。这些技术包括输出转换、去除倒相器和使用功能的多级实现方法。这些技术还能提高电路的速度, 减少所需的测试次数。在某些情况下晶体管数目甚至能减少 90%。这就直接节省了芯片面积。参16

(以上刘寿和译 泽文校)

16067 通用 TTL 逻辑测试仪 [德] / Gebesmaier, T. // Elektronikschau.-1985, 61(4).-78, 83

本文给出了分立元件组成的逻辑测试仪的电路, 它工作在 10MHz 以上。采用了四个场效应晶体管输入的运算放大器, 测试 TTL 电平。文中介绍了电路结构及其工作原理。

16068 用微程序进行微处理器的计算机模拟和测试综合 [俄] // Электрон. Модел.-1985, 7 (3).-63~65, 96

提出了微处理器设备的模拟方法, 这种方法建立在对无故障或有故障器件的功能进行分析的基础上。文中还提出用微程序操作的测试综合法。参8

16069 逻辑分析仪在示波器上触发的可能性 [法] / Level, E. // Electron. Ind.-1985, (84).-57~63

叙述了 Hewlett-Packard 54100 A/D 可变余辉自动定标的数字式示波器, 并用图进行了说明。1000 兆赫的采样器以每秒四千万次取样的数字化频率连续不断地工作。触发系统是建立在独立的与每个垂直信道相连的高性能阈值比较器的基础上, 并在外触发输出上。对于象每秒与触发阈值相交一次以上的脉冲串或串行数据那样的周期性信号, 触发点靠禁止电路稳定。禁止电路不是排斥第一次跳变以外的所有跳变, 就是使响应预定数量的交叉阈值而不是持续阈值的触发信号无效。参照不同逻辑结构的波形图, 对触发系统的框图进行了解释。

16070 “多米诺” CMOS 逻辑分析和设计优化及其在标准单元上的应用 [英] / Pretorius, J. A. ... // IEEE J. Solid-State Circuits.-1985, SC-20(2).-523~

讨论了将“多米诺” (domino) 逻辑用于标准单元作为测试设计的讨论。将多米诺门从逻辑标准单元还是相信的, 它可用, 它比标准单元和减少面积或提高系统性能。为了使“多米诺”单元的延迟/面积性能最佳, 提出了一种分析模型, 而且通过对用5 μ m和3 μ m CMOS工艺实现的测试单元的测量验证了其有效性。参7

16071 供旁路晶体管开关电路用的正规设计方法 [英]/Radhakrishnan, D. // IEEE J. Solid-State Circuits, -1985, SC-20(2), 531~536

给出了两种正规的设计技术以例用NMOS和CMOS工艺实现旁路逻辑网络。第一种技术采用改进的Karnaugh映像最小化方法, 它对最多为5~6个变量的网络设计可能是有效的手段。对于包含六个以上变量的网络的情况, 由修改传统的Quine-McCluskey方法开发一种算法。该方法的节省量取决于晶体管的数目和互连的数目。该图中控制变量集与旁路变量集的交点处可能达到旁路晶体管阵列外形的最小对称性。这使旁路变量和补码变量能互相垂直地流动。这种要求可能增加设计中的晶体管数量。因此需要在外形与对称和晶体管数量之间加以权衡。对用CMOS和NMOS得到的网络进行了比较。参5

16072 高速而可试验地实现状态图分类的方法 [逻辑设计] [英]/Speareburg, J. // IEEE J. Solid-State Circuits, -1985, SC-20(2), 548~551

给出了某些直接使用的分解结构使用法。这方法以图1使快速逻辑设计(两设计正例的)分级结构组成的一系列规则为基础。此外, 还介绍了能直接映射异步和同步状态图到图2。对扫描路径可测试性增强的使用给予特别重视。这种设计方法和实现技术的结合便于逻辑综合, 因而面积有效的集成。从DRAM控制器集成电路的一族证明了能通过几个阶段的标准单元设计自动进行布图设计的方法。这使能在不久的将来实现自动化。参6

16073 利用NMOS单端共射共基电压开关电路进行随机逻辑设计 [英]/Erdelyi, C. K. // IEEE J. Solid-State Circuits, -1985, SC-20(2), 591~594

叙述了一种通过共射共基连接提高逻辑电路工作效率的方法。这种电路的延迟获得了显著提高, 密度得到了极大改善, 同时还减少了功耗。用一个设计实例对此作了说明。参6

16074 独立的随机模式测试 [英]/Tsui, P. // IBM Tech. Disclosure Bull., -1985, 27(9), 5151~5154

作者透露利用线性反馈移位寄存器和多输入特征寄存器, 独立的随机模式测试使故障与原地可测试性设计及假随机模式测试设计的独立性结合起来。

16075 改善共射共基开关群 (cascode-switch macro) 可连接性的方法 [英]/Hauge, P. S. // IBM Tech. Disclosure Bull., -1985, 27(9), 5235~5239

共射共基开关群由共基它们之间的连接组成。组合输出由互连网络构成群的可选连接性方法。参1

16076 定时表征电路 [英]/King, J. // IBM Tech. Disclosure Bull., -1985, 27(9), 5265~5269

作者介绍了一种测试定时表征电路, 当把它插入测试仪和被测设备 (DUT) 之间时, 能够在设备设备被测的基础上改变延迟时间 (和) 脉冲宽度定时。

16077 用于高性能驱动器的电路 [超大规模集成电路逻辑芯片可测试性的改进] [英]/Schettler, H. // IBM Tech. Disclosure Bull., -1985, 27(9), 5319~5321

提示出的电路提供一种电子测试锁存器和片外驱动器。为了达到高性能, 在电气上采用并行方式; 为了它的可测试性, 在逻辑上是串行的。参3

16078 利用互补基数多级冗余校验改进错误检测的方法 [英]/George, S. L. // IBM Tech. Disclosure Bull., -1985, 27(9), 5331~5332

作者利用具有不同基数的两级冗余校验获得互补作用, 从以结构化模块或分级方式实现的功能上讨论了随机逻辑电路的错误检测。

计算机辅助逻辑设计

16079 计算机辅助工程工作站的故障模拟 [英]/Indraja, G. // Electron. Ind., -1985, (83), 63~68

故障模拟构成Daisy Systems公司并入计算机辅助工程领域内的一系列测试手段中的一部分, 它利用数据输入时产生的图解数据库, 描述电路的逻辑特性。本文简要介绍可测试性分析仪、故障模拟器和接口。从“触发器测试 ('toggle test')”、故障统计模拟、增量模拟和完全模拟等四个层次解释计算机辅助工程与自动测试设备之间的配合。采用Megalogician工作站, 可能在1/2或1/3的时间内执行这一算法, 而相当的故障由“多重迭选折叠 (multiple gate collapsing)”消除。本报告包括表示故障覆盖率与测试向量之间关系的直方图、未检测到的或可能检测到的故障表以及在此过程中检测到的故障图。

16080 计算机辅助设计: 从设计到测试仪的综合 [法]/Guillemaud, P. // Electro. Ind., -1985, (83), 73~78

作者介绍了GenRad以Hilo-2软件为基础提出的一个系统, 使设计和测试两个阶段合在一起, 以减少开发费用, 并从设计阶段起就注意提高产品质量。作者以交通灯控制器作为例子, 通过11的分级结构, “黑盒子 (black boxes)”和互连或输入/输出链路, 对这一

设计作了介绍。对模拟模拟和测试仿真进行了描述,并着重地就上述测试码模式的生成和运行了解释。这种用C语言开发,它可操作性能复杂,因而可作移植到任何 16/32位系统上。

16081 **UK5000阵列 CMOS集成电路的设计** [英]/Cosgrave, B. // IEE Proc. G., 1985, 132(3), -90~92

UK5000工厂已经生产了一种5000个门的CMOS阵列以及一套使其生产自动化的设计自动化系统。这种阵列采用一组引入硬版图的设计规则和软件手段。把这些结合在一起,要阵列的用户设计完全能解决而且没有出过事故的芯片变得非常容易。参8

16082 **以知识为基础的测试程序的生成** [英]/Scholfeld, M. J. // IEE Proc. G., 1985, 132(3), -108~110

对由什么构成测试电路设计的一种观点是有足够的电路知识使能生成一种有效的测试程序。HI-TEST是根据有关电路元件和逻辑特性的知识条目的定义、收集和使用的测试生成系统。作者介绍了知识条目的通用形式,并指出该系统是如何利用知识并受到知识限制的。参8

16083 **EP-1(Event Processor-1):超大规模集成电路用的逻辑模拟机** [会,英]/Amano, N. ... // IEEE International Conference on Computer-Aided Design ICCAD-84, Digest of Technical Papers (Cat. No. 84CH2026-3); 1984, 11, 12~15; Santa Clara, CA, USA, -New York, USA; IEEE, 1984, -251~253

专门与超大规模集成电路提出了一种EP-1型逻辑模拟机。预期EP-1比通用计算机上运行的常规软件模拟程序快1000倍。此外,它还实现具有任意门电路延迟的精密模拟,这尤其适用于超大规模集成电路。参5

16084 **部件级硬件逻辑模拟器——它的应用和效果** [会,英]/Nomizu, N. ... // IEEE International Conference on Computer-Aided Design, ICCAD-84, Digest of Technical Papers (Cat. No. 84CH2026-3); 1984, 11, 12~15; Santa Clara, CA, USA, -New York, USA; IEEE, 1984, -254~256

本文介绍了从采用面向部件的模拟技术的硬件逻辑模拟器(HAL)得到的一些应用结果。这种硬件逻辑模拟器已被成功地用于开发采用定制大规模集成电路的大型计算机。介绍了实际应用的效果。参2

16085 **自动测试码模式生成机** [会,英]/El-zig, Y. M. ... // IEEE International Conference on Computer-Aided Design, ICCAD-84, Digest of Technical Papers (Cat. No. 84CH2026-3); 1984, 11, 12~15; Santa Clara, CA, USA, -New York, USA; IEEE, 1984, -237~239

在以往大规模集成电路为基础的设计中,使用更

复杂,更复杂的电路的总趋势模拟和现在使用内嵌的计算机辅助设计方法。经常用硬件设备实现一些计算机辅助设计算法是克服这一问题的一个可选择的办法。本研究分析逻辑值检测和故障模拟机的技术现状,并指出利用这些机器解决自动测试码模式生成问题的建议。参10《电子工程之增刊——维校》

16086 **逻辑分析仪的性能和价格提供了宽广的选择范围** [英]/Guering, R. // Comput. Des., 1985, 21, -25~30

在逻辑分析仪方面, Tektronix公司在市场上居于领先地位。DAS9100已经是可获得逻辑分析仪中最快了的(异步采样速率为600MHz),但是2GHz的可选模块为主机、通信系统、单处理器系统和各种用于逻辑IC集成电路和神经律集成电路构成的系统的硬件测试提供了500微微秒的采样周期。每个MHS+模块提供八个2GHz的通道,每套DAS9100最多可以装四个这样的模块。但是由于这种模块的价格为25000美元,所以只可能用在最苛刻的时序分析问题上。

16087 **用Gould公司的K105-D进行信噪比分析** [德]/Ono, K. // EEE., 1985, (12), -28

为了便于对数据记录进行评价, Gould公司正在K105-D可重组逻辑分析系统中采用了几种特殊的分析技术,可以用于进行信噪比分析。这个装置中有一个16位微处理器,用于评价记录和选中的数据,经过适当的整形以后加以显示。为了说明新研制的装置的能力和特性,作者介绍了TTL系列器件最坏情况下信噪比的分析过程。

16088 **逻辑分析仪的市场情况——应用在增长** [德]/Uriov, P. ... // EEE., 1985, (12), -28, 30, 32~34

各种各样的技术性仪器中都采用了数字和微处理计算机技术。因此,装置越复杂,对适当的测量手段的要求就越高,以便获得合适而有效的开发、制造和质量控制。到目前为止最有名的测量设备是示波器,但是其能力有限。在概括地介绍了适用的逻辑分析技术的实际应用问题以后,作者介绍了非利浦公司新研制的PM3551A。这种仪器是专门为分析68000系统而设计的。从设计、工作性能、价格和性能等方面介绍了这种装置。在特别参照反汇编程序的使用方法,解释和说明了用VME总线进行分析的情况和状态触发。

16089 **通道位速度(CBS)值决定了能力:个人逻辑分析仪** [德]/Bauer, H. D. // EEE., 1985, (12), -37~38

对逻辑分析仪市场最新的调查说明,需求可以分为三组,从最基本的廉价分析仪到综合的逻辑测试系统都有。作者认为,目前的逻辑分析仪应该具有800左右的通道位速度(CBS)值。作者特别参照个人逻辑分

77位PALAS46C50 芯片简介介绍了通道位速率为800的个人逻辑分析仪的特性和应用。

16090 HILO模拟程序的修改版本 [英]/Harris, R. L. ... // Electron. Eng. 1985, 57 (705), -159~160, 163~164, 167

介绍了对软件、硬件HILO逻辑设计模拟程序的改进,产生HILO-3是为了满足目前对更复杂的逻辑电路日益增长的要求。HILO-3是一种通用逻辑设计模拟程序,与以前的HILO-2的硬件实现和波形说明语言相兼容。它采用了新的故障模拟算法,以提高速度;还有一个具有五状态逻辑集合的15位代数算法,以便精确地用逻辑变量对MOS电路进行模型化。参3

16091 系统设计中的模拟和可测试性分析 [英]/Winckless, C. // Electron. Eng. 1985, 57 (705), -160~163

讨论了HILO模拟程序和可测试性分析软件在精确的可测试印制板和集成电路设计中的应用。

16092 FLORET:验证MOS大规模集成电路逻辑设计的模拟方法 [英]/Rosinski, A.T. ... // Electron Technol. 1982, 15 (1/2), -3~9

介绍了验证电子技术研究所、CEMI和波兰科学院计算机科学研究所以开发的模拟方法。这种方法用于检查逻辑设计的正确性,是设计寄存器传递级采用软件模拟为基础的。举了一些MOS大规模集成电路结构说明的例子,讨论了模拟实验的结果。参5

16093 个人逻辑学家:计算机辅助工程工作站 [德]/Elektron-Anz. 1985, 28 (6), -21

简要介绍了IBM PC/XT机为基础并充分利用了该机的多功能性的“个人逻辑学家”计算机辅助工程工作站。这个工作站是使各种大系统的补充,用于编辑电路图和处各种部件的逻辑作用以模拟电路特性。这个工作站可配置新的高分辨率图形系统,远程作业操作功能,逻辑分析和绘图软件;用接口程序将它与任何外部计算机辅助设计系统相连,以构成一个能完成全部电路设计工作的工作站。

16094 数字电子学中效率较高的新测量方法 [德]/Muller, M. // Elektron. Ind. 1985, 16 (3), -67~68, 70

Doleh逻辑仪器公司已经推出了三种新的逻辑分析仪—Atlas 960, Colis800和Palas46C50。前两种可连接到主CP/M操作系统上,后一种可显示8位和16位微处理器的内部寄存器代码。

16095 论单片微处理器器件的模型化 [俄]/Vlasova, V. V. ... // Электрон. Модел. 1985, 7 (5), -32~35

考虑了专用可设计微处理器器件设计的模型化

系统产生的一组模型。提出了单片微处理器模型化用机技术。这些技术在开发K5801K80微处理器过程中已受到了测试。参13

16096 采用特征分析的逻辑故障检测系统 [德]/White, E. // Elektroniker. 1985, (4), -33~37

作者介绍了Hewlett-Packard公司供寻找数字装置中故障部件用的55005-A系统。该系统包括一台台式计算机和特征万用表,用交互式软件工作。特征分析的基本原理是预先确定所有测试点的特征字(四位十六进制数字),然后将实际测得的值与数据库中的特征字进行比较。该系统在操作者的控制下全自动地收集特征字。参2

16097 用计算机模拟对五种高速双稳电路进行比较 [英]/Russ, D.M. ... // IEE Proc. I. 1985, 132 (5), -210~216

作者介绍了用计算机模拟技术设计和(在二分裂和传输工作方式下)比较五种不同的射极耦合逻辑(ECL)双稳电路的情况。由于采用了单个晶体管模型,消除了处理不同变化形式产生的性能差异。讨论了影响双稳电路工作频率的各种因素。模拟结果表明一种设计具有最大的最高触发频率(920MHz),另一种设计具有最短的平均从-输出跳变时间(400微微秒)。最佳设计是级间具有单个射极跟随器电平移动的平衡双稳电路。已经用BTRL ECL 40工艺制作了这种器件,测量结果表明其最大传输速率为每秒1千兆位。参10

16098 在任意延时值下都可测试的CMOS逻辑电路的设计 [英]/Jha, N.K. ... // IEEE Trans. Comput.-Aided Des. Integrated Circuits & Syst. 1985, CAD-4 (3), -264~269

测试出现恒定开路故障的CMOS逻辑电路的时延特性时,要求先施加初始输入,然后跟着施加测试输入,才能检测出这种故障。但是,如果电路中具有任意的延时,就会使假定通过所有的门和连线的延时为0的测试装置失效。作者提出了对于用“与或”或“或与”CMOS电路实现的任何给定功能来说,在任何延时下都不会失效的测试装置存在的充要条件。他们还提出了一种混合CMOS实现方法,保证对于任何功能未置在任何延时下都有有效的测试装置。参9

16099 有限态自动机的最佳状态分配 [英]/De Micheli, G. ... // IEEE Trans. Comput.-Aided Des. Integrated Circuits & Syst. 1985, CAD-4 (3), -269~285

作者将时序功能模型化为确定性同步有限态自动机,并讨论了用可编程逻辑阵列和反微寄存器以规则和功能化的方式实现这种功能的问题。状态分配,即