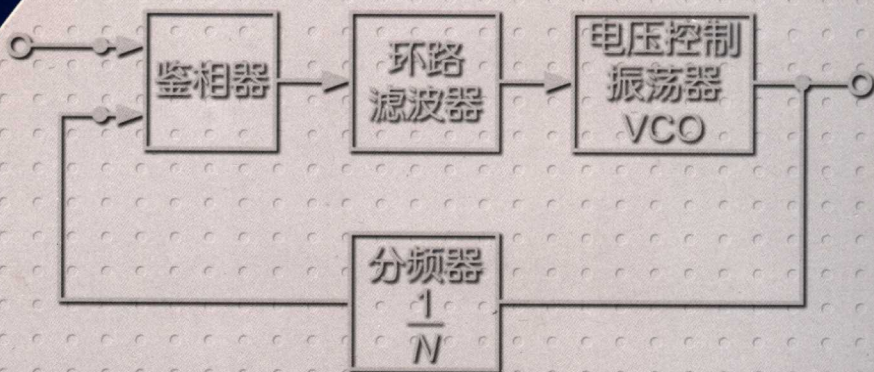


图解实用电子技术丛书

# 锁相环 (PLL) 电路 设计与应用

[日] 远坂俊昭 著  
何希才 译



科学出版社  
www.sciencepress.com

图解实用电子技术丛书

# 锁相环(PLL)电路 设计与应用

〔日〕 远坂俊昭 著  
何希才 译

科学出版社

北京

图字: 01-2005-1157 号

## 内 容 简 介

本书是“图解电子工程师实用技术丛书”之一,本书主要介绍锁相环(PLL)电路的设计与应用,内容包括 PLL 工作原理与电路构成、PLL 电路的传输特性、PLL 电路中环路滤波器的设计方法、PLL 电路的测试与评价方法、PLL 特性改善技术、实用的 PLL 频率合成器的设计与制作、可编程分频器的种类与工作原理以及电压控制振荡器等。

本书内容丰富、实用性强,便于读者自学与阅读理解,可供电子、通信等领域技术人员以及大学相关专业的本科生、研究生参考,也可供广大的电子爱好者学习参考。

### 图书在版编目(CIP)数据

锁相环(PLL)电路设计与应用/(日)远坂俊昭著;何希才译. —北京:科学出版社,2006

(图解实用电子技术丛书)

ISBN 7-03-016528-4

I. 锁… II. ①远…②何… III. 环路锁相-电路设计 IV. TN911.91

中国版本图书馆 CIP 数据核字(2005)第 140291 号

责任编辑:肖京涛 崔炳哲 / 责任制作:魏 谨

责任印制:刘士平 / 封面设计:李 力

北京东方科龙图文有限公司 制作

<http://www.okbook.com.cn>

科学出版社 出版

北京东黄城根北街16号

邮政编码:100717

<http://www.sciencep.com>

新蕾印刷厂 印刷

科学出版社发行 各地新华书店经销

\*

2006年1月第 一 版 开本: B5(720×1000)

2006年1月第一次印刷 印张: 18 1/2

印数: 1-4 000 字数: 275 000

定 价: 33.00 元

(如有印装质量问题,我社负责调换〈新欣〉)

# 前言

PLL(锁相环)是 Phase Locked Loop 的缩略词。参加工作  
时,我研制开发了采用 PLL 电路的地上传感器进行自动检测的 Q  
表。地上传感器用于铁道上的 ATS(Automtic Train Stop,自动  
列车停车装置),它是由谐振电路构成的一种  $720\text{mm} \times 320\text{mm}$  白  
色椭圆状的装置,安装在铁轨的枕木上。当发出红色停车信号时,  
传感器在  $130\text{kHz}$  频率上产生谐振,其上通过的列车检测到该信  
号就自动停车。其工作原理如下图所示,在地上传感器之上安装  
检测线圈时,谐振频率处输入输出信号的相位差变为  $90^\circ$ ,检测线  
圈的输出电压与地上传感器的 Q 值成正比例。另外,在输入输出  
信号相位差为  $90^\circ$  的频率时,PLL 电路进行锁相,用数值显示谐振  
频率与 Q 值,这就是 Q 表。当时,我完全不知道 PLL 电路的设计  
方法,而是根据杂志上刊载的 PLL 电路摸索着设计,将原电路东  
拼西凑构成实际电路。

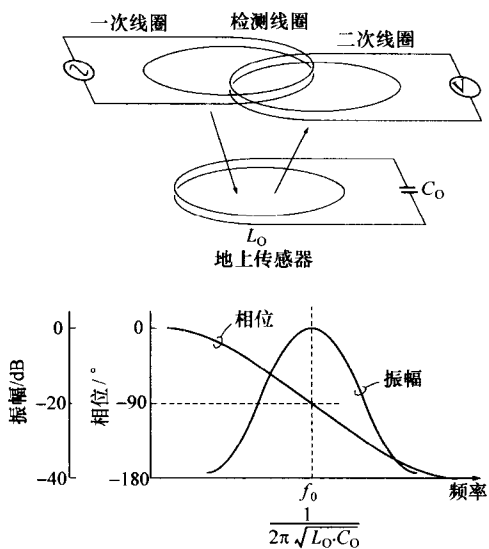


图 0.1 地上传感器与检测线圈

研制开发 Q 表之后,我对 PLL 电路技术产生了浓厚的兴趣。其后,还多次设计了采用 PLL 电路的装置。然而,由于我不懂得 PLL 电路中环路滤波器的设计方法,故在对试做装置进行调整时,只能边观察电路的工作情况,边修改电路参数,这样反复进行设计。

在进行设计期间,我看到了书末参考文献[4]这本书,弄懂了考虑负反馈的相位裕量设计环路滤波器即可,就是在这时发现了问题的本质。在以后设计时,可以根据计算出的 RC 常数对所有的 PLL 电路进行最佳锁相。

最近,可采用方便的软件对 PLL 电路中环路滤波器的常数进行计算,在销售 PLL 电路器件的公司主页上都使用这种软件。然而,使用这种软件计算的环路滤波器的常数对于限定的应用(多数情况是频率合成器)是最佳值。而 PLL 电路的应用范围非常广,即使 PLL 电路框图构成相同,但由于应用不同,其最佳环路滤波器的常数也是不同的。因此,为了更好地使用 PLL 电路,求出 PLL 电路各框图的传递函数,根据负反馈相位裕量计算出环路滤波器的常数也非常重要。读完本书就会懂得这个问题,而好在本书求出的 PLL 电路中各部分传递函数较简单,环路滤波器也是使用较低次的滤波器。

本书的主要部分是 PLL 电路中环路滤波器常数的计算。由于环路滤波器常数的计算是 PLL 电路设计中最重要的一部分,因此不得不这样做,请谅解。

该书原是我作为讲师时的讲稿,也是研讨班教材,教材名称是“PLL 电路的设计方法”与“测量用 PLL 电路设计”。其中“PLL 电路的设计方法”是 CQ 出版社主办的“初级电子研讨班”(http://it.cqpub.co.jp/eSeminar/)使用的教材,而“测量用 PLL 电路设计”是高级综合技术中心(http://www.apc.ehdo.go.jp/)使用的教材。另外,研讨班学员提出的问题也为我编写本书提出了有益的帮助。最后,对参加研讨班的各位学员、为开设研讨班提供机会的 CQ 出版社的蒲生良治先生、高级综合技术中心的冈荣太郎先生、清野政文先生等表示谢忱。另外,借此机会对前桥的双亲远坂平四郎·正江的支持表示感谢。

著 者

# 目 录

第 1 章 PLL 工作原理与电路构成 .....	1
(PLL 与频率合成技术简介)	
1.1 PLL 电路的基本工作原理 .....	1
1.1.1 PLL 电路的三大组成部分 .....	1
1.1.2 PLL 的应用与频率合成器 .....	3
1.1.3 PLL 电路各部分工作波形 .....	3
1.2 PLL 电路以及频率合成器的构成 .....	4
1.2.1 输出为输入 $N$ 倍频的方法 .....	4
1.2.2 输出为输入 $N/M$ 倍频的方法(输入部分接入 分频电路) .....	5
1.2.3 输出为输入 $N/M$ 倍频的方法(输出部分接入 分频电路) .....	5
1.2.4 输出为输入 $N \times M$ 倍频的方法(增设前置频率 倍减器) .....	6
1.2.5 PLL 电路与外差电路的组合方式(输出为 $(f_{in} \times N) + f_L$ ) .....	7
1.2.6 PLL 电路与 DDS 的组合方式 .....	7
1.3 PLL 频率合成器的信号纯正度 .....	9
1.3.1 理想频率合成器的输出频谱(1 根谱线) .....	9
1.3.2 振幅调制的噪声(AM 噪声) .....	10
1.3.3 频率调制的噪声(FM 噪声) .....	12
1.3.4 FM 噪声的影响 .....	14
1.4 PLL 的其他应用 .....	16
1.4.1 数字数据恢复为时钟的情况 .....	16
【专栏】 dBc .....	18
1.4.2 频率-电压转换电路(FM 解调电路) .....	19
1.4.3 电动机的转速控制电路 .....	19
【专栏】 PLL 电路的发明者 Bellescize .....	20

附录 A PLL 电路中负反馈的应用 .....	21
A.1 PLL 电路与运算放大器电路的异同 .....	21
A.2 放大电路中学习的负反馈方式与特性 .....	23
<b>第 2 章 PLL 电路的传输特性 .....</b>	<b>31</b>
<b>(PLL 电路的特性由环路滤波器决定)</b>	
2.1 PLL 电路传输特性的理解 .....	31
2.1.1 PLL 电路各部分的传输特性 .....	31
2.1.2 简单例题(时钟的 50 倍频电路).....	33
2.1.3 传输特性的求法(除环路滤波器特性以外) ..	35
【专栏】 仿真使用 SPICE 非常方便 .....	36
2.1.4 使用的环路滤波器的特性与 PLL 电路的 传输特性 .....	37
2.1.5 PLL 电路中施加负反馈的效果 .....	39
2.2 环路滤波器设计的基础知识 .....	41
2.2.1 RC 低通滤波器的特性 .....	41
2.2.2 具有阶跃特性的 RC 低通滤波器 .....	43
2.2.3 多级 RC 滤波器中增益与相位之间关系 .....	44
2.2.4 普通的 RC 低通滤波器(使用滞后滤波器时 环路特性不稳定).....	46
2.2.5 使 PLL 特性稳定的滞后超前滤波器 .....	47
<b>第 3 章 PLL 电路中环路滤波器的设计方法 .....</b>	<b>51</b>
<b>(无源/有源环路滤波器的设计实例与验证)</b>	
3.1 无源环路滤波器的设计 .....	51
3.1.1 滞后超前滤波器的伯德图 .....	51
3.1.2 PLL 电路与滞后超前滤波器组合的特性 .....	53
3.1.3 分频系数的改变情况 .....	56
3.1.4 根据规格化曲线图求出环路滤波器的常数 (参照附录 B) .....	57
3.2 10~100kHz PLL 频率合成器中环路滤波器 的设计 .....	59
3.2.1 作为实验用频率合成器的概况 .....	59
3.2.2 频率合成器传输特性的求法 (除环路滤波器以外) .....	61
3.2.3 时间常数小、 $M=-10\text{dB}$ 、相位裕量为 $60^\circ$ 的	

设计 .....	61
3.2.4 时间常数中等、 $M=-20\text{dB}$ 、相位裕量为 $50^\circ$ 的设计 .....	64
3.2.5 时间常数大、 $M=-30\text{dB}$ 、相位裕量为 $50^\circ$ 的 设计 .....	66
3.2.6 试做的频率合成器的输出波形 .....	68
3.2.7 试做的频率合成器的输出频谱 .....	70
3.2.8 锁相速度 .....	72
3.3 有源环路滤波器 .....	75
3.3.1 有源环路滤波器 .....	75
3.3.2 2次有源环路滤波器的伯德图 .....	75
3.3.3 3次有源环路滤波器 .....	77
3.3.4 有源环路滤波器的噪声 .....	79
3.3.5 根据规格化曲线图求出有源环路滤波器 常数的方法 .....	80
3.4 25~50MHz PLL 频率合成器中环路滤波器的设计 .....	80
3.4.1 实际电路中设计的有源环路滤波器 .....	80
3.4.2 使用规格化曲线图求出环路滤波器的常数 .....	81
3.4.3 时间常数小、 $M=0\text{dB}$ 、相位裕量为 $50^\circ$ 的设计 .....	85
3.4.4 时间常数中等、 $M=-10\text{dB}$ 、相位裕量为 $50^\circ$ 的设计 .....	86
3.4.5 时间常数大、 $M=-20\text{dB}$ 、相位裕量为 $50^\circ$ 的设计 .....	88
3.4.6 试做的频率合成器的输出波形 .....	89
3.4.7 试做的频率合成器的输出频谱 .....	90
3.4.8 锁相速度 .....	92
3.4.9 锁相速度的仿真 .....	94
<b>【专栏】</b> 用于测量频率变化形式的调制磁畴分析仪 .....	97
3.5 相位裕量不同时 PLL 电路的特性 .....	97
3.5.1 用作实验的 50 倍频电路 .....	98
3.5.2 环路滤波器的设计 .....	99
3.5.3 相位裕量为 $40^\circ$ 的设计 .....	99
3.5.4 相位裕量为 $50^\circ$ 的设计 .....	100
3.5.5 相位裕量为 $60^\circ$ 的设计 .....	100



3.5.6	频率特性的仿真	101
3.5.7	输出波形的频谱	103
3.5.8	锁相速度	104
3.5.9	PLL 电路最适用的相位裕量( $40^{\circ}\sim 50^{\circ}$ )	105
<b>第 4 章</b>	<b>4046 与各种鉴相器</b>	<b>109</b>
	(PLL 电路中使用的 重要器件的基础知识)	
4.1	PLL 的重要器件 4046	109
4.1.1	PLL 的入门器件	109
4.1.2	4046 的三种类型	110
4.1.3	74HC4046 片内三种鉴相器	110
4.1.4	4046 片内 VCO 的特性	113
4.2	鉴相器的工作要点	115
4.2.1	模拟鉴相器	115
4.2.2	数字鉴相器	118
4.2.3	相位频率型鉴相器	120
4.2.4	4046 中 $PC_2$ 型鉴相器	123
4.2.5	死 区	124
4.2.6	电流输出型鉴相器	126
4.2.7	高速鉴相器 AD 9901	127
<b>第 5 章</b>	<b>电压控制振荡器 VCO 的电路</b>	<b>131</b>
	(VCO 要求的特性及 各种振荡电路方式)	
5.1	VCO 要求的性能	131
5.1.1	VCO 的概况	131
5.1.2	频率可变范围	133
5.1.3	频率控制的线性	133
5.1.4	输出噪声	133
5.1.5	输出波形的失真	134
5.1.6	电源电压变化时的稳定度	134
5.1.7	环境温度变化时的稳定度	134
5.1.8	外界磁场与振动的影响	135
5.2	由弛张振荡器构成的 VCO	135
5.2.1	函数发生器的基本工作原理	135
5.2.2	由函数发生器构成的 VCO	138
5.2.3	函数发生器 IC MAX038 的应用	139

5.3	反馈振荡器	142
5.3.1	反馈振荡器的基本工作原理	142
5.3.2	反馈振荡器振荡稳定的方法	142
5.3.3	由 RC 构成的反馈振荡器	143
5.3.4	状态可变 VCO	147
5.4	高频用 LC 振荡电路及其在 VCO 中的应用	151
5.4.1	基本的哈脱莱/科耳皮兹振荡电路	151
5.4.2	科耳皮兹的改进型克拉普振荡电路	152
5.4.3	反耦合振荡电路	153
5.4.4	由 LC 振荡器构成 VCO 时采用的变容 二极管	154
5.4.5	市售的 LC 振荡式 VCO 电路	157
5.5	其他的 VCO 电路	158
5.5.1	由振子构成的反馈振荡器	158
5.5.2	延迟振荡器	162
<b>第 6 章</b>	<b>可编程分频器的种类与工作原理</b>	<b>163</b>
	<b>(构成 PLL 频率合成器的数字电路)</b>	
6.1	可编程分频器的基本器件(减计数器)	163
6.1.1	74HC191	163
6.1.2	74HC40102/40103	164
6.1.3	TC 9198	165
6.2	前置频率倍减器	168
6.2.1	前置频率倍减器 IC	168
6.2.2	脉冲吞没(Pulse Swallow)方式	170
6.2.3	分数(Fractional)-N 方式	171
6.3	PLL 用 LSI	172
6.3.1	PLL 专用 LSI 的构成	172
6.3.2	ADF4110/4111/4112/4113	173
<b>第 7 章</b>	<b>PLL 电路的测试与评价方法</b>	<b>177</b>
	<b>(无源/有源环路滤波器的环路增益)</b>	
7.1	负反馈电路中环路增益的测试	177
7.1.1	难以测试的环路增益	177
7.1.2	施加负反馈时原环路增益的测试	178
7.1.3	负反馈环路测试的仿真	180

7.1.4 实际注入的信号	181
7.2 使用频率响应分析仪的测试方法	183
7.2.1 负反馈环路特性的测试	183
7.2.2 FRA 与 FFT 分析仪的不同之处	185
7.2.3 FRA 与网络分析仪的不同之处	185
7.3 PLL 电路中环路增益的测试	186
7.3.1 使用无源环路滤波器的 PLL	186
7.3.2 使用有源环路滤波器的 PLL	188
<b>第 8 章 PLL 特性改善技术</b>	<b>191</b>
<b>(信号纯正度与锁相速度的提高技术)</b>	
8.1 优质的电源	191
8.1.1 使用 CMOS 反相器电路进行的实验	191
8.1.2 使用晶体振荡电路进行的实验	193
8.1.3 串联稳压器噪声特性的比较	196
8.2 VCO 控制电压特性的改善	200
8.2.1 CD74HC4046 内 VCO 线性的改善	200
8.2.2 CD74HC4046 片内 VCO 的频率变化范围的 扩大	204
8.3 VCO 与鉴相器之间的干扰	206
8.3.1 74HC4046 中 VCO 与鉴相器同在的情况	206
8.3.2 用 1 个 74HC4046 进行的实验	207
8.3.3 使用 2 个 74HC4046 进行的实验(VCO 和 鉴相器在不同的封装中)	209
8.4 鉴相器的死区	210
8.4.1 用 74HC4046 进行死区影响的实验	211
8.4.2 PC <sub>2</sub> 与巴厘枚嘎模块 VCO 的组合使用	213
8.4.3 4046 中 PC <sub>1</sub> 与巴厘枚嘎模块 VCO 的 组合使用	217
8.4.4 74HCT9046 与巴厘枚嘎模块 VCO 的 组合使用	220
8.5 锁相速度的改善	221
8.5.1 用二极管切换环路滤波器常数的方法	222
8.5.2 用模拟开关切换环路滤波器常数的方法	224
8.5.3 用 D-A 转换器进行预置电压相加的方法	226

<b>第 9 章 实用的 PLL 频率合成器的设计与制作</b> .....	229
<b>(环路滤波器的详细设计与实测特性)</b>	
9.1 使用 74HC4046 的时钟频率合成器 .....	229
9.1.1 替代 1Hz~10MHz 晶体的频率合成器 .....	229
9.1.2 全部使用 CMOS IC 构成的频率合成器 .....	230
9.1.3 环路滤波器的设计 .....	233
9.1.4 输出波形 .....	235
9.1.5 频 谱 .....	235
9.1.6 锁相速度 .....	238
9.2 使用 TLC2933 构成的脉冲频率合成器 .....	239
9.2.1 TLC29xx 系列的概况 .....	239
9.2.2 时钟频率合成器电路 .....	239
9.2.3 环路滤波器的设计 .....	241
9.2.4 输出波形频谱的测试 .....	243
9.3 HF 频率合成器 .....	245
9.3.1 HF 频率合成器电路 .....	245
9.3.2 环路滤波器常数的计算 .....	248
9.3.3 频 谱 .....	250
9.3.4 锁相速度 .....	252
9.4 40MHz 频率基准信号用 PLL .....	255
9.4.1 40MHz 频率基准信号用 PLL 电路 .....	255
9.4.2 环路滤波器的设计 .....	258
9.4.3 输出波形 .....	260
9.5 低失真的低频 PLL 电路 .....	261
9.5.1 低失真的低频 PLL 电路 .....	261
9.5.2 环路滤波器的设计 .....	264
9.5.3 输出波形的合成 .....	267
附录 B 环路滤波器设计用规格化曲线图 .....	270
附图:各公司 4046 的振荡频率-控制电压特性 .....	270
<b>参考文献</b> .....	282

# 第 1 章 PLL 工作原理与电路构成

## (PLL 与频率合成技术简介)

本章首先大致说明一下 PLL 的基本构成与各部分工作原理；然后，概略介绍 PLL 的噪声与信号纯正度、以及除频率合成器以外的其他应用实例。

### 1.1 PLL 电路的基本工作原理

#### 1.1.1 PLL 电路的三大组成部分

简单地说,PLL(Phase Locked Loop,锁相环)电路是用于生成与输入信号相位同步的新的信号电路。图 1.1 是 PLL 电路的基本框图,照片 1.1 是一个实际 PLL 电路的工作波形例子。PLL 电路基本上由下述三大部分组成,即用三个框图表示。

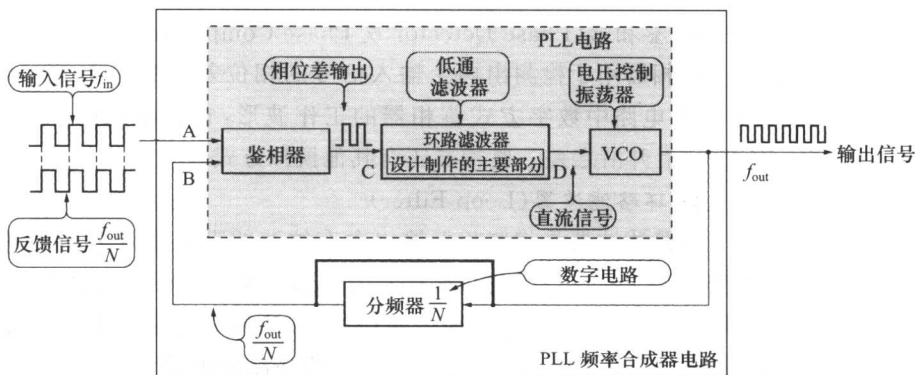
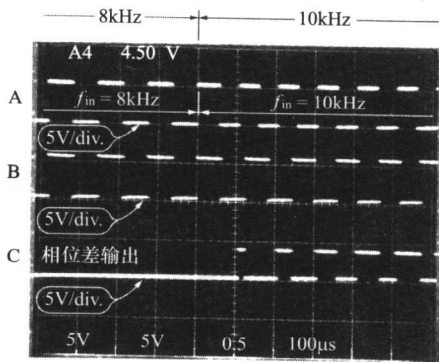
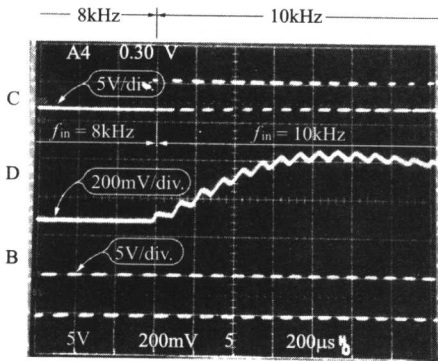


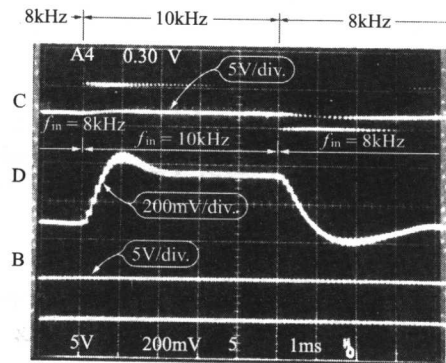
图 1.1 PLL 电路/频率合成器的构成



(a) 鉴相器的输入输出波形



(b) 环路滤波器与VCO



(c) 将(b)图时间轴放大

照片 1.1 PLL 电路的信号波形(A~D 参照图 1.1)

► 鉴相器 (Phase Detector 或 Phase Comparator)

鉴相器用于检测出两个输入信号的相位差。照片 1.1(a) 表示 PLL 电路中数字方式鉴相器的工作波形, 它检测出两个信号 (A, B) 上升沿之差。鉴相器还有其他模拟方式。

► 环路滤波器 (Loop Filter)

环路滤波器是将鉴相器输出含有纹波的直流信号平均化, 将此变换为交流成分少的直流信号的低通滤波器。环路滤波器除滤除纹波功能以外, 还有一种重要作用, 即决定稳定进行 PLL 环路控制的传输特性。稳定的 PLL 电路的环路滤波器的设计方法也是本书的主要部分。

► 压控振荡器 (VCO: Voltage Controlled Oscillator)

压控振荡器就是用输入的直流信号控制振荡频率, 它是一种

可变频率振荡器。

### 1.1.2 PLL 的应用与频率合成器

在图 1.1 框图中,将输入信号与 VCO 输出信号(或者 VCO 输出经分频器分频的信号)的相位进行比较,控制两个信号使其保持同相位。两个输入信号同相位,当然也可对频率进行同样的控制,这样以来就可使 VCO 输出的振荡频率能够跟踪输入信号的频率了。

这时,VCO 的频率变化由环路滤波器的时间常数决定。时间常数越大(截止频率低),频率变化越缓慢;时间常数越小(截止频率高),频率变化越快。这样,VCO 的振荡频率同步跟踪输入信号的频率。

在图 1.1 框图中,若跟踪速度设计适当,由 VCO 可得到接收信号或与电磁波同步的信号。例如,接收电磁波信号中叠加有噪声时,VCO 立即停止接收该信号,不受噪声的影响,VCO 与接收信号的平均频率稳定同步,并持续振荡。

另外,在图 1.1 的框图中,若在 VCO 输出与鉴相器输入之间接入分频器,则输入频率与 VCO 输出频率的分频频率同步。也就是说,VCO 的振荡频率对输入信号的分频频率进行控制。

因此,若在 PLL 输入信号中加上由晶振等产生稳定的频率信号,并对分频器的频率进行切换,则由 VCO 的输出得到与输入频率同样精度的分频信号。这就是 PLL 方式频率合成器的原理。

### 1.1.3 PLL 电路各部分工作波形

照片 1.1 是测量实际 PLL 电路的工作波形,这里表示了输入信号为 8kHz 与 10kHz 交互切换时各部分工作波形(没有接分频器时)。

照片 1.1(a)表示鉴相器的输入输出波形。输入信号 A 从 8kHz 急剧变化到 10kHz 时,VCO 的输出 B 开始为 8kHz。其后,仅在 A 上升沿到 B 上升沿之差时鉴相器的输出变为高电平,上升的同时无脉冲输出。

照片 1.1(b)表示环路滤波器输入输出与 VCO 输出波形。若鉴相器输出高电平信号时,环路滤波器的输出电压缓慢上升,VCO 输出频率也与此成比例升高。

照片 1.1(c)表示照片(b)中时间轴的刻度增大为原来的 5 倍

(由  $200\mu\text{s}/\text{div}$ . 变为  $1\text{ms}/\text{div}$ .) 时, 环路滤波器输入输出与 VCO 输出波形。输入频率急剧变化时, 鉴相器根据相位差输出脉冲, 环路滤波器输出缓慢变化。而观测到的 VCO 振荡频率与输入频率相同, 环路滤波器的输出电压收敛于恒定值。

当数字信号与模拟信号同时存在时, 这样的 PLL 电路可以称为输出频率与输入频率同步的自动控制电路。

实际的鉴相器电路方式有各种类型, 而这里实验使用的鉴相器是将两个输入信号上升沿处相位进行比较的数字类型。

## 1.2 PLL 电路以及频率合成器的构成

无论是工业还是民用, PLL 电路的应用范围非常广, 而且已经超出了著者所知范围。除了以下介绍的应用范围外, 请参考书末的参考文献。本书介绍典型应用频率合成器中 PLL 电路的构成方法。

### 1.2.1 输出为输入 $N$ 倍频的方法

PLL 电路是将输入波形与 VCO 振荡波形的相位进行比较, 使其输入频率与 VCO 振荡频率同步的电路。如图 1.2 所示, VCO 输出经分频后的信号与输入波形的相位进行比较时, 输入频率与分频后的频率为同一频率, 即 VCO 的振荡频率与分频后的频率同步。具有由外部任意整数值设定分频功能的分频器称为可编程分频器(Programable Divider)。

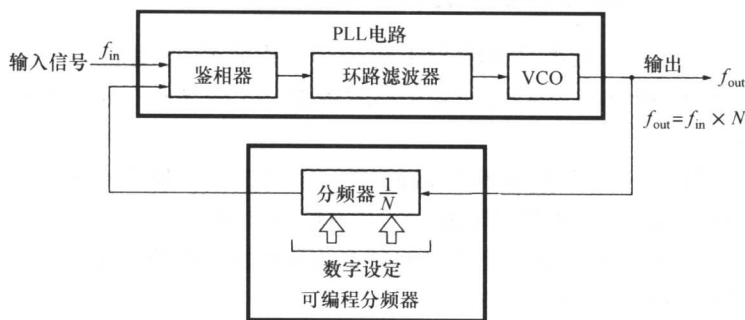


图 1.2 输出为输入  $N$  倍频的方法



### 1.2.2 输出为输入 $N/M$ 倍频的方法 (输入部分接入分频电路)

在图 1.2 所示的 PLL 电路中,输出频率设定分辨率等于相位比较频率。因此,PLL 电路输出频率的精度由输入信号频率的精度决定。为此,对于频率合成器等,一般由晶振产生输入信号。然而,廉价晶振的稳定振荡频率范围为几兆至几十兆赫[兹]。

为此,要想得到更高设定分辨率时,采用如图 1.3 所示的 PLL 电路,它是以必要的设定分辨率的频率(1kHz 与 10kHz 等)对几兆赫[兹]的振荡频率进行分频而构成的电路。

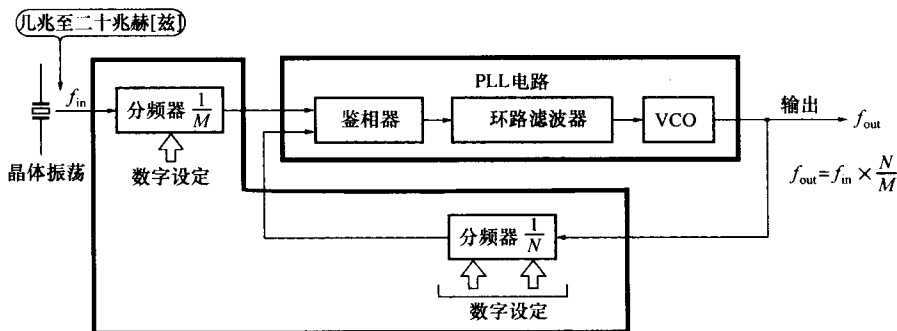


图 1.3 输出为输入  $N/M$  倍频的方法

### 1.2.3 输出为输入 $N/M$ 倍频的方法 (输出部分接入分频电路)

在图 1.2 构成的 PLL 电路中,为了拓宽频率合成器的输出频率范围,在宽范围内取分频系数,相应的 VCO 振荡频率也要在宽范围内改变。然而,正如第 2 章说明的那样,分频系数范围变宽,作为 PLL 电路的传递函数也跟着变化,VCO 很难输出高纯正度的信号。

另外,可变 VCO 的振荡频率范围也是有限的。一般来说,振荡频率范围宽,则 VCO 输出信号的纯正度也随之降低。

输出波形为方波时,如图 1.4 所示,在 VCO 输出部分接入分频器,可以拓宽输出频率范围。例如,VCO 振荡频率范围即使为 1~10MHz,若输出分频器的分频系数  $N$  设定为 10, 100, 1000, ..., 则也可以得到较低的频率。