



三维结构 MOS 晶体管技术研究

Technology of MOS
Transistors with 3 - Dimensional Structures

张盛东



高等教育出版社
HIGHER EDUCATION PRESS

三维结构 MOS 晶体管技术研究

Technology of MOS
Transistors with 3 - Dimensional Structures



高等教育出版社
HIGHER EDUCATION PRESS

图书在版编目 (CIP) 数据

三维结构 MOS 晶体管技术研究 / 张盛东. —北京: 高等教育出版社, 2005. 9

ISBN 7-04-017938-5

I. 三... II. 张... III. 三维结构 - MOS 场效应晶体管 - 高等学校 - 教材 IV. TN386.1

中国版本图书馆 CIP 数据核字 (2005) 第 089268 号

策划编辑 林 琳 责任编辑 曲文利 封面设计 张 楠
责任绘图 尹文军 版式设计 史新薇 责任校对 王 超
责任印制 韩 刚

出版发行	高等教育出版社	购书热线	010-58581118
社 址	北京市西城区德外大街 4 号	免费咨询	800-810-0598
邮政编码	100011	网 址	http://www.hep.edu.cn
总 机	010-58581000		http://www.hep.com.cn
		网上订购	http://www.landaco.com
			http://www.landaco.com.cn
经 销	北京蓝色畅想图书发行有限公司		
印 刷	高等教育出版社印刷厂		
开 本	850 × 1168 1/32		
印 张	10.375	版 次	2005 年 9 月第 1 版
字 数	260 000	印 次	2005 年 9 月第 1 次印刷
插 页	1	定 价	21.90 元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

物料号 17938-00

前 言

MOS 晶体管的特征尺寸缩小到纳米尺度后,由于各种实际的和基本的限制开始出现,传统的平面 CMOS 集成电路技术的发展已接近其极限。新器件结构的采用被认为是拓展今后集成电路发展空间的最有效手段之一。因此,近年来新器件结构及其工艺技术一直是国际集成电路领域的前沿和热门研究课题。

作者自 1997 年起开始从事新型集成电路器件的研究。其中,1999—2002 年在北京大学师从韩汝琦教授,攻读博士学位并继续从事该领域的研究工作。承蒙同行专家厚爱,作者的博士学位论文有幸被评为 2004 年度全国优秀博士学位论文,并受高等教育出版社资助出版。作者的博士论文原稿以英文写成,后应全国优秀博士论文评委会之要求又翻译成中文。为了便于国内以及国外同行间的交流,论文的中英文两个版本均收集于本书之中。全书内容共分 10 章。第 1 章为绪论。第 2 章到第 6 章是三维 CMOS 相关技术研究。其中,第 2 章提出三维 CMOS 概念并讨论有关的技术课题。第 3 章研究背栅晶体管技术。首先论述背栅晶体管的结构特征,然后提出全自对准背栅 MOS 晶体管概念。接着详细描述了器件制作过程并对器件性能作了分析和讨论。本章还研究了一新的高质量背栅氧化层生长技术。第 4 章研究自对准平面双栅 MOS 晶体管技术,包括若干新思路的产生过程,新技术的提出及

实现方法、实验结果的测量与分析等。第5章研究可电分离的自对准双栅 MOS 器件的加工技术以及它的动态阈值效应。第6章是在以上各章的基础上,研究自对准三维 CMOS 反相器的实现技术。第7章系统研究了自对准双栅薄膜晶体管技术。第8章报告了一高压 SOI 器件的研究结果。第9章研究一简单且低成本的纳米尺度的微加工技术。第10章对全书内容进行总结。第8章和第9章的内容虽然与本书的题目有出入,但考虑到这毕竟也是攻读博士学位期间的一部分很有意义的工作,故仍将它们收入本书之中。

在本书出版之际,作者首先要衷心感谢指导老师韩汝琦教授。如果说作者这几年来在科研工作中取得了一些值得肯定的成绩,那么这些成绩都是在韩老师的悉心指导下取得的。正是韩老师深厚的理论功底、渊博的专业知识以及举重若轻的指导风格确保了作者博士论文工作的顺利完成。作者接着要感谢香港科技大学(HKUST)的陈文新(Mansun Chan)教授。书中所描述的相当一部分工作是在他的资助和指导下去进行的。Mansun 毕业于名校(UC Berkeley),又受名师(Chengming Hu 和 Ping K Ko)指导,在学术上造诣很深。和他在一起工作的时间里作者收获颇多。而且作者的大部分英文稿件也都经过他的修改。作者还要感谢北京大学的关旭东教授和刘晓彦教授。他们对作者的工作提出了许多有益的建议并给予多方面的指点。此外,本研究的实验部分是在北京大学微电子工艺实验室和香港科技大学微电子实验所(MFF)完成的。在此过程中,得到了许多人的帮助和合作,借此机会向他们表示衷心的感谢。

最后,我要深深地感谢我的家人特别是妻子和女儿长久的支持和耐心。在过去的几年里,妻子一人持家的同时还担负着单位繁重的工作任务,其辛苦可想而知。而我的女儿,尽管在她最需要父亲的童年时代父亲却长期不在身边,但她总是在妈妈偶尔对爸爸产生抱怨时坚决袒护爸爸。对此我将终身感到愧疚和不安。

当今集成电路领域,相关器件物理和技术方面的发展可谓是日新月异。由于作者学识水平有限,书中不妥甚至错误之处在所难免,敬请读者批评指正。

张盛东

2005年7月于北京大学

作者简介



张盛东:1964年10月生于南京。1984年7月毕业于东南大学电子工程系获学士学位;1992年4月毕业于东南大学电子工程系获硕士学位;2002年6月毕业于北京大学计算机科学技术系获博士学位。1985年至1989年以及1992年至1996年工作于南京电子器件研究所。1996年至1998年在香港科技大学电机和电子工程系进修。2002年7月加入北京大学,2003年8月起任信息科学技术

学院副教授。

张盛东博士从事的主要研究领域有:薄膜晶体管器件、平板显示器件、SOI MOS 晶体管器件、双(多)栅 MOS 晶体管器件以及三维 ULSI 器件等。已在国际知名学术刊物和学术会议上发表研究论文 30 余篇,其中作为第一作者在 IEEE Electron Device Letters 和 IEEE Transactions on Electron Devices 上发表论文 10 余篇。

导师简介



韩汝琦: 1938 年 8 月生于北京。1962 年毕业于北京大学物理系物理专业, 毕业后留校任教。1978 年任北京大学计算机科学技术系微电子学教研室主任、讲师, 1983 年晋升为副教授。1985 年至 1986 年期间在美国弗吉尼亚大学物理系做访问学者。1987 年起任北京大学教授。

韩汝琦教授长期从事固体物理与半导体物理的教学与科研工作, 先后撰写了多部在国内有重要影响的学术专著。其中与黄昆先生合著的《固体物理学》(高等教育出版社, 1988 年) 在第二届全国高校优秀教材评比中荣获国家级特等奖, 并获 1996 年度国家科技进步二等奖。目前从事的主要研究领域为超大规模集成电路的新器件结构、模型模拟以及纳米尺度微电子器件中的物理问题等。

内容提要

本书汇集了作者在三维结构 MOS 晶体管技术研究方面所取得的主要研究成果。内容涉及背栅、平面双栅、可分离双栅 MOS 以及三维集成 MOS 器件。

在背栅器件部分,主要内容为全自对准背栅 MOS 晶体管制作技术研究、多晶硅上高质量栅氧化硅生长技术研究以及可用于三维 SRAM 的高性能背栅器件的研制。在平面双栅器件部分,主要内容有单晶硅膜上自对准双栅 MOS 晶体管制作技术研究、多栅/多体 MOS 晶体管概念、可电分离双栅 MOS 晶体管的自对准加工工艺技术研究以及低温多晶硅双栅薄膜晶体管的自对准技术研究。在三维器件部分,主要研究了层叠式共栅 CMOS 电路构建技术。详细描述了性能可与体硅或 SOI 器件相比拟的高性能三维 PMOS 负载管以及由此构成的垂直自对准三维 CMOS 反相器的制备技术。

本书可作为半导体和微电子专业的高年级本科生和研究生以及集成电路领域技术人员的参考书。

郑 重 声 明

高等教育出版社依法对本书享有专有出版权。任何未经许可的复制、销售行为均违反《中华人民共和国著作权法》，其为人将承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。为了维护市场秩序，保护读者的合法权益，避免读者误用盗版书造成不良后果，我社将配合行政执法部门和司法机关对违法犯罪的单位和个人给予严厉打击。社会各界人士如发现上述侵权行为，希望及时举报，本社将奖励举报有功人员。

反盗版举报电话：(010) 58581897/58581896/58581879

传 真：(010) 82086060

E - mail: dd@hep.com.cn

通信地址：北京市西城区德外大街4号

高等教育出版社打击盗版办公室

邮 编：100011

购书请拨打电话：(010)58581118

目 录

第 1 章 绪论	167
1.1 MOS 晶体管技术回顾	168
1.2 按比例缩小理论和主要限制	170
1.3 从单栅结构到双栅结构	171
1.4 从二维结构到三维结构	174
1.5 本研究的主要内容和创新点	175
参考文献	177
第 2 章 三维 CMOS 集成技术概念	183
2.1 引言	183
2.2 自对准三维 CMOS 结构的提出	184
2.3 相关技术课题	186
参考文献	188
第 3 章 自对准背栅 MOS 晶体管技术研究	190
3.1 引言	191
3.2 背栅 MOS 晶体管结构分析	193
3.3 全自对准背栅 MOS 晶体管的制作	195
3.4 自对准背栅多晶硅薄膜晶体管的制作	199
3.5 器件测试结果与讨论	201
3.6 多晶硅上高质量背栅氧化层的生长	209
3.7 非自对准结构对深亚微米器件性能影响的模拟	212
3.8 小结	216

参考文献	216
第 4 章 单晶粒上自对准双栅 MOS 晶体管制作技术研究	220
4.1 引言	221
4.2 单晶粒硅膜制备技术	221
4.3 自对准双栅 MOS 晶体管的制作	226
4.4 实验结果与讨论	229
4.5 多栅/多体 MOS 晶体管概念	232
4.6 小结	234
参考文献	235
第 5 章 可电分离自对准双栅 MOS 晶体管技术和应用	
研究	237
5.1 引言	237
5.2 动态阈值电压概念	239
5.3 功耗评估及比较	240
5.4 自对准 ESDG MOS 晶体管制作技术	242
5.5 结果与讨论	245
5.6 小结	251
参考文献	251
第 6 章 自对准三维 CMOS 电路的实现	253
6.1 引言	253
6.2 自对准三维 CMOS 反相器制作过程	254
6.3 实验结果与讨论	257
6.4 小结	260
参考文献	260
第 7 章 自对准双栅薄膜晶体管技术研究	262
7.1 引言	263
7.2 理想双栅薄膜晶体管的结构特征	264
7.3 自对准工艺和器件制作	267
7.4 结果与讨论	270
7.5 自对准双栅薄膜晶体管的 LDD 技术	277
7.6 小结	284

参考文献	284
第 8 章 漂移区为线性掺杂的高压薄膜 SOI 器件的研究	288
8.1 引言	288
8.2 SOI 器件的 RESURF 原理	289
8.3 线性掺杂漂移区的设计	291
8.4 SOI LDMOS 晶体管的制作	295
8.5 结果与分析	297
8.6 小结	301
参考文献	301
第 9 章 新型亚 50 nm 硅栅制作技术研究	303
9.1 引言	303
9.2 实验	304
9.3 结果与讨论	309
9.4 小结	311
参考文献	311
第 10 章 总结	313

Contents

Chapter 1 Preamble	1
1.1 Historical Review of MOSFET	1
1.2 Scaling Rules and Major Limits	4
1.3 From Single-Gate to Double-Gate Configuration	6
1.4 From 2D to 3D Architecture	10
1.5 Major Issues and Organization of This Book	12
References	13
Chapter 2 Three-Dimensional CMOS Technology	
Concept	19
2.1 Introduction	19
2.2 3D CMOS Architecture	20
2.3 Technological Issues	23
References	25
Chapter 3 Self-Aligned Bottom-Gate MOS Transistor	
Technology	27
3.1 Introduction	28
3.2 Structure Issue of Bottom-Gate MOS Devices	31
3.3 Fabrication of FSABG MOSFET	33
3.4 Fabrication of SABG TFT	38
3.5 Device Results and Discussions	41

3.6	High Quality Bottom-Gate Oxide on Poly-Si	50
3.7	Simulated Misalignment Effects on Performance Variations	54
3.8	Conclusions	58
	References	59
Chapter 4 Fabrication of Self-Aligned Double-Gate		
	MOSFET on Single-Grain Silicon	62
4.1	Introduction	63
4.2	Formation of Single-Grain Silicon Film by MIUC	64
4.3	Fabrication of Self-Aligned Double-Gate MOSFET	70
4.4	Device Results and Discussions	73
4.5	Multi-Gate/Multi-Body MOS Transistor Concept	76
4.6	Conclusions	79
	References	79
Chapter 5 Electrically Separable Self-Aligned Double-Gate		
	MOSFET for Dynamic Threshold Voltage	
	Control	81
5.1	Introduction	82
5.2	Dynamic Threshold Voltage Concept	83
5.3	Evaluations and Comparisons of the Energy Dissipation	85
5.4	Fabrication of Self-Aligned ESDG MOSFET	88
5.5	Results and Discussions	91
5.6	Conclusions	97
	References	97
Chapter 6 Implementation of Self-Aligned 3D CMOS		
	Inverter	99
6.1	Introduction	99
6.2	Fabrication Process for Self-Aligned 3D CMOS Inverter	100
6.3	Experimental Results and Discussions	104
6.4	Conclusions	106
	References	107

Chapter 7 Self-Aligned Double-Gate Poly-Si TFT

Technology	108
7.1 Introduction	109
7.2 Desirable Features for Double-Gate TFTs	110
7.3 SADG TFT Fabrication	114
7.4 Results and Discussions	117
7.5 Implementation of Self-Aligned LDD DG TFT	126
7.6 Conclusions	132
References	133

Chapter 8 High Voltage Thin Film SOI LDMOS

Transistor with Linearly Doped Drift Region	136
8.1 Introduction	137
8.2 Numerical Modeling	138
8.3 Fabrication Process	142
8.4 Results and Discussions	144
8.5 Conclusions	151
References	151

Chapter 9 A Lithography Independent Sub-50 nm Gate

Definition Technology	153
9.1 Introduction	154
9.2 Experiments	155
9.3 Results and Discussions	157
9.4 Conclusions	160
References	161

Chapter 10 Summary 162

Chapter 1

Preamble

It is well known to us that the transistor (point-contact) was invented in 1947 by Bardeen and Brattain^[1] and this was followed by Shockley's classic paper on the bipolar transistor^[2]. In fact, the original concept of the transistor (field effect) was proposed by Lilienfeld^[3] in 1930. But it was not reduced to practice till 30 years later. In 1960, Kahng and Attala applied the concept to Si-SiO₂ system, finally leading to the invention of MOSFET^[4]. Since that time, the MOSFET has been incorporated into integrated circuits and has grown to be the most important device of electronic industry. It has also been believed that MOSFET will be the only device for ultra-large-scale-integration (ULSI) in the future.

1.1 Historical Review of MOSFET^[5]

For the past 40 years, the amazing progress in the performance and functionality of MOS integrated circuit (IC) has been made just through shrinking device geometries and increasing chip size constant-