

高等学校实验课系列教材

现代数字系统 实验及设计

XIANDAI SHUZI XITONG SHIYAN JI SHEJI

何伟 主编

EXPERIMENTATION



重庆大学出版社

现代数字系统实验及设计

何 伟 主 编

重 庆 大 学 出 版 社

内 容 提 要

本书共分四篇,第1篇介绍数字系统的设计方法、MAX + plus II 使用向导、Quartus II 使用向导。本篇是学习后续内容的基础,其中 MAX + plus II 是数字电路实验及设计的仿真、设计与实现工具,Quartus II 是 EDA 技术实验及设计的仿真、设计与实现工具。第2篇主要介绍数字电路课程的实践环节,包括数字电路基础实验、基于 EDA 系统的数字电路实验、综合性数字电路设计课题。第3篇主要介绍 EDA 技术课程的实践环节,包括 EDA 技术基础实验、综合性 EDA 技术设计课题。第4篇介绍实验器件与实验系统基础知识。

本书内容丰富,循序渐进,实践性强,取材新颖,可供高等院校电子信息类、电气信息类各专业的本科生或研究生使用,特别适合数字电路类、EDA 技术类课程的实践与设计教材或参考资料,也可作为一般电子电路设计的工程技术人员的自学参考书。

图书在版编目(CIP)数据

现代数字系统实验及设计/何伟主编. —重庆:重庆
大学出版社,2005.9

(高等学校实验课系列教材)

ISBN 7-5624-3510-3

I. 现... II. 何... III. ①数字系统—实验—高等
学校—教材②数字系统—系统设计—高等学校—教材
IV. TP271

中国版本图书馆 CIP 数据核字(2005)第 101553 号

现代数字系统实验及设计

何 伟 主 编

责任编辑:姚正坤 版式设计:彭 宁
责任校对:邹 忌 责任印制:秦 梅

*

重庆大学出版社出版发行

出版人:张鸽盛

社址:重庆市沙坪坝正街 174 号重庆大学(A 区)内

邮编:400030

电话:(023) 65102378 65105781

传真:(023) 65103686 65105565

网址:<http://www.cqup.com.cn>

邮箱:fxk@cqup.com.cn (市场营销部)

全国新华书店经销

重庆科情印务有限公司印刷

*

开本:787×1092 1/16 印张:22 字数:549 千 插页:8 开 1 页

2005 年 10 月第 1 版 2005 年 10 月第 1 次印刷

印数:1—3 000

ISBN 7-5624-3510-3 定价:26.50 元

本书如有印刷、装订等质量问题,本社负责调换

版权所有,请勿擅自翻印和用本书

制作各类出版物及配套用书,违者必究。

前言

随着现代电子技术的发展,新器件、新电路、新技术不断涌现,特别是 EDA 技术的引入,使数字电路及系统从设计理念到设计方法都发生了根本性的变化。这就必然使电子技术系列课程的教学内容、教学方法、教学手段发生很大的变化。

近年来,许多高校都将 EDA 技术融入电子技术系列课程,对课程体系和教学内容进行改革。为了适应课程改革的要求,我们也在多年教学实践的基础上,将数字电子技术和 EDA 技术实验的教学内容进行了整合,建立了基于基础、综合、提高这三个层次,以验证、仿真、设计为主要环节的实验实践教学体系,并编写了《现代数字系统实验及设计》实验教材,以作为两门课程的硬件实验、仿真分析综合设计的实验实践指导书。考虑到现代数字电子技术与 EDA 技术的密不可分性,特别是实验实践教学环节所涉及的内容、方法、手段和工具都有很大的相关性,因此,在教学内容的安排上遵循了以下原则:一是在数字电子技术理论教学的基础上,独立开设了实验课程,以强化对学生能力的培养;二是通过课程设计实践教学环节,提高学生综合运用课程知识的能力;三是在理论教学、实验课程、设计实践各环节引入 EDA 工具软件,使学生掌握基本的功能仿真、时序仿真和可编程逻辑设计的方法;四是同时开设 EDA 技术课程,使学生较为系统的学习现代电子系统自顶向下的设计理念,掌握数字系统的现代设计方法。

本教材分 4 篇,共 9 章。第 1 篇数字系统与设计工具,其中数字系统设计方法是基础,MAX + plus II 是数字电子技术实验课程学生必须学习掌握的工具,Quartus II 是深入学习 EDA 技术的高层次工具软件。第 2 篇数字电路实验及设计,是数字电子技术课程实验和设计实践的全部内容,分基础硬件、仿真分析、课程设计三层次。第 3 篇 EDA 技术实验及设计,是 EDA 技术课程基础实验和设计实践的教学内容。第 4 篇实验器件与实验系统,介绍了两门实验课程的硬件平台和主要器件。本教材以数字电路为基础,数字系统为体系,按循序

渐进的思想,组织数字电子技术和 EDA 技术实验实践教学内容,构成现代电子技术系列课程实验实践教学体系,这是教材的特色之一;教材的第二个特点,本着在实验内容、实验材料、设计选题等各方面突出开放性,安排较多的综合性、设计性和自主性实验实践项目,以充分发挥学生的主体意识,培养学生创新能力。

该教材包括了数字电子技术和 EDA 技术两门课程的基础实验、仿真分析、综合设计选题等内容,适合作为电子信息类相关专业这两门课程的实验指导教材和课程设计参考书,也可作为工程技术类相关专业数字电子技术课程的实验指导书。本教材还较为详细地介绍了 MAX + plus II、Quartus II 等 EDA 工具的使用,特别是结合实际的问题分析及其解决方案,为从事电子设计的工程师、实验技术人员提供了设计的参考。

本教材由重庆大学通信工程学院组织编写。第 5,6,8 章由何伟编写;第 1,2 章由张玲编写;第 3 章由甘平编写;第 4 章由胡国庆、夏鸣凤、张德州编写,胡国庆负责本章统稿;第 7 章由宋焱翼编写;第 9 章由甘平、宋焱翼、张德州编写;何伟负责全书的统稿。

重庆大学通信工程学院曾孝平教授对教材进行了审校。教材的出版得到重庆大学各级领导的大力支持,特别是得到实验设备处的立项资助,使教材得以顺利完成,在此我们表示衷心感谢!教材的出版也是重庆大学电子技术系列课程全体教师多年教学实践的结晶和共同努力的硕果。在此,特向所有支持、帮助、关心我们的同仁表示最诚挚的谢意!

本教材从体系结构、内容组织、选题安排等各方面力求跟踪、适应现代电子技术发展,所涉及的知识面较宽,加上在实践性上的要求,难免存在疏漏、不妥甚至错误之处,敬请读者批评指正。

编 者

2005 年 8 月 6 日

目 录

第 1 篇 数字系统与设计工具

第 1 章 数字系统设计	1
1.1 数字系统的基本结构	1
1.2 数字系统的设计方法	2
1.3 数字系统的设计准则	3
1.4 数字系统的设计步骤	4
1.5 EDA 工程设计流程	5
第 2 章 MAX + plus II 使用向导	9
2.1 MAX + plus II 开发系统简介	9
2.2 MAX + plus II 开发系统设计入门	10
2.3 MAX + plus II 系统设计技巧	21
第 3 章 Quartus II 使用向导	29
3.1 Quartus II 开发软件简介	29
3.2 Quartus II 软件的设计过程	32
3.3 设计项目编译综合	35
3.4 SignalTap II 嵌入式逻辑分析仪的使用	54

第 2 篇 数字电路实验及设计

第 4 章 数字电路基础实验	66
4.1 集成逻辑门的测试与使用	66
4.2 集电极开路(OC)门与三态门	78
4.3 组合逻辑电路设计与分析	83
4.4 MSI 译码器及其应用	95
4.5 MSI 数据选择器及其应用	101
4.6 MSI 半加器、全加器及其应用	103
4.7 集成触发器及其应用	107

4.8	MSI 移位寄存器及其应用	111
4.9	MSI 计数器及其应用	117
4.10	555 定时器实验	121
4.11	脉冲信号的产生与整形	125
4.12	MSI 时序电路的设计与分析	127
4.13	D/A 转换实验	137
4.14	A/D 转换实验	140
4.15	模拟汽车尾灯	144
4.16	梯形波产生电路	145
4.17	输血规则	146
4.18	步进电机	146
4.19	数字钟及定时打铃	147
4.20	篮球记分牌	149
4.21	转速表	150
4.22	列车时刻滚动显示	151
4.23	邮件分拣	152
第 5 章	基于 EDA 系统的数字电路实验	153
5.1	MAX + plus II 仿真软件的熟悉和应用	153
5.2	译码器及编码器实验	156
5.3	数值比较器和数据选择器应用实验	159
5.4	奇偶效验电路 74LS280 应用实验	162
5.5	主从 JK 触发器结构及一次性翻转实验	165
5.6	程控计数分频器实验	166
第 6 章	综合性数字电路设计课题	169
6.1	计数式数字频率计	169
6.2	交通信号灯自动控制器	181
6.3	电子秒表	192
6.4	彩灯控制器	199

第 3 篇 EDA 技术实验及设计

第 7 章	EDA 技术基础实验	209
7.1	简单组合逻辑设计	209
7.2	编、译码器与选择器设计	212
7.3	包集合、过程调用及函数使用	218
7.4	触发器、寄存器设计	224
7.5	6 位七段 LED 动态显示设计	227
7.6	键盘扫描电路设计	233
7.7	序列检测器设计	236

7.8	8 位乘法器设计	239
7.9	小数分频器设计	242
7.10	嵌入式逻辑分析仪应用实验	245
7.11	DDS 设计	248
第 8 章	综合性 EDA 技术设计课题	252
8.1	12/24 小时数字钟 VHDL 设计	252
8.2	数字频率计 VHDL 设计	261
8.3	乐曲播放电路设计	266
8.4	电子琴设计	275
8.5	异步串行接口电路及通信系统设计	280
8.6	自主设计课题	295

第 4 篇 实验器件与实验系统

第 9 章	实验器件与实验系统基础知识	302
9.1	数字逻辑实验箱介绍	302
9.2	数字逻辑常用芯片引脚及功能介绍	305
9.3	AEDK-EDA II 实验系统介绍	312
9.4	CPLD 与 FPGA 器件	327
参考文献		343

第 **1** 篇

数字系统与设计工具

第 **1** 章

数字系统设计

1.1 数字系统的基本结构

数字系统通常是指一个能独立完成一系列复杂逻辑功能的若干数字电路的集合。数字系统的规模差异很大,它可以是一台十分庞大的体育场馆用的室外 LED 显示屏,或一个自动测试或检测系统,或一个网络交换设备,或一个图像采集系统,或者是常用的数显电子表、数字温度表、抢答器;也可以是一个更大系统中的一个子系统。例如,一个智能门控系统的指纹识别和控制部分就是一个典型的数字系统。它的工作过程是这样的:由图像传感器获取开门者的指纹图像,经时序严格的采样和模数转换将得到该图像的数字信号,该信号被送入高速实时数字信号处理系统进行实时图像识别,以提取该指纹的各种特征数据,再与数据库中所有合法开

门者的指纹特征进行逐一比较后,决定是否开门以及开门的各种控制。如果需要,系统还可以自动记录来访者的时间、非法来访者的次数、自动进行故障诊断等等,这就构成了一个比较复杂的数字系统。

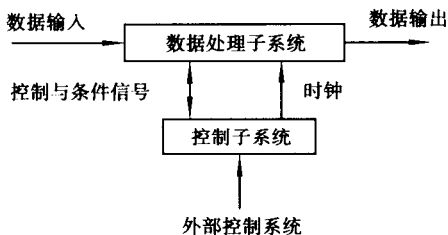


图 1.1 数字系统的基本结构

数字系统的基本结构如图 1.1 所示,它将整个系统划分为两个模块或两个子系统,即数据处理子系统和控制子系统。

数据处理子系统主要完成数据的采集、存储、运算和传输。数据处理子系统主要由存储器、运算器、数据选择器等功能电路组成。数据处理子系统与外界进行数据交换,在控制子系统(或称控制器)发出的控制信号作用下,数据处理子系统将进行数据的存储和运算等操作。

数据处理子系统将接收由控制器发出的控制信号,同时将自己的操作进程或操作结果作为条件信号传送给控制器。应当根据数字系统实现的功能或算法设计数据处理子系统。

控制子系统是执行数字系统算法的核心,具有记忆功能,因此控制子系统是时序系统。控制子系统由组合逻辑电路和触发器组成,与数据处理子系统共用时钟。控制子系统的输入信号是外部控制信号和由数据处理子系统送来的条件信号,按照数字系统设计方案要求的算法流程,在时钟信号的控制下进行状态的转换,同时产生与状态和条件信号相对应的输出信号,该输出信号将控制数据处理子系统的具体操作。应当根据数字系统功能及数据处理子系统的需求设计控制子系统。

把数字系统划分成数据处理子系统和控制子系统进行设计,这只是设计过程中采用的一种方法,而不是设计的目的和设计的结果。也许一个设计就只是一个片上的系统,但它同样可以划分成数据处理子系统和控制子系统,每一子系统还可进一步划分为更小的子系统。对于复杂的数字系统,划分的层次可多达数级。这种划分可以帮助设计者集中精力有重点地理解和处理特定的逻辑问题和数据处理问题,进而设计出逻辑功能明确的子电路图,进而连接成完整的系统电路图。因此,数字系统的划分应当遵循自然、易于理解的原则。

1.2 数字系统的设计方法

数字系统设计有多种方法,传统的方法有模块设计法、MCU 设计法、自底向上设计法等。

传统的模块设计法通常用真值表、卡诺图、布尔方程、状态(转移)表和状态(转移)图来完整描述逻辑电路的功能。这样的描述方式对于输入变量、状态变量和输出函数个数较少、复杂程度不高的小规模数字系统还可以使用,但是数字系统设计的质量保证在很大程度上是依靠设计者对逻辑设计的熟悉程度、对通用逻辑器件功能掌握的广度和深度以及设计经验的丰富程度。该法是将所选各种逻辑功能的电路组装成所要求的数字系统,这种设计方法也称为试凑法。这种方法是数字系统设计中最原始、受限制最多、效率不高和效果较差的方法,复杂的数字系统的设计一般也难于完全用该法来完成。

复杂的数字系统设计可以采用 MCU 设计法。由于 MCU 的应用,过去难于甚至不能用 SSI

和 MSI 实现的复杂数字系统在 MCU 的软件设计中可以轻松实现。同时 MCU 的使用使电子系统的智能化水平在广度和深度上产生了质的飞跃。但是用 MCU 设计的系统存在运行速度和可靠性不高的缺点,设计成果移植困难、大规模复杂设计不便于多人协作并行工作,因此 MCU 设计法主要用于对智能化要求较高或需要进行人机对话的应用场合。

基于 EDA 技术的现代数字系统的设计一般采用自顶向下、由粗到细、逐步求精的方法。自顶向下是指将数字系统的整体逐步分解为各个子系统和模块,若子系统规模较大,则还需将子系统进一步分解为更小的子系统和模块,层层分解,直至整个系统中各子系统关系合理,并便于逻辑电路级的设计和实现为止。采用该方法设计时,高层设计进行功能和接口描述,说明模块的功能和接口,模块功能的更详细的描述在下一设计层次说明,最底层的设计才涉及具体的寄存器和逻辑门电路等实现方式的描述。

采用自顶向下的设计方法有如下优点:

1) 自顶向下设计方法是一种模块化设计方法。对设计的描述从上到下逐步由粗略到详细,符合常规的逻辑思维习惯。由于高层设计同器件无关,设计易于在各种集成电路工艺或可编程器件之间移植。

2) 适合多个设计者同时进行设计。随着技术的不断进步,许多设计由一个设计者已无法完成,必须由多个设计者分工协作共同完成一项设计的情况越来越多。在这种情况下,应用自顶向下的设计方法便于多个设计者同时开展设计,并能对设计任务进行合理分配,用系统工程的方法对设计进行管理。

针对具体的设计,实施自顶向下的设计方法的形式会有所不同,但均需遵循以下两条原则:逐层分解功能,分层次进行设计。同时,应在各个设计层次上,考虑相应的仿真验证问题。

1.3 数字系统的设计准则

进行数字系统设计时,通常需要考虑多方面的条件和要求,如设计的功能和性能要求,元器件的资源分配和设计工具的可实现性,系统的开发费用和成本等。虽然具体设计的条件和要求千差万别,实现的方法也各不相同,但数字系统设计还是具备一些共同的方法和准则的。

(1) 分割准则

自顶向下的设计方法或其他层次化的设计方法,需要对系统功能进行分割,然后用逻辑语言进行描述。分割过程中,若分割过粗,则不易用逻辑语言表达;分割过细,则带来不必要的重复和繁琐。因此,分割的粗细需要根据具体的设计和设计工具情况而定。掌握分割程度,可以遵循以下的原则:分割后最底层的逻辑块应适合用逻辑语言进行表达;相似的功能应该设计成共享的基本模块;接口信号尽可能少;同层次的模块之间,在资源和 I/O 分配上,应尽可能平衡,以使结构匀称;模块的划分和设计,应尽可能做到通用性好,易于移植。

(2) 系统的可观性

在系统设计中,应该同时考虑功能检查和性能的测试,即系统观测性的问题。一些有经验的设计者会自觉地在设计系统的同时设计观测电路,即观测器,指示系统内部的工作状态。

建立观测器,应遵循以下原则:具有系统的关键点信号,如时钟、同步信号和状态信号等;具有代表性的节点和线路上的信号;具备简单的“系统工作是否正常”的判断能力。

(3) 同步和异步电路

异步电路会造成较大延时和逻辑竞争,容易引起系统的不稳定,而同步电路则是按照统一的时钟工作,稳定性好。因此,在设计时应尽可能采用同步电路进行设计,避免使用异步电路。在必须使用异步电路时,也应采取措施来避免竞争和增加稳定性。

(4) 最优化设计

由于可编程器件的逻辑资源、连接资源和 I/O 资源有限,器件的速度和性能也是有限的,用器件设计系统的过程相当于求最优解的过程。因此,需要给定两个约束条件:边界条件和最优化目标。

所谓边界条件,是指器件的资源及性能限制。最优化目标有多种,设计中常见的最优化目标有:器件资源利用率最高;系统工作速度最快,即延时最小;布线最容易,即可实现性最好。具体设计中,各个最优化目标间可能会产生冲突,这时应满足设计的主要要求。

(5) 系统设计的艺术

一个系统的设计,通常需要经过反复的修改、优化才能达到设计的要求。一个好的设计,应该满足“和谐”的基本特征,对数字系统可以根据以下几点作出判断:

- ①设计是否总体上流畅,无拖泥带水的感觉;
- ②资源分配、I/O 分配是否合理,是否没有任何设计上和性能上的瓶颈,系统结构是否协调;
- ③是否具有良好的可观测性;
- ④是否易于修改和移植;
- ⑤器件的特点是否能得到充分的发挥。

1.4 数字系统的设计步骤

(1) 系统任务分析

数字系统设计中的第一步是明确系统的任务。在设计任务书中,可用各种方式提出对整个数字系统的逻辑要求,常用的方式有自然语言、逻辑流程图、时序图或几种方法的结合。当系统较大或逻辑关系较复杂时,系统任务(逻辑要求)逻辑的表述和理解都不是一件容易的工作。所以,分析系统的任务必须细致、全面,不能有理解上的偏差和疏漏。

(2) 确定逻辑算法

实现系统逻辑运算的方法称为逻辑算法,也简称为算法。一个数字系统的逻辑运算往往有多种算法,设计者的任务不但是要找出各种算法,还必须比较优劣,取长补短,从中确定最合理的一种。数字系统的算法是逻辑设计的基础,算法不同,则系统的结构也不同,算法的合理与否直接影响系统结构的合理性。确定算法是数字系统设计中最具创造性的一环,也是最难的一步。

(3) 建立系统及子系统模型

当算法明确后,应根据算法构造系统的硬件框架(也称为系统框图),将系统划分为若干个部分,各部分分别承担算法中不同的逻辑操作功能。如果某一部分的规模仍嫌大,则需进一步划分。划分后的各个部分应逻辑功能清楚,规模大小合适,便于进行电路级的设计。

(4) 系统(或模块)逻辑描述

当系统中各个子系统(指最低层子系统)和模块的逻辑功能和结构确定后,则需采用比较规范的形式来描述系统的逻辑功能。设计方案的描述方法可以有多种,常用的有方框图、流程图和描述语言等。

对系统的逻辑描述可先采用较粗略的逻辑流程图,再将逻辑流程图逐步细化为详细逻辑流程图,最后将详细逻辑流程图表示成与硬件有对应关系的形式,为下一步的电路级设计提供依据。

(5) 逻辑电路级设计及系统仿真

电路级设计是指选择合理的器件和连接关系以实现系统逻辑要求。电路级设计的结果常采用两种方式来表达:电路图方式和硬件描述语言方式。EDA 软件允许以这两种方式输入,以便作后续的处理。

当电路设计完成后必须验证设计是否正确。在早期,只能通过搭试硬件电路才能得到设计的结果。目前,数字电路设计的 EDA 软件都具有仿真功能,先通过系统仿真,当系统仿真结果正确后再进行实际电路的测试。由 EDA 软件的验证结果十分接近实际结果,因此,可极大地提高电路设计的效率。

(6) 系统的物理实现

物理实现是指用实际的器件实现数字系统的设计,用仪表测量设计的电路是否符合设计要求。现在的数字系统往往采用大规模和超大规模集成电路,由于器件集成度高、导线密集,故一般在电路设计完成后即设计印刷电路板,在印刷电路板上组装电路进行测试。需要注意的是,印刷电路板本身的物理特性也会影响电路的逻辑关系。

1.5 EDA 工程设计流程

对于目标器件为 FPGA 和 CPLD 的 VHDL 设计,其工程设计的基本流程如图 1.2 所示。现具体说明如下。

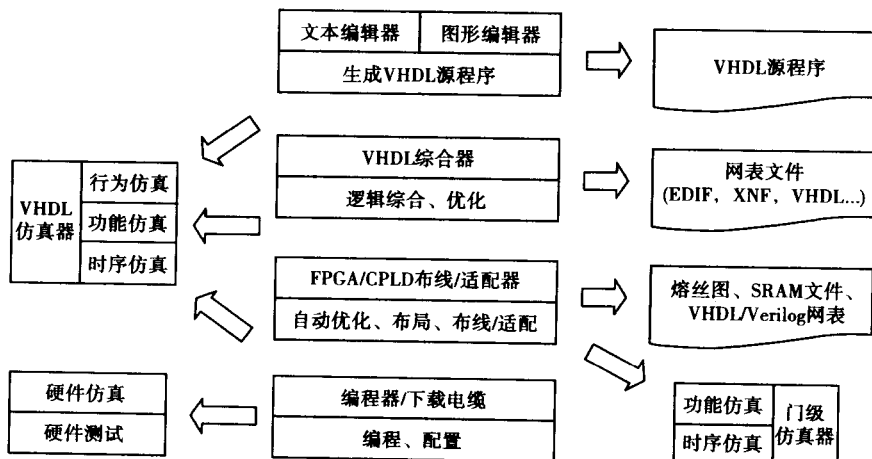


图 1.2 EDA 工程设计流程图

(1) 源程序的编辑和编译

利用 EDA 技术进行一项工程设计,首先需利用 EDA 工具的文本编辑器或图形编辑器将它用文本方式或图形方式表达出来,进行排错编译,变成 VHDL 文件格式,为进一步的逻辑综合作准备。

常用的源程序输入方式有三种。

1) 原理图输入方式:利用 EDA 工具提供的图形编辑器以原理图的方式进行输入。原理图输入方式比较容易掌握,直观且方便,所画的电路原理图(请注意,这种原理图与利用 Protel 画的原理图有本质的区别)与传统的器件连接方式完全一样,很容易被人接受,而且编辑器中有许多现成的单元器件可以利用,自己也可以根据需要进行设计。然而原理图输入法也有它的缺点:①随着设计规模增大,设计的易读性迅速下降,面对图中密密麻麻的电路连线,极难搞清电路的实际功能;②一旦完成,电路结构的改变将十分困难,因而几乎没有可再利用的设计模块;③移植困难、入挡困难、交流困难、设计交付困难,因为不可能存在一个标准化的原理图编辑器。

2) 状态图输入方式:以图形的方式表示状态图进行输入。当填好时钟信号名、状态转换条件、状态机类型等要素后,就可以自动生成 VHDL 程序。这种设计方式简化了状态机的设计,比较流行。

3) VHDL 软件程序的文本方式:它是最一般化、最具普遍性的输入方法,任何支持 VHDL 的 EDA 工具都支持文本方式的编辑和编译。

(2) 逻辑综合和优化

欲把 VHDL 的软件设计与硬件的可实现性挂钩,需要利用 EDA 软件系统的综合器进行逻辑综合。

综合器的功能就是将设计者在 EDA 平台上完成的针对某个系统项目的 HDL、原理图或状态图形的描述,针对给定硬件结构组件进行编译、优化、转换和综合,最终获得门级电路甚至更底层的电路描述文件。由此可见,综合器工作前,必须给定最后实现的硬件结构参数,它的功能就是将软件描述与给定硬件结构用某种网表文件的方式联系起来。显然,综合器是软件描述与硬件实现的一座桥梁。综合过程就是将电路的高级语言描述转换成低级的,可与 FPGA/CPLD 或构成 ASIC 的门阵列基本结构相映射的网表文件。

由于 VHDL 仿真器的行为仿真功能是面向高层次的系统仿真,只能对 VHDL 的系统描述作可行性的评估测试,不针对任何硬件系统,因此基于这一仿真层次的许多 VHDL 语句不能被综合器所接受。这就是说,这类语句的描述无法在硬件系统中实现(至少是现阶段),这时,综合器不支持的语句在综合过程中将被忽略掉。综合器对源 VHDL 文件的综合是针对某一 PLD 供应商的产品系列的,因此,综合后的结果是可以为硬件系统所接受,具有硬件可实现性。

(3) 目标器件的布线/适配

逻辑综合通过后必须利用适配器将综合后的网表文件针对某一具体的目标器进行逻辑映射操作,其中包括底层器件配置、逻辑分割、逻辑优化、布线与操作,适配完成后可以利用适配所产生的仿真文件作精确的时序仿真。

适配器的功能是由综合器产生的网表文件配置于指定的目标器件中,产生最终的下载文件,如 JEDEC 格式的文件。适配所选定的目标器件(FPGA/CPLD 芯片)必须属于原综合器指定的目标器件系列。对于一般的可编程模拟器件所对应的 EDA 软件来说,一般仅需包含一

个适配器就可以了,如 Lattice 的 PAC—DESIGNER。通常,EDA 软件中的综合器可由专业的第三方 EDA 公司提供,而适配器则需由 FPGA/CPLD 供应商自己提供,因为适配器的适配对象直接与器件结构相对应。

(4) 目标器件的编程/下载

如果编译、综合、布线/适配和行为仿真、功能仿真、时序仿真等过程都没有发现问题,即满足原设计的要求,则可以将由 FPGA/CPLD(布线/适配器)产生的配置/下载文件通过编程器或下载电缆载入目标芯片 FPGA 或 CPLD 中。

(5) 设计过程中的有关仿真

在综合以前可以先对 VHDL 所描述的内容进行行为仿真,即将 VHDL 设计源程序直接送到 VHDL 仿真器中仿真,这就是所谓的 VHDL 行为仿真。因为此时的仿真只是根据 VHDL 的语义进行的,与具体电路没有关系。在这时的仿真中,可以充分发挥 VHDL 中的适用于仿真控制的语句及有关的预定义函数和库文件。

在综合之后,VHDL 综合器一般都可以生成一个 VHDL 网表文件。网表文件中描述的电路与生成的 EDIF/XNF 等网表文件一致。VHDL 网表文件采用 VHDL 语法,只是其中的电路描述采用了结构描述方法,即首先描述了最基本的门电路,然后将这些门电路用例化语句连接起来。这样的 VHDL 网表文件再送到 VHDL 仿真器中进行所谓功能仿真,仿真结果与门级仿真器所做的功能仿真的结果基本一致。

需要注意的是,图 1.2 中有两个仿真器,一是 VHDL 仿真器,另一个是门级仿真器,它们都能进行功能仿真和时序仿真。所不同的是仿真用的文件格式不同,即网表文件不同。这里所谓的网表(Netlist),是特指电路网络,网表文件描述了一个电路网络。目前流行有多种网表文件格式,其中最通用的是 EDIF 格式的网表文件;Xilinx XNF 网表文件格式也很流行,不过一般只在使用 Xilinx 的 FPGA/CPLD 时才会用到 XNF 格式;VHDL 文件格式也可以用来描述电路网络,即采用 VHDL 语法描述各级电路互连,称之为 VHDL 网表。

功能仿真是仅对 VHDL 描述的逻辑功能进行测试模拟,以了解其实现的功能是否满足原设计的要求,仿真过程不涉及具体器件的硬件特性,如延时特性。时序仿真是接近真实器件运行的仿真,仿真过程中已将器件特性考虑进去了,因而,仿真精度要高得多。但时序仿真的仿真文件必须来自针对具体器件的布线/适配器所产生的仿真文件。综合后所得的 EDIF/XNF 门级网表文件通常作为 FPGA 布线器或 CPLD 适配器的输入文件。通过布线/适配的处理后,布线/适配器将生成一个 VHDL 网表文件,这个网表文件中包含了较为精确的延时信息,网表文件中描述的电路结构与布线/适配后的结果是一致的。此时,将这个 VHDL 网表文件送到 VHDL 仿真器中进行仿真,就可以得到精确的时序仿真结果了。

(6) 硬件仿真/硬件测试

这里所谓的硬件仿真是针对 ASIC 设计而言的。在 ASIC 设计中,比较常用的方法是利用 FPGA 对系统的设计进行功能检测,通过后再将其 VHDL 设计以 ASIC 形式实现;而硬件测试则是针对 FPGA 或 CPLD 直接用于应用系统的检测而言的。

硬件仿真和硬件测试的目的是为了在更真实的环境中检验 VHDL 设计的运行情况,特别是对于 VHDL 程序设计上不是十分规范、语义上含有一定歧义的程序。一般的仿真器包括 VHDL 行为仿真器和 VHDL 功能仿真器,它们对于同一 VHDL 设计的“理解”,即仿真模型的产生,与 VHDL 综合器的“理解”,即综合模型的产生,常常是不一致的。此外,由于目标器件

功能的可行性约束,综合器对于设计的“理解”常在一有限范围内选择,而 VHDL 仿真器的“理解”是纯软件行为,其“理解”的选择范围要宽得多,结果这种“理解”的偏差势必导致仿真结果与综合后实现的硬件电路在功能上的不一致。当然,还有许多其他的因素也会产生这种不一致。由此可见,VHDL 设计的硬件仿真和硬件测试是十分必要的。

第 2 章

MAX + plus II 使用向导

2.1 MAX + plus II 开发系统简介

Altera 公司的 MAX + plus II 是一个高度集成化的可编程逻辑器件开发系统,可以开发 Altera公司的 MAX 系列和 FLEX 系列的可编程器件,同时它也是数字系统设计验证的最好的工具软件之一。该系统重要有以下特点。

1) MAX + plus II 界面友好,使用方便,被业界誉为最易学易用的 EDA 软件。

2) 支持多种设计输入方式。允许用户采用原理图、VHDL, Verilog-HDL, ABEL-HDL 和波形图与 EDIF 等格式的文件进行设计输入,并支持这些文件的任意混合设计。

3) 具有门级仿真器,可以进行功能仿真和时序仿真,能够产生精确的时序仿真和时间分析结果。

4) MAX + plus II 系统的核心 Compiler 支持 Altera 公司的 FLEX10K, FLEX8000, FLEX6000, MAX9000, MAX7000, MAX5000 和 Classic 可编程逻辑器件系列,提供了真正与结构无关的可编程逻辑设计环境。MAX + plus II 的编译器提供了强大的逻辑综合与优化功能,使用户比较容易将其设计集成到器件中。

5) 系统把设计输入、编译处理、功能仿真、时序仿真,以及器件编程集成于统一的开发环境下,这样可以加快动态调试,缩短开发周期。

6) MAX + plus II 提供丰富的库元件供设计者调用,其中包括 74 系列全部器件和多种特殊的逻辑宏单元(Macro-Function)以及新型的参数化兆功能(Mage-Function)。调用库元件进行设计,可以大大减轻设计人员的工作量,也可大大缩短设计周期。