

QEoCaSTP

南开软考辅导丛书

全国计算机技术与软件技术资格(水平)考试  
指 定 教 程 同 步 练 习

# 软件设计师

命题研究组 编

QUANGUO JISUANJI JISHU YU  
RUANJIAN JISHU  
ZIGE (SHUIPING) KAOSHI  
ZHIDING JIAOCHENG  
TONGBU LIANXI

**RUANJIAN SHEJISHI**

南开大学出版社

全国计算机技术与软件技术资格（水平）考试

# 指定教程同步练习

软件设计师

命题研究组 编

南开大学出版社

天津

## 内 容 提 要

本书是全国计算机水平考试软件设计师的考前辅导，主要内容有：①考试要点，概括软件水平考试中本科目涉及的考点以及重点、难点；②大量典型题以及细致精到的讲解；③全真模拟考卷及答案。

本书适用于备战全国计算机水平考试软件设计师的考生以及各类考点培训班。

### 图书在版编目(CIP)数据

软件设计师 / 命题研究组编. —天津：南开大学出版社，  
2009.7

(全国计算机技术与软件技术资格(水平)考试指定教  
程同步练习)

ISBN 978-7-310-03175-7

I. 软… II. 命… III. 软件设计—工程技术人员—资格  
考核—习题 IV. TP311.5-44

中国版本图书馆 CIP 数据核字(2009)第 092321 号

**版权所有 侵权必究**

南开大学出版社出版发行

出版人：肖占鹏

地址：天津市南开区卫津路 94 号 邮政编码：300071

营销部电话：(022)23508339 23500755

营销部传真：(022)23508542 邮购部电话：(022)23502200

\*

河北昌黎太阳红彩色印刷有限责任公司印刷

全国各地新华书店经销

\*

2009 年 7 月第 1 版 2009 年 7 月第 1 次印刷

787×1092 毫米 16 开本 24.125 印张 566 千字

定价：38.00 元

如遇图书印装质量问题，请与本社营销部联系调换，电话：(022)23507125

## 编委会

主 编：李 波

副主编：许 伟

编 委：杨金魁 刘 欣 张 勇 于樊鹏 李志云 李晓春 王 雷

韦 笑 冯 哲 唐 玮 魏 宇 李 强 张文波 谢 晖

刘 朋 王嘉佳 高 强 邓 卫 李建锋 周 刚

# 前言

中国计算机技术与软件专业技术资格（水平）考试由国家人事部和信息产业部主办，考试内容涵盖计算机技术与软件的各个主要领域，该考试适应信息技术的迅速发展和更新，鼓励和促进从业人员不断适应和跟进技术变化，满足社会对各种计算机信息技术人才的需要。

## 本书主要特点

### （1）内容针对性强

本书针对水平考试的考点，提供大量典型题的精解，在分析的过程中进行强化训练。我们认为，在考试辅导书中，面面俱到并非是一个优势，针对性强才会真正对考生有益。

### （2）独具特色的知识点建构方式

在本书中，每个知识点的复习是这样建构的：用“考试要点”搭建系统框架，“典型题解”重现重点难点，完成从理论到应用的转变。“全真模拟试卷”从整体上把握考试题型和解答，做到使考生心中有数。

## 本书主要内容

本书根据水平考试大纲、指定教程以及对历届真题的分析编写而成，主要内容有：

- ① 针对每章内容概括考试要点。
- ② “典型题解”讲解细致透彻，考生可以举一反三，相同类型的题目完全可以迎刃而解，通过题目分析和练习，不断加深印象，巩固知识点。
- ③ 模拟考卷给出大量全真模拟题及参考答案，以备战考试。

## 与我们联系

为了保证本书及时面市和内容准确，很多朋友做出了贡献，李波、许伟、杨金魁、刘欣、张勇、于樊鹏、李志云、李晓春、王雷、韦笑、冯哲、唐玮、魏宇、李强、张文波、谢晖、刘朋、王嘉佳、高强、邓卫、李建锋、周、刚等老师付出了很多辛苦，在此一并表示感谢！

在学习的过程中，您如有问题或建议，请使用电子邮件与我们联系：  
book\_service@126.com。

全国计算机技术软件技术资格（水平）考试命题研究组

# 目 录

第 1 章 计算机系统知识.....1	8.2 典型题解..... 188
1.1 考试要点..... 1	第 9 章 数据结构..... 201
1.2 典型题解..... 5	9.1 考试要点..... 201
第 2 章 程序语言设计基础.....21	9.2 典型题解..... 208
2.1 考试要点..... 21	第 10 章 算法分析与设计..... 240
2.2 典型题解..... 24	10.1 考试要点..... 240
第 3 章 计算机操作系统基础.....35	10.2 典型题解..... 243
3.1 考试要点..... 35	第 11 章 面向对象技术..... 268
3.2 典型题解..... 40	11.1 考试要点..... 268
第 4 章 计算机网络基础.....62	11.2 典型题解..... 277
4.1 考试要点..... 62	第 12 章 计算机专业英语..... 319
4.2 典型题解..... 69	12.1 考试要点..... 319
第 5 章 数据库系统基础.....92	12.2 典型题解..... 319
5.1 考试要点..... 92	全真模拟试卷（上午试题一）..... 333
5.2 典型题解..... 97	参考答案..... 341
第 6 章 多媒体基础.....127	全真模拟试卷（下午试题一）..... 342
6.1 考试要点..... 127	参考答案..... 354
6.2 典型题解..... 131	全真模拟试卷（上午试题二）..... 356
第 7 章 系统开发与运行.....141	参考答案..... 363
7.1 考试要点..... 141	全真模拟试卷（下午试题二）..... 364
7.2 典型题解..... 150	参考答案..... 376
第 8 章 标准化、信息化与知识产权.....184	
8.1 考试要点..... 184	

# 第 1 章

考试内容

- 计算机系统结构。
- 指令系统。
- I/O 系统。
- 存储器系统。
- 流水线技术。
- 并行处理机。
- 多处理机。
- 计算机系统可靠性。

## 计算机系统知识

### 1.1 考试要点

#### 计算机系统结构

计算机系统由软件系统和硬件系统两部分组成。软件系统包括系统软件和应用软件。系统软件如操作系统、程序设计语言、编译系统、通用数据库管理系统等；应用软件如文字处理软件、表处理软件等。硬件系统包括主机、输入/输出设备、存储器等，主机由中央处理器（CPU）和主存（内存储器）等组成。计算机硬件系统从功能上可分为运算器、控制器、存储器、输入设备和输出设备 5 个部分。

#### 指令系统

指令系统是计算机所有指令的集合，可分为复杂指令系统和精简指令系统。

##### （1）复杂指令系统

随着硬件成本的不断下降，软件成本的不断提高，人们热衷于在指令系统中增加更多的指令和复杂的指令，来提高操作系统的效率，并尽量缩小指令系统与高级语言的语义差别，以便于高级语言的编译和降低软件成本。同时，为了保证程序兼容，新的计算机的指令系统只能增加而不能减少，所以就使得指令系统越来越来复杂。由于指令系统的复杂性，CPU 硬件结构也变得十分复杂，又反过来限制了 CPU 运行速度。因此，复杂指令计算机在性能上遇到了很大困难。

##### （2）精简指令系统

通过简化指令使计算机的结构更加简单合理，从而提高运算速度。若只保留 20% 的最简单指令，使指令系统尽可能简单，从而设计硬件结构简单、执行速度快的 CPU，这就是精简指令计算机（RISC）。

RISC 计算机的主要特点：

- ① 指令数量少。
- ② 指令的寻址方式少。
- ③ 指令长度固定，指令格式种类少。
- ④ 只提供了 Load/Store 指令访问存储器。
- ⑤ 采用硬布线逻辑控制。
- ⑥ 单周期指令执行。
- ⑦ 拥有相当多的寄存器。
- ⑧ 优化的编译器。

## I/O 系统

(1) CPU 控制输入/输出设备工作的方式

CPU 控制输入/输出设备工作的方式有以下 3 种。

① 程序查询输入/输出方式：在程序控制下，CPU 与外设之间交换数据。

② 中断输入/输出方式：主机在执行程序过程中，遇到了输入/输出中断请求而中断程序的正常执行，转去对输入/输出中断请求做出处理，待处理完成后再返回原程序继续执行。

③ 直接存储器 (DMA) 方式：高速外设 (一般指磁盘存储器) 与内存之间直接进行数据交换，不通过 CPU 并且 CPU 不对数据交换进行控制。

(2) 系统总线

系统总线是用于连接计算机中各部件 (CPU、内存和外设接口等) 的一组公共信号线。系统总线由数据总线、地址总线和控制总线这 3 组信号线组成。数据总线用于传输数据，地址总线用于传输地址，控制总线用于传输控制信号。目前微型机中常用的总线有 4 种，它们是 ISA 系统总线、VESA 局部总线、PCI 局部总线和 MCA 总线。

## 存储器系统

存储体系结构包括不同层次上的存储器。它们通过适当的硬件、软件有机地组合在一起，形成计算机的存储体系结构。现在一般都将高性能计算机的存储体系结构分为三级存储器结构。三级存储器结构包括高速缓存 (Cache)、主存储器、辅助存储器 (外存储器)。

(1) Cache 存储器

通常，在 CPU 和主存储器之间设置小容量的高速存储器 Cache。Cache 容量小但速度快，主存储器速度较低但容量大。通过优化调度算法，系统性能会大大改善，其存储系统容量与主存相当，而访问速度近似 Cache。在计算机的存储系统体系中，Cache 是访问速度最快的层次。

使用 Cache 改善系统改性能的依据是程序的局部性原理，即程序的地址访问流有很强的时序相关性，未来的访问模式与最近已发生的访问模式相似。依据局部性原理，把主存储器中访问概率高的内容存放在 Cache 中，当 CPU 需要读取数据时，就首先在 Cache 中查找是否有所需内容。如果有则直接从 Cache 中读取；若没有再从主存中读取该数据，然后同时送往 CPU 和 Cache。



Cache 的组织结构与主存储器不一样，它以行作为基本单元。每一行又分为标志项和数据域两部分，数据域中存放着若干项数据，而标志项是这一块数据的地址标识。

当 CPU 发出对存储器的读命令后，有访问地址先送给 Cache 控制器，Cache 检查其地址标识符目录以确定是否匹配项。若发现匹配项（命中），则根据其访问地址确定是对该行数据块中的第几项进行读取，然后该项即进入 Cache 的数据寄存器。如果没有命中，则到主存读取数据。

当 CPU 发出访存请求后，存储器地址先送到 Cache 控制器，以确定所需数据是否已在 Cache 中，若命中，则直接对 Cache 进行访问，这个过程称为 Cache 的地址映射（Mapping）。常见映射方式有直接映射、全相联映射和组相联映射。

当 Cache 存储器产生了一次访问失效之后，相应的数据应同时读入 CPU 和 Cache。但当 Cache 已存满数据后，需要通过某种算法淘汰部分数据。最常用的淘汰算法有随机淘汰法、先进先出法（FIFO）和近期最少使用淘汰法（LRU）。

### （2）虚拟存储器

虚拟存储器是由主存、辅存、存储管理单元及操作系统中存储管理软件组成的存储系统。在程序员使用该存储系统时，可用内存空间远远大于主存的物理空间，但实际上并不存在那么大的主存，故称其为“虚拟存储器”。虚拟存储器分为页式虚拟存储器、段式虚拟存储器和段页式虚拟存储器。

### （3）磁盘阵列技术

磁盘阵列是由多台磁盘存储器组成的快速、大容量、高可靠性的外存子系统，现在常见的磁盘阵列称为廉价冗余磁盘阵列（RAID）。RAID 分为 RAID0，RAID1，…，RAID10。

## 流水线技术

流水线技术其实是通过并行硬件来提高系统性能的常用方法，其基本思想在冯·诺依曼第一台存储程序计算机中已经提出。

流水线技术的基本原理实际上是一种任务分解的技术。把一件任务分解成若干顺序执行的子任务，不同的子任务由不同的执行机构负责执行，而这些机构可以同时并行工作。在任一时刻，任一任务只占用其中一个执行机构，这样就可以实现多个任务的重叠执行，以提高工作效率。

流水线技术包括指令流水线和运算操作流水线。需要注意，对流水线技术而言，其对性能的提高程度取决于其执行顺序中最慢的一步。

在实际情况中，流水线各个阶段可能会相互影响，阻塞流水线，使其性能下降。影响流水线性能的主要因素有两个：执行转移指令和共享资源冲突。

在实际处理中，为了使流水线能维持最大的吞吐率，同时确保流水线各段不会产生冲突，就需要对流水线进行很好的控制。一般采用预留表来预测冲突。预留表是从流水线设计直接推导出来的，表中列出的是

流水线上各个部件操作的时间信息，每一行代表流水线中的一段，而每一列则代表一个时间步。

### 并行处理机

并行处理机也称为阵列处理机，在单一控制部件控制下由多个处理单元构成阵列。并行处理机基于 SIMD 结构，主要用于要求进行大量高速向量或矩阵运算的应用领域。

并行处理机的并行性来源于资源重复，把大量相同的处理单元 PE 通过互连网络连接起来，在统一的控制器（CU）控制下，对各自分配来的数据并行地完成同一条指令所规定的操作。PE 是不带指令控制部件的算术逻辑运算单元。

并行处理机的特点：

- ① 强大的向量运算能力。
- ② 使用资源重复的并行方式。并行处理机的并行性来源于资源重复而不是时间重叠，利用并行性中的同时性而不是并发性。并行处理机提高运算速度的主要方法是增加处理单元的个数。
- ③ 适用于专门领域，如矩阵运算、向量运算等。
- ④ 标量运算速度对系统性能的影响也很明显。
- ⑤ 具有向量化功能的高级语言编译程序有助于提高并行处理机的通用性，以及减少编译时间。

### 多处理机

多处理机具有两个或两个以上的处理机，共享输入/输出子系统，在统一的操作系统控制下，通过共享主存或高速通信网络进行通信，协同求解一个较复杂的问题。多处理机利用多台处理机进行多任务处理来提高速度，利用系统的重组能力来提高可靠性、适应性和可用性。多处理机是新一代计算机结构的基本特征。多处理机具有共享存储器和分布存储器两种不同结构。

多处理机属于 MIMD 系统，与 SIMD 的并行处理机相比，有很大的差别。其本质就在于它们的并行性层次不同，多处理机要实现的是更高层次的作业任务间的并行。

大规模并行处理机（MPP）是由众多的微处理器（从几百个到上万个）组成的大规模并行处理系统。MPP 可以采用市场上出售的 RISC 处理器，所以有很高的性价比。

### 计算机系统 可靠性

计算机系统的可靠性是指从它开始运行（ $t=0$ ）到某时刻  $t$  这段时间内能正常运行的概率。

常见的系统可靠性数学模型有以下 3 种。

#### （1）串联系统

假设一个系统由  $N$  个子系统组成，当且仅当所有的子系统都能正常工作时，系统才能正常工作，这种系统称为串联系统。

设各子系统的可靠性为  $R_1$ 、 $R_2$ 、... $R_n$ ，则整个串联系统的可靠性为：

$$R=2-(1-R_1)(1-R_2)\dots(1-R_n)$$

设各子系统的失效率为  $\lambda_1$ 、 $\lambda_2$ 、...、 $\lambda_n$ ，则整个串联系统的失效率为：

$$\lambda = \lambda_1 + \lambda_2 + \dots + \lambda_n$$

### (2) 并联系统

假如一个系统由  $N$  个子系统组成，只要有一个子系统正常工作，系统就能正常工作，这样的系统称为并联系统。

设各子系统的可靠性为  $R_1$ 、 $R_2$ 、...、 $R_n$ ，则整个并联系统的可靠性为：

$$R = R_1 \times R_2 \times \dots \times R_n$$

设各子系统的失效率为  $\lambda$ ，则整个并联系统的失效率为：

$$\mu = \frac{1}{\frac{1}{\lambda} \sum_{j=1}^N \frac{1}{j}}$$

### (3) $N$ 模冗余系统

$N$  模冗余系统由  $N$  个 ( $N=2n+1$ ) 相同的子系统和一个表决器组成，表决器把  $N$  个子系统中占多数的相同结果的输出作为系统的输出。

设各子系统的可靠性均为  $R_0$ ，则整个  $N$  模冗余系统的可靠性为：

$$R = \sum_{i=n+1}^N \binom{N}{i} R_0^i (1-R_0)^{N-i}$$

其中  $\binom{j}{N}$  表示从  $N$  个元素中取  $i$  个元素的组合数。

## 1.2 典型题解

1. 为了保证程序能连续执行，CPU 必须确定下一条指令的地址，起到这一作用的是\_\_\_\_\_。
- A. 指令寄存器    B. 状态寄存器  
C. 地址寄存器     D. 程序计数器

【解析】CPU 寄存器有如下几种。

- ① 指令寄存器：CPU 运行时把指令调入，存放于指令寄存器中。  
② 程序计数器：每一条指令在存储器中都有相应的地址，CPU 通过程序计数器和 PC 增量器，计算出每一条指令的地址，并在需要执行该指令时，将其地址送入程序地址寄存器，然后读入该指令，所以本题的正确选项是 D。  
③ 地址寄存器：存储指令地址的寄存器，其地址是由程序计数器和 PC 增量器计算出来的。

【答案】D

2. 操作数所处的位置，可以决定指令的寻址方式。操作数包含在指令中，寻址方式为(1)；操作数在寄存器中，寻址方式为(2)；操作数的地址在寄存器中，寻址方式为(3)。
- (1) A. 立即寻址     B. 直接寻址     C. 寄存器寻址     D. 寄存器间接寻址  
(2) A. 立即寻址     B. 相对寻址     C. 寄存器寻址     D. 寄存器间接寻址

- (3) A. 相对寻址    B. 直接寻址    C. 寄存器寻址    D. 寄存器间接寻址

【解析】操作数作为指令的一部分而直接写在指令中，这种寻址方式称为立即数寻址方式，所以第(1)空的正确选项是 A。

指令所要的操作数已存储在寄存器中，或把目标操作数存入寄存器，这种把在指令中指出所使用寄存器的寻址方式称为寄存器寻址方式，所以第(2)空的正确选项是 C。

操作数在存储器中，操作数的有效地址用 SI、DI、BX 和 BP 四个寄存器之一来指定，这种寻址方式称为寄存器间接寻址方式，所以第(3)空的正确选项是 D。

指令所要的操作数存放在内存中，在指令中直接给出该操作数的有效地址，这种寻址方式称为直接寻址方式。

【答案】(1) A    (2) C    (3) D

3. 地址码长度为二进制 24 位时，其寻址范围是\_\_\_\_\_。

- A. 512KB    B. 1MB    C. 16MB    D. 24MB

【解析】题中指出地址长度为 24 位，表示地址范围为 2 的 24 次幂，因为  $2^{10}=1\text{KB}$ ， $2^{20}=1\text{MB}$ ，所以， $2^{24}=16\text{MB}$ ，所以本题的正确选项是 C。

【答案】C

4. 某计算机的时钟频率为 400 MHz，测试该计算机程序使用 4 种类型的指令。每种指令的数量及所需指令时钟数 (CPI) 如表 1-1 所示，则该计算机的指令平均时钟数约为\_\_\_\_\_。

表 1-1 每种指令的数量及所需指令时钟数

指令类型	指令数目 (条)	每条指令需时钟数
1	160000	1
2	30000	2
3	24000	4
4	16000	8

- A. 1.85    B. 1.93    C. 2.36    D. 3.75

【解析】由表 1-1 可知：总指令数为：

$$160000+30000+24000+16000=230000$$

总时钟数为：

$$160000+30000 \times 2+24000 \times 4+16000 \times 8=444000$$

所以，指令平均时钟数为：

$$444000/230000=1.93$$

故本题的答案是选项 B。

【答案】B

5. 下面的描述中，\_\_\_\_\_不是 RISC 设计应遵循的设计原则。

- A. 指令条数应少一些

- B. 寻址方式尽可能少
- C. 采用变长指令, 功能复杂的指令长度长而简单指令长度短
- D. 设计尽可能多的通用寄存器

**【解析】**RISC 系统为了避免访问内存占用过多时间, 采用了大量寄存器, 所以 D 选项说法是正确的。

它减少了访问内存指令、数据和指令缓存方法等, 所以 A 和 B 选项说法是正确的。CISC 的特点是多采用变长指令, 而 RISC 刚好相反, 所以选项 C 的说法是错误的, 应为本题答案。

**【答案】**C

6. 计算机执行程序所需时间  $P$ , 可用  $P=I \cdot CPI \cdot T$  来估计, 其中  $I$  是程序经编译后的机器指令数,  $CPI$  是执行每条指令所需的平均机器周期数,  $T$  为每个机器周期的时间。RISC 计算机是采用 (1) 来提高机器的速度。它的指令系统具有 (2) 的特点。指令控制部件的构建, (3)。RISC 机器又通过采用 (4) 来加快处理器的数据处理速度。RISC 的指令集使编译优化工作 (5)。

- (1) A. 虽增加  $CPI$ , 但更减少  $I$   
 B. 虽增加  $CPI$ , 但更减少  $T$   
 C. 虽增加  $T$ , 但更减少  $CPI$   
 D. 虽增加  $I$ , 但更减少  $CPI$
- (2) A. 指令种类少  
 B. 指令种类多  
 C. 指令寻址方式多  
 D. 指令功能复杂
- (3) A. CISC 更适于采用硬布线控制逻辑, 而 RISC 更适于采用微程序控制  
 B. CISC 更适于采用微程序控制, 而 RISC 更适于采用硬布线控制逻辑  
 C. CISC 和 RISC 都只采用微程序控制  
 D. CISC 和 RISC 都只采用硬布线控制逻辑
- (4) A. 多寻址方式  
 B. 大容量内存  
 C. 大量的寄存器  
 D. 更宽的数据总线
- (5) A. 更简单  
 B. 更复杂  
 C. 不需要  
 D. 不可能

**【解析】**RISC 精简了指令系统, 使指令种类更少, 所以第 (2) 空的正确选项是 A。

但各指令所需要的机器周期数相差不大, 而且每个机器周期所完成的操作也比较简单, 因此没有必要再采用微程序设计, 而是采用硬件布线的控制逻辑, 使用了大量的寄存器, 所以第 (3) 空的正确选项是 B, 第 (4) 空的正确选项是 C。

这样, 程序经过编译后指令数是增加了, 但执行指令的平均机器周期减小了, 使得程序的执行时间大大减小, 所以第 (1) 空的正确选项是 D。

从编译器的角度看, 需要解决的问题复杂性没有降低, 而指令的复杂度降低了, 实际上把复杂性留给了编译系统, 所以 (5) 的正确选项是 A。

**【答案】** (1) D (2) A (3) B (4) C (5) A

7. 减少指令执行周期数是 RISC 计算机性能提高的基础, 它是通过 (1)、指令控制部件

(2) 代码、(3) 寄存器、(4) 寻址方式和限制访问内存来实现的。(5) 都是与 RISC 芯片有关的名字。

- |                     |                 |
|---------------------|-----------------|
| (1) A. 超长指令字 (VLIW) | B. 单指令多功能       |
| C. 精简指令系统           | D. 适当扩充指令系统     |
| (2) A. 尽可能多用原有      | B. 增加           |
| C. 软件固化             | D. 不用           |
| (3) A. 增加           | B. 减少           |
| C. 精选               | D. 不用           |
| (4) A. 增加           | B. 减少           |
| C. 精选               | D. 不用           |
| (5) A. SPARC 和 MIPS | B. SPARC 和 SCSI |
| C. MIPS 和 FLOPS     | D. MIMD 和 EISA  |

【解析】RISC 机精简了指令系统，所以第 (1) 空的正确选项是 C。

指令控制部件不用代码，所以第 (2) 空的正确选项是 D。

RISC 机增加了寄存器，所以第 (3) 空的正确选项是 A。

RISC 机减少了寻址方式和限制访问内存等方法来减少指令执行周期数，从而提高计算机的性能，所以第 (4) 空的正确选项是 B。

因此，减少指令执行周期数是 RISC 计算机性能提高的基础。

SPARC 是 Sun 公司生产的 RISC 芯片的名称，MIPS 是生产 RISC 芯片 R3000 的公司的名称，这两种芯片都是著名的 RISC 芯片。SCSI 是一种小型计算机标准接口，通常用来连接外存储器。FLOPS 表示每秒钟浮点运算的次数。MIMD 为多指令流多数据流，是一种按弗林分类法分类的计算机系统类型。EISA 是一种扩充的工业标准总线系统结构，它们都和 RISC 芯片无关。所以第 (5) 空的正确选项是 A。

【答案】(1) C (2) D (3) A (4) B (5) A

8. SCSI 是一种\_\_\_\_\_接口。

- |        |                |
|--------|----------------|
| A. 设备级 | B. 智能化、通用型、系统级 |
| C. 部件级 | D. 计算机之间       |

【解析】SCSI 是一种智能化、通用型、系统级接口，所以本题的正确选项是 B。它适合并发数据处理，可以连接硬盘、磁带机、光盘驱动器等设备。

【答案】B

9. 中断响应时间是指\_\_\_\_\_。

- A. 从中断处理开始到中断处理结束所用的时间
- B. 从发出中断请求到中断处理结束所用的时间
- C. 从发出中断请求到进入中断处理所用的时间
- D. 从中断处理结束到再次中断请求的时间

【解析】中断处理过程分为两个阶段：中断响应过程和中断服务过程。中断响应时间是中断响应过程所用的时间，即从发出中断请求到进入中断处理所用的时间，所以本题的正确选项是 C。

【答案】C

10. 总线组成包括\_\_\_\_\_。

- A. 数据线、地址线、控制线                      B. 信号线、地址线、电源  
C. 数据线、地址线、控制线、电源              D. 信号线、总线控制器、附属电路

【解析】总线组成包括信号线、总线控制器、附属电路，所以本题的正确选项是D。信号线包括数据线、地址线和控制线。

【答案】D

11. 在32位总线系统中，若时钟频率为1.6GHz，总线上4个时钟周期传送一个32位字，则该总线系统的数据传送速率约为\_\_\_\_\_。

- A. 400MB/s              B. 800MB/s              C. 1.6GB/s              D. 3.2GB/s

【解析】总线系统的数据传输速率计算公式为：

$$\text{总线数据传输率} = \frac{\text{时钟频率}}{\text{每个总线包含的时钟周期数}} \times \text{每个总线周期传送的字节数}$$

在本题中：

$$\text{总线数据传输率} = 1.6\text{GHz} / 4 \times 32 / 8 = 1.6\text{GB/s}$$

所以本题的正确选项是C。其中32/8是将位转化为字节数。

【答案】C

12. 与内存相比，外存的特点是\_\_\_\_\_。

- A. 容量大、速度快                                  B. 容量小、速度慢  
C. 容量大、速度慢                                  D. 容量大、速度快

【解析】与内存相比，外存的特点是存储容量大、读写速度慢、单位容量的价格低，所以本题的正确选项是C。

【答案】C

13. 硬磁盘存储器的道存储密度是指(1)，而不同磁道上的位密度是(2)。

- (1) A. 沿同磁道每毫米记录的二进制位数  
B. 同一柱面上的磁道数  
C. 一个磁道圆周上所记录的二进制位数  
D. 沿磁盘半径方向上单位长度(毫米或英寸)上的磁道数  
(2) A. 靠近圆心的密度大                          B. 靠近外边沿的密度大  
C. 靠近圆心的密度小                              D. 靠近半径中间的密度小

【解析】在硬磁盘存储器的技术指标中，规定沿磁盘半径方向上单位长度(毫米或英寸)上的磁道数为道密度，所以第(1)空的正确选项是D。而沿同一磁道每毫米(单位长度)上记录的二进制位数为磁盘记录的位密度。

各信息位是沿磁道进行记录的，而磁盘的记录面是由大小不一的同心圆组成的。显然，靠近圆心的同心圆小，靠近外边沿的同心圆大。由于在记录过程中不管圆的大小，在一个磁道圆周上记录的二进制位数是一样的，在靠近圆心的磁道上的记录密度大，靠近外边沿的密度小，所以第(2)空的正确选项是A。

【答案】(1) D (2) A

14. 内存按字节编址, 地址从 A4000H 到 CBFFFH, 共有 (1) 个字节。若用存储容量为 32K×8bit 的存储芯片构成该内存, 至少需要 (2) 片。

- (1) A. 80K      B. 96K      C. 160K      D. 192K  
 (2) A. 2      B. 5      C. 8      D. 10

【解析】由 CBFFFH - A4000H + 1 可得出具体的容量大小, 计算过程如下:

$$CBFFFH - A4000H + 1 = 28000H = 160K$$

所以第 (1) 空的正确选项是 C。

$$160K / 32K = 5$$

所以第 (2) 空的正确选项是 B。

【答案】(1) C (2) B

15. 若内存地址区间为 4000H~43FFH, 每个存储单位可存储 16 位二进制数, 该内存区域由 4 片存储器芯片构成, 则构成该内存所用的存储器芯片的容量是\_\_\_\_\_。

- A. 512×16bit      B. 256×8bit      C. 256×16bit      D. 1024×8bit

【解析】存储器容量的计算如下。

$$\text{总存储单位} = (43FFH - 4000H + 1H) = 400H = 1024 \quad (\text{H 代表 16 进制})$$

每个存储器芯片的容量为:

$$1024 \times 16 / 4 = 4096$$

由于每个存储单位可存储 16 位二进制数, 所以可以采用 256×16bit 或者 512×8bit 的芯片。最好是前者, 这样系统控制比较简单。所以本题的正确选项是 C。

【答案】C

16. 容量为 64 块的 Cache 采用组相联映射方式, 字块大小为 128 个字, 每 4 块为一组。若主存容量为 4096 块, 且以字编址, 那么主存地址应为 (1) 位, 主存区号应为 (2) 位。

- (1) A. 16      B. 17      C. 18      D. 19  
 (2) A. 5      B. 6      C. 7      D. 8

【解析】以字编址, 字块大小为 128 个字, 容量为 4096 块主存, 则:

$$128 \times 4096 = 219$$

主存地址为 19 位, 所以本题第 (1) 空的正确选项是 D。

由于采用组相联映射方式, Cache 容量为 64 块, 则

$$\text{主存区数} = 4096 / 64 = 64 = 2^6$$

主存区号为 6 位, 所以第 (2) 空的正确选项是 B。

【答案】(1) D (2) B

17. 主存储器和 CPU 之间增加高速缓冲存储器 (Cache) 的目的是\_\_\_\_\_。

- A. 解决 CPU、主存速度匹配  
 B. 增加 CPU 通用寄存器数量  
 C. 扩大主存容量  
 D. 扩大主存容量和增加 CPU 通用寄存器数量



**【解析】** Cache 即高速缓冲存储器，是位于 CPU 与主存间的一种容量较小，但速度很高的存储器。采用 Cache 的理由是，由于 CPU 的速度远高于主存，CPU 直接从内存中存取数据要等待一定时间周期，Cache 中保存着 CPU 刚用过或循环使用的一部分数据，当 CPU 再次使用该部分数据时，可从 Cache 中直接调用，这样就减少了 CPU 的等待时间，提高了系统效率。Cache 又可以分为一级 Cache (L1 Cache) 和二级 Cache (L2 Cache)，增加了 CPU 通用寄存器的数量，所以本题的正确选项是 B。

**【答案】** B

18. 高速缓存 Cache 与主存间采用全相联的地址映射方式，高速缓存的容量为 4MB，分为 4 块，每块 1MB，主存容量为 256MB，若主存读写时间为 30ns，高速缓存的读写时间为 3ns，平均读写时间为 3.27ns，则该高速缓存的命中率为 (1) %。若地址更换表如表 1-2 所示，则主存地址为 8888888H 时，高速缓存地址为 (2) H。

表 1-2 地址更换表

0	38H
1	88H
2	59H
3	67H

- (1) A. 90            B. 95            C. 97            D. 99  
 (2) A. 488888      B. 388888      C. 288888      D. 188888

**【解析】** 设该高速缓存的命中率为  $x$ ，则

$$3x + 30 \times (1 - x) = 3.27$$

解得  $x = 99\%$ ，所以第 (1) 空的正确选项是 D。

主存容量为 256MB，每块 1MB，则主存可以分为

$$256 / 1 = 256 = 2^8 \text{ 块}$$

即块号为 8 位，则主存地址的高 8 位是 88H，对应地址更换表，高速缓存地址为 188888H，所以第 (2) 空的正确选项是 D。

**【答案】** (1) D (2) D

19. 一般来说，Cache 的功能 (1)。某 32 位计算机的 cache 容量为 16KB，Cache 块的大小为 16B，若主存与 Cache 的地址映射采用直接映射方式，则主存地址为 1234E8F8 (十六进制) 的单元装入的 Cache 地址为 (2)。在下列 Cache 替换算法中，平均命中率最高的是 (3)。

- (1) A. 全部由软件实现  
 B. 全部由硬件实现  
 C. 由硬件和软件相结合实现  
 D. 有的计算机由硬件实现，有的计算机由软件实现  
 (2) A. 00 0100 0100 1101 (二进制)