

研究生教学用书

教育部研究生工作办公室推荐

可编程ASIC设计及应用

*Programmable ASIC Design
and Application*

李广军 孟宪元 编著



电子科技大学出版社

可编程 ASIC 设计及应用

李广军 孟宪元 编著

电子科技大学出版社

图书在版编目 (CIP) 数据

可编程 ASIC 设计及应用 / 李广军, 孟宪元编著. —成都:
电子科技大学出版社, 2003.8
ISBN 7—81094—253—0

I. 可... II. ①李... ②孟... III. 集成电路 — 电路设计—
研究生—教材 IV. TN402

中国版本图书馆 CIP 数据核字 (2003) 第 076070 号

内容简介

本书从系统级设计和系统集成芯片设计技术的角度介绍了可编程专用集成电路 (ASIC) 器件的结构和可编程资源, 用 FPGA 和 CPLD 进行数字系统设计综合的技术及应用特点。在对 FPGA/CPLD 典型器件结构详尽介绍的基础上, 从系统设计的角度介绍了 VHDL 硬件描述语言的基本语言、仿真与综合技术、面向仿真和综合的 VHDL 程序设计技术、系统测试程序设计等关键技术; 以设计实例为基础介绍了 FPGA/CPLD 设计工具 Mentor Graphics FPGA Advantage / ModelSim 和 Xilinx ISE 5.x 设计工具的操作使用和系统集成的设计实现, 为读者掌握先进的电子系统集成化设计技术提供了方便。全书列举了大量 VHDL 实验设计实例, 其中大部分经 VHDL 综合器编译通过。

本书可作为大专院校电子类学科的教学参考与实验指导书, 也为从事电子系统设计的工程技术人员掌握最新设计技术提供实用的参考书。

可编程 ASIC 设计及应用

李广军 孟宪元 编著

出 版: 电子科技大学出版社(成都建设北路二段四号 邮编: 610054)
责任编辑: 张 勋 张 琴
发 行: 电子科技大学出版社
经 销: 新华书店
印 刷: 电子科技大学出版社印刷厂
开 本: 787mm×1092mm 1/16 印张 34 字数 830 千字
版 次: 2003 年 9 月第一版
印 次: 2003 年 9 月第一次印刷
书 号: ISBN 7—81094—253—0/TP·141
印 数: 1—4000 册
定 价: 45.00 元

前 言

随着片上系统（SOC）时代的到来，包括复杂可编程逻辑器件（CPLD）和现场可编程门阵列（FPGA）的可编程 ASIC 器件，不仅能满足片上系统设计的要求，而且具有系统内可再编程的独特优点，尤其是速度高、密度大和性能好的 FPGA 正日益成为系统的关键部件，可编程片上系统（System on a Programmable Chip）的应用也越来越广泛。可编程 ASIC 设计技术引起电子系统设计技术的巨大变革和飞速发展，已成为现代电子系统设计的核心技术之一，这就要求大学的教学必须进行相应的改革，以适应新技术发展的需求。

在近 10 年来将可编程 ASIC 技术引入教学改革实践的基础上，清华大学和电子科技大学的有关教师交流了在可编程 ASIC 方面进行教学改革、技术培训和技术开发的经验 and 体会，从注重实用和系统设计的目的出发，编写了“可编程 ASIC 设计及应用”（第一版）的教材和参考书。2000 年该书出版后，被清华大学、电子科技大学等高校选定为研究生、本科生教材，受到了广大师生和电子系统设计工程技术人员的欢迎和喜爱，并被教育部选定为教育部研究生推荐教材。

在第一版的基础上，教材第二版增加了 EDA 工程、ASIC/SOC 设计技术方面的最新技术及研究成果。本教材既考虑到本科生教学的需要，又兼顾研究生教学的深度要求，也顾及电子信息专业工程技术人员的实际需求，所选内容不仅反映了当前技术的最新发展，并具有实用性和广泛性；设计方法上进一步突出数字系统模型的 VHDL 描述和设计方法，教材内容力求具有系统性及工程参考性；综合和仿真技术的介绍增加了基础知识以加强系统性；设计应用实例实用并具有较强的工程背景。所以本书也希望成为从事这一领域的工程技术人员必备的参考书。

本书由清华大学电子工程系孟宪元教授和电子科技大学通信学院李广军教授共同主编。本书的内容选择及编写得到了 Mentor Graphics 公司中国区总裁彭启煌、王涛经理、陈峰经理、孔令讲博士和 Xilinx 公司亚太地区经理陆绍强的支持和帮助，科汇 Insight 公司技术人员曹宜宁、王红卫、王伟、左峰等工程师提供了宝贵的意见和材料，电子科技大学出版社的张琴老师、张勋老师对本书的出版给予了热情的帮助和支持。两校的有关教学 / 研究人员林水生、谢苓芬和研究生胡立荣、吴宗军、李林、田茂、余舟、张沛泉、贺军、祁业欣、鲁蕾、蒙伯俊、张建、卓兴旺、王一等对本书的编写、程序的编制和硬件的调试、书稿的校对都做了大量的工作，在此表示深切的感谢。作者也对电子科技大学出版社和学校领导的关心和支持表示感谢。

本书是编者在多年从事可编程 ASIC 设计、通信 ASIC 设计、嵌入式系统设计等领域的教学与研究的基础上，并参考了国内外大量文献资料和科研成果编写而成，在此，特向有关作者表示感谢。

由于可编程 ASIC 技术发展迅猛，软件和硬件的更新速度快，应用领域广，作者的水平 and 能力有限，编写时间仓促，书中的不足之处和错误恳请读者批评指正。

编 者

2003 年 9 月于清华大学、电子科技大学

目 录

第一章 概 述	1
1.1 可编程 ASIC	1
1.1.1 可编程 ASIC 与可编程器件	2
1.1.2 编程技术	3
1.1.3 可编程数字 ASIC	5
1.2 可编程模拟 ASIC	6
1.2.1 ASIC 设计概述	7
1.2.2 用可编程逻辑器件设计 ASIC	8
1.2.3 用半定制电路设计 ASIC	9
1.2.4 大规模集成电路的设计技术	11
1.3 SOC 与 IP 核复用技术	12
1.3.1 何为嵌入式 SOC IC	12
1.3.2 IP 知识产权模块 (IP Core) 的定义	13
1.3.3 IP 模块的种类与应用	13
1.3.4 系统芯片和 IP 复用	16
1.4 SOC 系统芯片与 SOC 设计技术	18
1.4.1 SOC 系统集成芯片	18
1.4.2 SOC 芯片的设计模式	18
1.4.3 利用 FPGA 实现片上系统	20
1.4.4 SOC 芯片设计的技术优势	22
1.4.5 片上系统设计方法的发展趋势	23
1.5 电子系统设计的新技术	24
1.5.1 FPSOC: 下一代 FPGA	24
1.5.2 电子设计最优化 (EDO)	26
1.5.3 在线可“重构”技术	27
1.5.4 数字 / 模拟系统混合设计	28
1.5.5 硬件 / 软件的协同设计	30
习 题	32
第二章 可编程 ASIC 器件	33
2.1 PLD 器件	33
2.1.1 PROM 结构	33

2.1.2	FPLA 结构	34
2.1.3	PAL 和 GAL 结构	35
2.2	CPLD	36
2.2.1	CPLD 结构	36
2.2.2	典型 CPLD 器件	38
2.3	FPGA	41
2.3.1	FPGA 的结构	42
2.3.2	SRAM 查找表类型	43
2.3.3	反熔丝多路开关类型	47
2.4	可编程 ASIC 的基本资源	49
2.4.1	功能单元	50
2.4.2	输入输出接口	51
2.4.3	布线资源	56
2.4.4	片内 RAM	59
2.4.5	系统级 FPGA 的特点	60
2.4.6	平台级 FPGA 的特点	63
2.5	边界扫描技术	68
2.6	可编程 ASIC 的编程元件	71
2.6.1	熔丝型开关	71
2.6.2	反熔丝开关	72
2.6.3	浮栅编程技术	73
2.6.4	静态存储器 (SRAM)	77
2.7	CPLD 和 FPGA 的比较和选用	81
2.7.1	结构比较	81
2.7.2	逻辑块之间的互连结构不同	81
2.7.3	性能的选用	81
习 题	83
第三章	硬件设计描述语言 VHDL	84
3.1	概 述	84
3.1.1	VHDL 的主要优点	85
3.1.2	采用 VHDL 设计综合的过程	86
3.2	VHDL 程序基本结构	87
3.2.1	VHDL 语言设计的基本单元	87
3.2.2	结构体的子结构描述	91
3.2.3	包集合、库及配置	97
3.3	VHDL 语言的数据类型	102
3.3.1	VHDL 语言的对象及其分类	103
3.3.2	VHDL 语言的数据类型	107

3.4	VHDL 语言的运算操作符	115
3.4.1	逻辑运算符	115
3.4.2	算术运算符	115
3.4.3	关系运算符	116
3.4.4	并置运算符	116
3.4.5	移位运算符	116
3.5	VHDL 最基本的描述语句	118
3.5.1	顺序描述语句	118
3.5.2	并行描述语句 (Concurrent Statements)	130
3.5.3	其他语句和有关规定的说明	135
3.6	预定义属性 (ATTRIBUTE) 描述	135
3.6.1	值类属性	136
3.6.2	函数类属性	137
3.6.3	信号类属性	139
3.7	VHDL 语言结构体的描述风格	142
3.7.1	结构体的行为描述方式	142
3.7.2	结构体的数据流描述方式	146
3.7.3	结构体的结构描述方式	150
	习 题	155
第四章	可编程 ASIC 的设计	159
4.1	数字系统综合概述	159
4.2	综合技术基础	161
4.2.1	基本符号	161
4.2.2	图形	162
4.2.3	组合最优化 (Combinatorial Optimization)	166
4.2.4	布尔网络	170
4.2.5	可处理和不可处理问题	173
4.3	数字系统的高级综合	178
4.3.1	概 述	178
4.3.2	高级综合	179
4.2.3	数据通道的综合	185
4.3.4	控制器	188
4.4	可编程 ASIC 的逻辑综合	190
4.4.1	逻辑综合概述	190
4.4.2	两级逻辑最小化	192
4.4.3	基于查找表结构的多级逻辑优化	197
4.4.4	立方体归并 (cube-paching)	203
4.4.5	工艺映射	204

4.4.6	基于 MUX 结构的多级逻辑优化.....	205
4.5	状态机设计.....	208
4.5.1	二进制编码.....	209
4.5.2	一个有效的编码.....	209
4.6	FPGA 的布局和布线.....	214
4.6.1	布局.....	215
4.6.2	布线.....	218
4.6.3	布通率和布线资源.....	223
4.6.4	网线延时.....	224
习 题	226
第五章	FPGA/CPLD 芯片结构及应用.....	227
5.1	概 述.....	227
5.2	XC9500 系列 CPLD 结构.....	228
5.2.1	功能块 (FB).....	229
5.2.2	宏单元.....	229
5.2.3	乘积项分配器.....	231
5.2.4	FastCONNECT 开关矩阵.....	232
5.2.5	I/O 块 (IOB).....	233
5.2.6	持续性.....	234
5.2.7	设计保密性.....	235
5.2.8	低功率模式.....	235
5.2.9	加电特性.....	235
5.2.10	XC9500 时序模型.....	236
5.3	XC4000E/Spartan 系列 FPGA 结构.....	239
5.3.1	可配置逻辑功能块 (CLB).....	241
5.3.2	输入 / 输出功能块 (IOB).....	244
5.3.3	布线通道.....	249
5.3.4	分布 RAM.....	252
5.3.5	快速进位逻辑.....	256
5.3.6	全局信号.....	258
5.3.7	片内振荡器.....	260
5.3.8	沿边宽译码器 (仅 XC4000E).....	260
5.4	Virtex/Spartan II 系列 FPGA 结构.....	261
5.4.1	Virtex/Spartan II 系列特点.....	261
5.4.2	结构描述.....	262
5.4.3	Virtex 的 DSP 性能.....	270
5.5	边界扫描电路.....	286
5.5.1	边界扫描硬件描述.....	287

5.5.2	Virtex 的边界扫描	291
5.5.3	CPLD 系统内编程	292
5.6	FPGA 配 置	293
5.6.1	配置模式	293
5.6.2	设置 CCLK 频率	298
5.6.3	数据流格式	298
5.6.4	配置和读回的 CRC 校验	299
5.6.5	配置顺序	300
5.6.6	FPGA 的可编程配置 PROM 和编程	304
5.6.7	PROM 由 CPLD 接口配置 FPGA	306
	习 题	312
第六章	面向仿真和综合的 VHDL 设计描述	313
6.1	面向仿真的 VHDL 设计描述	313
6.1.1	仿真的概念	313
6.1.2	仿真的层次	314
6.1.3	仿真方法	316
6.1.4	仿真系统的组成及仿真过程	318
6.2	面向综合的 VHDL 设计描述	320
6.2.1	综合的三个层次	320
6.2.2	逻辑综合	321
6.2.3	面向综合的 VHDL 设计描述的特点	323
6.3	组合逻辑电路设计	326
6.3.1	用 VHDL 描述的译码器	327
6.3.2	用 VHDL 描述的编码器	330
6.3.3	用 VHDL 描述的比较器	331
6.3.4	用 VHDL 描述的移位器	334
6.3.5	用 VHDL 描述的半加器和全加器	335
6.3.6	用 VHDL 描述的乘法器	336
6.3.7	其他组合逻辑设计举例	337
6.4	时序电路设计	341
6.4.1	时序电路 VHDL 程序的一般形式	341
6.4.2	信号的特征及特殊问题	344
6.4.3	用 VHDL 描述的锁存器	347
6.4.4	用 VHDL 描述的 D 触发器 (DFF)	348
6.4.5	用 VHDL 描述的计数器	352
6.4.6	D 触发器应用设计举例	354
6.4.7	用 VHDL 描述的存储器	359
6.5	有限状态机的设计	367

6.5.1	在 FPGA 中设计的有限状态机	367
6.5.2	有限状态机的描述	369
6.5.3	状态机应用设计举例	375
6.6	同步设计	381
6.6.1	保证系统的时钟信号不产生相位偏移	381
6.6.2	准稳态的产生和消除	382
6.6.3	毛刺的产生和消除	383
6.6.4	利用预定标技术来提高计数器性能	385
6.6.5	所设计电路的工作速度和性能估计	386
6.6.6	设计中要注意的一些问题	387
6.7	系统级综合	388
6.7.1	VHDL 软件包	388
6.7.2	VHDL 函数	389
6.7.3	VHDL 过程	390
6.8	系统仿真与仿真测试程序设计	396
6.8.1	系统仿真概述	396
6.8.2	仿真测试程序设计	398
6.8.3	测试激励设计方式	402
6.9	FPGA 在数字信号处理领域的应用简介	406
	习 题	407
第七章	可编程 ASIC 的设计与实现	411
7.1	FPGA/CPLD 设计工具 Xilinx ISE 5.x	413
7.1.1	Xilinx ISE 5.x 特点介绍	413
7.1.2	设计输入	415
7.1.3	仿真行为模型 (功能仿真)	420
7.1.4	设计实现	424
7.1.5	硬件验证 (加载位流文件)	427
7.1.6	由 Core Generator 产生模块	430
7.1.7	块 RAM 及设计举例	431
7.1.8	利用软件包设计	439
7.2	FPGA/CPLD 设计工具 Mentor Graphics FPGA Advantage	442
7.3	设计仿真	465
7.4	设计实现	467
	习 题	469
第八章	可编程 ASIC 应用设计实例	470
	VHDL 数字逻辑电路设计实验	470
	实验一: 双向计数器	471

实验二：八位序列检测器	472
实验三：奇偶校验器	476
实验四：用计数器进行时钟分频	478
实验五：VGA 接口设计	480
实验六：PS / 2 键盘接口设计	483
实验七：简单的空调有限状态机	485
实验八：8 位乘法器	486
实验九：模可变 16 位加法计数器	491
实验十：数字频率计设计	492
实验十一：秒表设计	496
实验十二：A/D 采样控制器设计	497
实验十三：单片机与 FPGA/CPLD 接口逻辑设计	501
实验十四：用 FPGA 实现 DDS	504
实验十五：512×8 位的 Block RAM 结构的 FIFO	507
实验十六：基于 FPGA 和 DSP 的高速数据采集系统	517
实验十七：从模式 PCI 总线接口 VHDL 设计	524
附录 可编程 ASIC 实验开发系统简介	528
附录 1 电子科技大学可编程 ASIC 实验开发系统简介	528
附录 2 清华大学可编程 ASIC 实验开发系统实物图	529
参考文献	530

第一章 概 述

信息技术的蓬勃发展带来集成电路技术的飞跃进步，集成电路（IC）设计和制造也得到了前所未有的发展。当前的半导体工艺水平已经达到了深亚微米，IC 制造的特征尺寸已达到 $0.13\mu\text{m}$ ，正在向 $0.09\mu\text{m}$ 以下发展，芯片的集成度已达上亿门，时钟频率也在向 1GHz 以上发展，数据传输速率达 G bps ，即芯片集成度及速度等已至 3T 时代（Tera Scale, 10^{12} ）。

据国际权威机构估计，2010 年动态存储器的存取时间将降低至 10ns 以下，电源电压有可能降至 0.6V ，数字电路的时钟频率可以达到 3GHz 。与此同时，芯片的集成度和电路规模将不断提高，工业化生产的典型硅集成电路的管芯面积将达到 $2.5\text{cm} \times 2.5\text{cm}$ ，特征尺寸将下降到 $0.07\mu\text{m}$ 。

未来的集成电路技术的发展趋势，是把整个系统集成到一个芯片上去，这种芯片称为片上系统，即 SOC（System on a Chip）。片上系统比起当今的超大规模集成电路（VLSI）来说，无论是集成规模还是运行频率都有长足的发展。而采用具有系统级性能的复杂可编程逻辑器件（CPLD）和现场可编程门阵列（FPGA）实现可编程片上系统（System on a Programmable Logic Chip）也成为今后的一个发展方向。正是集成电路的迅猛发展，推动了电子技术的发展，带来了电子系统设计的不断变革。

纵观信息产业的发展，一切数字化产品的核心，应该归功于基于半导体技术高度发展的专用集成电路 ASIC（Application Specific Integrated Circuit），归功于系统的单芯片集成技术 SOC。在半导体技术的推动下，数字系统的性能、功能、体积和电源消耗不仅得到显著改善，而且价格不断降低。数字系统的半导体技术含量不断增加。例如，硅芯片的价格将占据 DVD 播放机和机顶盒成本的 40%。今天，计算机、通信和其他功能之间的融合正以前所未有的速度发展，价格也逐渐回落。可以相信，在半导体技术的推动下，产品的功能、成本和开发时间将会有质的飞跃。

SOC 的出现和发展大大加速了人类社会的信息化进程，它已经成为信息产业的关键技术基础之一。片上系统已在国际学术界和工业界受到广泛关注。片上系统的大量生产和应用，可以为工业界创造大量的商业机会，使工业界从容对待新世纪的技术挑战，同时也为研究领域对片上系统的设计方法学和测试方法学提出许多新的研究课题。

1.1 可编程 ASIC

通常，ASIC 是指相对于通用集成电路而言的用户专用集成电路，是指专门为某一应用领域或专门用户需要而设计、制造的 LSI 或 VLSI 电路，它可以将某些专用电路或电子系统设计在一个芯片上，构成单片集成系统。

ASIC 按照设计方法的不同可分为：全定制 ASIC，半定制 ASIC，可编程 ASIC。可编程 ASIC 又分为数字可编程 ASIC 和模拟可编程 ASIC。

利用可编程 ASIC，电子系统设计师可在办公室或实验室设计出所需的专用 IC，实现系统的集成，从而大大缩短了产品的开发、上市时间，降低了开发成本。此外，可编程 ASIC 一般还具有静态可重复编程或在线动态重构特性，使硬件的功能可以像软件一样通过编程来配置、仿真、修改 ASIC，不仅使设计修改和产品升级变得十分方便，而且极大地提高了电子系统的灵活性和通用能力。

1.1.1 可编程 ASIC 与可编程器件

一、可编程 ASIC

要对 ASIC 作一个精确的定义并不容易，因为所有的集成电路都是为了某种应用而生产的，像微处理器，ROM，DRAM，SRAM 以及用 TTL/CMOS 工艺制作的各种 SSI、MSI 和 LSI 电路等等，通常都称它们为标准集成电路或通用集成电路；而对一些玩具电路、外设、存储器和 CPU 之间的接口电路、CPU 和其他外围单元电路拼在一起的电路习惯上称之为专用集成电路。因此仅单从应用上来说明哪些是 ASIC 电路，哪些不是，是很难分清的。

ASIC 可分为数字 ASIC、模拟 ASIC 和混合 ASIC。其中，数字 ASIC 最为成熟。

数字 ASIC 大致可分为：门阵列电路，标准单元电路，可编程数字 ASIC (PLD)，全定制电路 (Full Custom IC)。其中前两类电路又称为半定制电路 (Semi-Custom IC)。

全定制 ASIC 芯片的各层 (掩膜) 都是按特定电路功能专门制造的。设计人员从晶体管的版图尺寸、位置和互连线开始设计，以达到芯片面积利用率高、速度快、功耗低的最优性能，但其设计制造费用高、周期长，因此只适用于批量较大的产品。

半定制是一种约束性设计方式。约束的主要目的是简化设计、缩短设计周期和提高芯片成品率。目前半定制 ASIC 主要有门阵列、标准单元和可编程逻辑器件三种。

门阵列 (Gate Array) 是一种预先制造好的硅阵 (称母片)，内部包括几种基本逻辑门、触发器等，芯片中留有一定的连线区。用户根据所需要的功能设计电路，确定连线方式，然后再交生产厂家布线。

标准单元 (Standard Cell) 是厂家将预先配置好，经过测试，具有一定功能的逻辑块作为标准单元存储在数据库中，设计人员在电路设计完成之后，利用 CAD 工具在版图一级完成与电路一一对应的最终设计。和门阵列相比，标准单元设计灵活，功能强，但设计和制造周期较长，开发费用也比较高。

可编程数字 ASIC 主要包括 CPLD 和 FPGA 等常称为可编程逻辑器件 (PLD) 的两大类器件，由于用户利用它们来设计自己的专用电路，器件本身最主要的特点是具有用户可编程的特性，所以本书将习惯上的 PLD 器件划分为可编程 ASIC。

二、可编程 ASIC 器件

可编程 ASIC 器件经过几年的发展, 芯片规模、密度、性能有了惊人的变化。可编程 ASIC 器件成为计算机应用、通信技术、自动控制、仪器仪表等领域广受技术人员欢迎的器件, 它是科学实验、样机试制、小批量生产的最佳选择。当代的电子设计工程师, 不仅要设计电子线路, 设计 PCB 板, 还要设计 ASIC 芯片。掌握现代电子设计方法, 熟悉可编程 ASIC 器件结构是当前我国电子企业工程师的当务之急, 是高校电子类、计算机类本科生、研究生的必修课。

PLD 业界有三大发展方向: 向密度更高、速度更快、频带更宽的千万门系统的方向发展, 向嵌入式标准或通用功能方向发展, 向低电压、低功耗的绿色元件方向发展。

可编程器件分为数字型、模拟型和混合型三种, 其中数字型可编程器件技术较成熟。数字可编程器件, 根据实现的技术机理不同, 又可分为基于反熔丝 (Antifuse) 技术的 PLD 器件、基于 EPROM 及 EEPROM 的 PLD 器件、基于 Flash 的 PLD 器件和基于 SRAM 的 PLD 器件。基于反熔丝技术的器件特别适用于干扰强度大、环境恶劣、系统可靠性要求高的场合。基于 EEPROM 的 PLD 器件适用于可重复现场编程的场合, 特别是系统调试开发。

可编程 ASIC 芯片经历了 PAL、GAL、FPGA 和 CPLD 几个发展阶段。半导体工艺已经由微米发展到深亚微米, 集成度由最初的几十门发展到现在的几百万门, 甚至上千万门。

如 Xilinx 公司采用 $0.15\mu\text{m}$ 和 $0.13\mu\text{m}$ 混合工艺生产的 Virtex-II XC2V8000 系列, 集成度达到 8M 个系统门, 工作频率可达 420MHz。Altera 公司采用 $0.13\mu\text{m}$ 工艺生产的 Stratix 系列器件, 集成度可达到 114, 140 个逻辑单元, 工作频率可达 420MHz。

目前, 可编程 ASIC 器件主要是指 CPLD 和 FPGA 器件, 并被应用在不同的高科技研发领域, 如数字电路设计、微处理器系统、DSP、电信、可重构计算机及 ASIC 设计。由于可编程逻辑器件以 EEPROM、SRAM 或 Flash 工艺为基础, 用户可以通过计算机对芯片进行编程, 大大降低成本和缩短开发时间。在中国, 通信设备制造商是 PLD 的最大用户。此外, 也可用 PLD 开发 DVD、机顶盒、可视电话和 Internet 家庭娱乐、信息家电设备。

1.1.2 编程技术

编程技术是指用以生成用户可编程转换的物理技术。其最常用的编程技术有熔断丝型链接、反熔丝型、EPROM、EEPROM、Flash Memory 单元电路、晶体管和 SRAM 单元电路等。

一、基于熔丝/反熔丝技术的可编程器件

基于熔丝技术和反熔丝技术的器件只允许对器件编程一次, 编程后不能修改。其优点是集成度、工作频率和可靠性都很高, 适用于电磁辐射干扰较强的恶劣环境。

熔丝型链接器件与家用电器的保险丝相类似, 加过大电流会直接改变其电性能。两类主要的熔断丝型链接技术是指采用旁侧式熔断丝或是垂直式熔断丝。旁侧式熔断丝有一种与 BJT 串联的钨钛合金丝, 当有足够大的电流流过时就会使其熔断。这种类型的熔断丝开始处于短路状态, 在对其编程后则变为开路。而垂直式熔断丝是在晶体管的 BJT 基极、发射极

处形成一个垂直熔断丝。这种类型的链接开始处于开路状态，因为 BJT 的作用像两个背对的二极管，从而阻碍电流的流通。但是如果强迫一个序列的电流浪涌通过 BJT 的发射极，那就会发生雪崩效应，发射极“崩溃”并熔化，呈现短路状态。

另一种类型的熔断式链接，是某些 CPLD/FPGA 中采用的反熔断丝技术。反熔断丝链接是在两层金属层之间有一条非晶硅（非结晶态的）通道。在未编程状态时，非晶硅是绝缘体，其阻值大于 $1\text{G}\Omega$ ，但是用户可以对编程器件的输入加大电流（约 200mA ）信号，以对反熔断丝链接进行编程。这种编程电流信号，使绝缘的非晶硅变成导电的多晶硅，从而使链接有效地“增长”。

熔断丝型链接和反熔断丝技术都是人们熟知的一次性可编程 OTP（One Time Programmable）技术，因为一旦对其完成了编程，就无法恢复原来状态，也不能再改变其状态。

二、基于 EPROM 和 EEPROM 技术的可编程器件

浮栅编程技术包括紫外线擦除、电编程的 UV EPROM；电擦除、电编程的 EEPROM 和闪速存储器。这三种存储器都是用悬浮栅存储电荷的方法来保存编程数据的，因此在断电时，存储的数据是不丢失的，故三者都是非易失的编程元件。

（1）EPROM

EPROM 器件是具有不连接浮栅的特殊 MOSFET，编程方法是用紫外光照射将编程内容一次全部擦除，然后再编入新内容，为此要装上一个石英窗，否则就是一次可编程器件。

（2）EEPROM

基于 EEPROM 存储器的可编程器件能够被重复编程，系统掉电后编程信息也不会丢失。编程方法分为在编程器上编程和用下载电缆编程两种。用下载电缆编程的器件，需要先将器件装焊在印刷电路板上，利用 ISP 方式（In System Programmable）编程，调试和维修都很方便，可以设置加密位、节能方式和控制电压摆率等工作条件。

（3）FLOTOX EEPROM

电可擦可编程只读存储器（EEPROM）是可以在电路中用电可擦除和再编程的可编程只读存储器。对于 EEPROM 有各种工艺，最广泛被利用的工艺是基于浮栅隧道氧化物（FLOTOX），这是由浮栅 EPROM 开发的一种工艺，可制造性和可靠性已被证明，与标准的 NMOS 和 CMOS 工艺也是可兼容的，允许制造与存储器有关的标准的高性能电路。

三、基于 SRAM 技术的可编程器件

基于 SRAM 的 FPGA 器件编程数据存储于器件的 RAM 区中，使之具有用户设计的功能。在系统不加电时，编程数据存储于 EPROM、硬盘或软盘中。系统加电时将这些编程数据即时写入可编程器件，从而实现板级或系统级的动态配置。这种方式称 ICR 方式（In Circuit Reconfigurable）。

基本的静态存储器单元由两个 CMOS 倒相器形成一个双稳态器件，这个器件的状态可以由字线选通位线上的外部信号对器件重写，晶体管的尺寸选择要保证在位线上的正常逻辑值可以改变单元的状态，但是，当一个电压置于位线，则它脱离不定态。RAM 电压本身可

以按照它的状态驱动位线变高或变低。

对于 SRAM 单元必须让编程的模式保存在非易失性的存储器内，通常利用一个小的 PROM 放在邻近，在几个 EPROM 之间转换各种编程模式亦是可能的，目的是当用户从一种运行模式转换到另一种时改变 FPGA 的功能。

片上的静态存储器（SRAM）是配置存储器，用来存储逻辑单元阵列（LCA）的配置数据。Xilinx FPGA 可靠性的重要方面是静态存储单元的稳健性。基本单元是单端五晶体管存储单元，省去了第 6 个晶体管，以达到高的电路密度。

Xilinx 公司的 FPGA 的实现称为逻辑单元阵列（LCA）系列，由存储在片内的静态存储单元的配置数据决定用户的逻辑功能和互连。这些静态存储单元在用户系统加电时进行编程。这些程序的数据按照几种适合不同系统要求的模式的任一种而被加载到 LCA 中。程序数据本身驻存在外部的应用电路板上的 EPROM、EEPROM 或 ROM 中，或者在软盘或硬盘中，其片内的初始化逻辑提供了在加电时可选的自动加载程序数据。Xilinx 提供一个可供选择的最小为 8 个管脚的串行配置 PROM 系列为程序的存储。保存所要求的逻辑功能和互连状态的静态存储单元在用户系统加电时被重新编程。

四、基于 Flash 的可编程器件

闪存存储器（Flash Memory）又称为快速擦写存储器，闪速的名称是为电可擦非易失存储器而创造一个术语，这类存储器可以用一个单个的信号在几毫秒内完全擦除或擦除一个大的区段，而不像原始的 EEPROM 一次擦除一个字段，因此，闪速存储器可以有更简单和更有效的芯片结构，因为单个地址和控制线可以不必布线到每个单元。闪速存储器的工艺，在价格和功能上处于 EPROM 和 EEPROM 二者之间，适合于大容量存储、不移出系统可再编程要求的任何应用，具有不丢失和快速读取的特性，与 EPROM 和 EEPROM 一样；都是悬浮栅存储电荷的方法保存数据，而且所有的闪速存储器都采用某种形式的分区段存储器阵列。

这个工业标准单晶体管异或型快擦写器件的存储单元，在设计和工艺上与成熟的 UVEPROM 的产品十分相似，大多数的闪速存储器用 EPROM 的热电子注入技术来编程，每个存储单元的场效应晶体管（FET）靠在导电隧道上方浮栅上存在或不存电荷来接通或关闭，电子能积累在浮栅上是因为在浮栅上方选择栅上的正电压及当源接地时漏上类似的电压产生的电场，一旦在浮栅上电子被围绕的非导电氧化物截获，它们产生的电场则关闭 FET，逻辑 0 存储在该位的位置，当无过剩的电子在浮栅上截获，FET 通道可以导通电流，单元有逻辑 1 的值，因此，单元结构和编程技术，闪速存储器密度与 EPROM 十分类似；所有的闪速存储器类似 EEPROM，在系统中 1 秒或 2 秒内电擦除数据。

1.1.3 可编程数字 ASIC

可编程数字 ASIC（PLD）是 ASIC 的一个重要分支。与门阵列和标准单元两种半定制电路不同，PLD 是厂家作为一种通用型器件生产的半定制电路，用户可以通过对器件编程使之实现所需要的逻辑功能。PLD 的用户可配置逻辑器件，它的成本比较低，使用灵活，