

莱迪思半导体公司倾力打造的 Lattice FPGA/CPLD 设计类图书

Lattice FPGA/CPLD 设计

■ 梁成志 主编 ■ 王诚 赵延宾 编著

(基础篇)



ispLEVER Starter 软件
设计源文件
器件使用手册

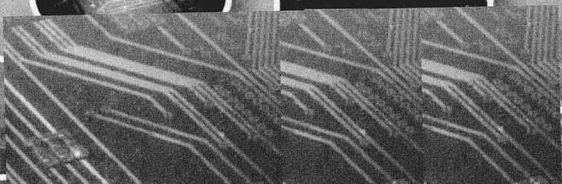


人民邮电出版社
POSTS & TELECOM PRESS

Lattice FPGA/CPLD 设计

■ 梁成志 主编 ■ 王诚 赵延宾 编著

(基础篇)



人民邮电出版社

北京

图书在版编目 (CIP) 数据

Lattice FPGA/CPLD设计. 基础篇 / 梁成志主编 ;
王诚, 赵延宾编著. — 北京 : 人民邮电出版社, 2011.1
ISBN 978-7-115-24420-8

I. ①L… II. ①梁… ②王… ③赵… III. ①可编程
序逻辑器件—系统设计 IV. ①TP332.1

中国版本图书馆CIP数据核字(2010)第237918号

内 容 提 要

本书是由 Lattice 公司技术专家编写、审校而成的国内第一本系统介绍 Lattice 器件及工具软件的书籍, 弥补了目前国内没有权威的中文 Lattice 器件和工具软件书的空白(本书为“基础篇”, 随后将会编辑出版“高级篇”)。本书结合作者十多年的工作经验, 系统地介绍了 FPGA/CPLD 的基本设计方法, Lattice 主流 FPGA/CPLD 的结构与特点, Lattice 工具软件以及设计流程, Lattice 器件相关的常用调试手段和技巧, Lattice 提供的系统解决方案等。

本书配套光盘中收录了 ispLEVER Starter 软件以及书中所有实例的完整工程文件、设计源文件, 并提供了部分 Lattice 器件的技术手册, 便于读者边学边练, 提高实际应用能力。

本书可作为硬件工程师和逻辑工程师的实用工具书, 也可以作为高等院校通信工程、电子工程、计算机、微电子与半导体等专业的教材和课外辅导书籍。

Lattice FPGA/CPLD 设计 (基础篇)

- ◆ 主 编 梁成志
编 著 王 诚 赵延宾
责任编辑 李永涛
- ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号
邮编 100061 电子函件 315@ptpress.com.cn
网址 <http://www.ptpress.com.cn>
北京昌平百善印刷厂印刷
- ◆ 开本: 787×1092 1/16
印张: 27.75
字数: 679 千字 2011 年 1 月第 1 版
印数: 1—5 000 册 2011 年 1 月北京第 1 次印刷

ISBN 978-7-115-24420-8

定价: 59.00 元 (附光盘)

读者服务热线: (010)67132692 印装质量热线: (010)67129223

反盗版热线: (010)67171154

广告经营许可证: 京崇工商广字第 0021 号

Preface

The Rise of Programmable Logic

Both CPLDs (complex programmable logic device) and FPGAs (field programmable gate array) were invented approximately 25 years ago. However, it is only within the past decade that these versatile, reprogrammable logic ICs have become a force to be reckoned with in system design. Where once programmable devices were used primarily for glue logic applications or in the development of prototype designs, today's CPLDs, and particularly FPGAs, have evolved into high-performance low-power chips with advanced IO, memory, DSP blocks, SERDES transceivers and processing resources that make them viable choices for volume production in infrastructure markets such as wireline and wireless.

At the same time that programmable logic devices have become less expensive and more capable, ASICs (application-specific integrated circuits) have become prohibitively expensive, and ASSPs (application-specific standard products) too inflexible for product life cycles that often are measured in months. As a result, the use of programmable logic is expanding to applications and within markets (such as consumer) where previously they were not realistic design choices.

This is certainly true of the programmable logic devices offered by Lattice Semiconductor, including their PLDs, FPGAs and programmable Power Management and Clock Management mixed signal devices. The ispMACH 4000ZE CPLDs, for example, are being used in portable, handheld device design applications due to their low power consumption and small size. The Lattice MachXO PLD devices are versatile, "all in one" PLDs that are easy and convenient to design with. Lattice's mid-range ECP3 FPGA families are setting new standards for low power and high value in wireless, wireline, display and security and surveillance applications. Complementing Lattice's silicon devices is an extensive ecosystem of design tools, reference designs, IP cores, development kits and evaluation boards.

As the use of programmable logic becomes more pervasive, so too does the need for system designers to become familiar with both CPLDs and FPGAs. In particular, engineers who have worked exclusively with ASIC and ASSP designs will find that there are important differences in working with programmable logic.

Westor Wang wrote this book in response to the dramatic rise in the use of programmable logic. Westor's objective was to provide the design engineer with a practical and comprehensive overview of programmable logic technologies and design techniques. Beginning with an introduction to programmable technology, the book examines in detail the programmable logic devices available from Lattice Semiconductor and then describes the programmable logic design flow, with an

overview of Lattice's tool suite and design flow, followed by a more detailed presentation for the designer who is already familiar with the basics of programmable logic design.

Westor's book should help designers become more familiar and comfortable with programmable logic, and better prepared to take advantage of its remarkable design potential.

Stacy Fender

Corporate VP World Wide Sales

Lattice Semiconductor

Legal Disclaimer:

This publication is solely the work product of the author and has not been authorized, reviewed, approved or adopted by Lattice Semiconductor Corporation or its affiliates. The views expressed herein are solely those of the author. No representation or warranty with respect to any product of Lattice Semiconductor Corporation is made hereby and readers are directed to the official website of Lattice Semiconductor Corporation at www.latticesemi.com if they desire more specific information from Lattice Semiconductor Corporation regarding Lattice Semiconductor Corporation or its products.

从一个承诺谈起

记得在 2003 年初次面试 Westor Wang 时，了解他在做研发期间，总结设计经验，和朋友编写过几本关于 PLD 的书籍，反响不错。我和时任 Lattice 全球技术副总裁的 Jock Tomlinson 鼓励 Westor 为 Lattice 也写一本 PLD 设计书籍，Westor 欣然应允。时至今日，《Lattice FPGA/CPLD 设计（基础篇）》终于面世了。因为我能充分地理解这套书推迟出版的原因，所以从未责备 Westor。这套书推迟的原因在于——我和 Westor 以及 Lattice 中国区的所有员工，每个人都在超负荷运作！Westor 和他的同事能深夜挑灯，利用业余时间完成这套书的编写工作，实属不易。

在 Lattice 中国区每一位员工的不懈努力下，从 2003 年至今，Lattice 在中国区的销售额年复合增长率超过 40%，核心产品（如 ispMACH4000 系列 CPLD、MachXO 系列 CPLD、XP2 系列 FPGA、ECP2M 系列 FPGA 和 ECP3 系列 FPGA 等）在核心大客户和重要外围客户中都取得了珍贵的突破，并逐步成为广大客户信得过的主流 FPGA/CPLD 供应商。在此我衷心地感谢多年来支持我们的 Lattice 同仁，并特别感谢信任和帮助我们的广大客户！

希望通过这套书，能够帮助读者更好地了解和使用 Lattice 的软件和硬件，提供给客户更灵活、方便、高效的可编程解决方案。

梁成志

大中华区销售总监及中国区总经理

Lattice Semiconductor

关于本书

内容和特点

FPGA/CPLD、DSP 和 CPU 被称为未来数字电路系统的三大基石，也是目前硬件设计研究的热点。与传统电路相比，FPGA/CPLD 具有功能强大，开发过程投资小、周期短，可反复编程修改，保密性能好，开发工具智能化等特点。随着电子工艺的不断改进，低成本 FPGA/CPLD 器件推陈出新，这一切促使 FPGA/CPLD 成为当今硬件设计的首选方式之一。可以说掌握 FPGA/CPLD 设计技术是当今高级硬件工程师与逻辑工程师的必备技能。

针对目前国内缺乏系统地介绍 Lattice 可编程逻辑器件和相关软件中文书籍的状况，Lattice 公司组织原厂技术专家，与人民邮电出版社合作，将陆续编写出版有关 Lattice FPGA/CPLD 设计的技术丛书（本书为丛书的第一本）。这套丛书的显著特点是：系统性、实用性、新颖性与深刻性。作者结合十多年的现场支持、调试的丰富经验，力图照顾到不同层次的读者，帮助读者迅速掌握 Lattice 器件与软件的设计要点和使用技巧。

本书共分为 9 章，各章内容简要介绍如下。

- 第 1 章 FPGA/CPLD 简介。

在引入 FPGA/CPLD 基本概念的基础上，介绍 FPGA/CPLD 的完整设计流程和常用开发工具，并展望了下一代可编程逻辑设计技术。

- 第 2 章 Lattice 可编程逻辑器件的结构和特点。

以 XO、XP2、ECP3 和数模混合器件为代表，介绍了 Lattice 主流可编程逻辑器件的结构、特点以及应用领域。

- 第 3 章 ispLEVER FPGA 开发流程入门。

以一个异步 FIFO 设计为例，基于 ispLEVER 集成开发环境，讲解 Lattice FPGA/CPLD 的开发流程。对设计的综合、仿真、实现、静态时序分析以及下载调试等各个方面进行了讨论。

- 第 4 章 ispLEVER FPGA 开发流程进阶。

基于 ispLEVER 集成开发环境，对 Lattice 开发流程中的综合、实现、设计约束、设计检查等多个方面进行深入阐述，使读者可以独立自主地进行一些复杂 FPGA 的设计实现和分析。

- 第 5 章 Lattice 常用辅助设计工具。

介绍了 Lattice 器件开发流程中一些辅助设计工具的使用，重点介绍了设计规划（Design Planner）、EPIC、功耗计算器（Power Calculator）等辅助工具。

- 第 6 章 Lattice FPGA/CPLD 的加载配置。

介绍了 FPGA/CPLD 常用的几种加载配置方法，同时介绍了双启动、透明在线加载（TFR）、加密特性等 Lattice 高级加载配置特性和操作方法。

- 第 7 章 Lattice IP 开发工具。

介绍了 Lattice 的 IP 开发工具 IPexpress，对 Lattice 可参数化模块，IP 的生成、例化、仿真、评估等多个方面进行了说明。

- 第 8 章 第三方 EDA 工具。

介绍了支持 Lattice 器件的第三方 EDA 工具，重点介绍了 ModelSim、Active-HDL 和 Synplify/Synplify Pro 等第三方工具的使用技巧。

● 第 9 章 Lattice 系列 FPGA 开发系统。

对 Lattice 提供的部分评估板的特性、应用领域以及订购信息进行了介绍，便于用户在使用 Lattice 器件之前能够有效地进行评估。

本书的主要特点介绍如下。

- 系统性：本书系统地介绍了 Lattice FPGA/CPLD 的主流器件、开发流程，并对开发流程的基础与高级设计工具进行了全面论述。
- 实用性：本书结合作者十多年的现场支持经验，参考了用户使用 Lattice FPGA/CPLD 器件过程中容易出现的疑问（FAQ），对工程设计有显著的指导意义。
- 新颖性：本书作者长期工作在可编程逻辑应用和设计的最前沿，与 FPGA 器件供应商以及 EDA 软件供应商联系紧密，所以有幸能够在第一时间使用最新版本的 FPGA/CPLD 设计工具。书中涉及的所有工具均根据较新资料撰写，保证了图书内容的新颖性。
- 深刻性：书中对 FPGA/CPLD 设计的基本原理、方法有较为详尽的论述，对各种设计工具的介绍并不局限于操作方法，而是结合作者多年的工作经验与心得，从较深的层面对各个工具的特点进行剖析。

读者对象

本书可作为硬件工程师和逻辑工程师的实用工具书，也可以作为高等院校通信工程、电子工程、计算机、微电子与半导体等专业的教材和课外辅导书籍。对于初学者，本书是一本非常实用的入门手册；而对于比较熟悉可编程逻辑器件开发流程的读者，本书可以作为一本 Lattice 器件选型、评估，以及 Lattice 开发集成环境 ispLEVER 的使用指导手册。

附盘内容

本书配套光盘中收录了 ispLEVER Starter 软件以及书中所有实例的完整工程文件、设计源文件，并提供了部分 Lattice 器件的技术手册，便于读者边学边练，提高实际应用能力。

本书约定

为了方便读者阅读，书中设计了 4 个小图标，它们代表的含义如下。



行家指点：用于介绍使用经验和心得，或罗列重要的概念。



注意事项：用于提醒读者应该注意的问题。



多学一招：用于介绍实现同一功能的不同方法。



操作实例：用于引出一个操作题目和相应的一组操作步骤。

本书主要章节由王诚和赵延宾执笔，在编写过程中，Lattice 大中华区总监及总经理 Andy Leung 先生，大中华区技术经理 Jeffery Pu 先生，中国北方地区销售经理 YZ Xie 和 Lattice 技术专家 Deco Huang、Dino Sun、David Qian、Frank Xie、Gary Liu、Grey Zhuang、Hans Chen、Heng Chen、Houson Sun、Jack Li、Jacky Shen、Jimmy Yu、Joe Li、Johnson Guo、Leo Shen、Robin Song、Rock Ding、Thomas Zhang、Tim Yao、Victor Zhao、Wen Luo 等对全书进行了审校，并提出了许多中肯的建议。Lattice 客户经理 Kobe Wang、Vincent Yu 等对本书的推广和策划提出了许多建设性意见，并给予作者多方面的帮助，在此一并表示衷心的感谢。在这里还要特别感谢 Lattice 高密度产品部副总裁 Sean Riley、高密度产品部总监 Shakeel Peera、高密度产品部高级经理 Sid Mohanty、全球技术支持总监 Rich Ford、全球市场副总裁 Doug Hunter、全球销售副总裁 Stacy Fender、亚太区副总裁 BC Koh 和低密度产品部副总裁 Chris Fanning 的鼎力支持！感谢所有关心并支持本书的同仁佳友！

感谢您选择了本书，如果您对书中内容有任何困惑和建议，请与我们联系。

电子函件：westorwang@gmail.com（作者），liyongtao@ptpress.com.cn（责任编辑）。

如果您需要得到 Lattice 更全面的服务与技术支持，请访问 <http://www.latticesemi.com>。

作者

2010 年 12 月

目 录

第 1 章 FPGA/CPLD 简介	1
1.1 可编程逻辑设计技术简介	1
1.1.1 可编程逻辑器件发展简史	1
1.1.2 可编程逻辑器件的分类	2
1.2 FPGA/CPLD 的基本结构	2
1.2.1 FPGA 的基本结构	3
1.2.2 CPLD 的基本结构	6
1.2.3 FPGA 和 CPLD 的比较	8
1.3 FPGA/CPLD 的设计流程	10
1.4 FPGA/CPLD 的常用开发工具	13
1.5 下一代可编程逻辑设计技术展望	16
1.5.1 下一代可编程逻辑器件硬件上的发展趋势	17
1.5.2 下一代 EDA 软件设计方法发展趋势	24
1.6 小结	27
1.7 问题与思考	28
第 2 章 Lattice 可编程逻辑器件的结构和特点	29
2.1 CPLD 器件	29
2.1.1 ispMACH 4000 CPLD 的结构和特点	30
2.1.2 未来 CPLD 的替代产品 MachXO	31
2.1.3 MachXO2 系列器件	35
2.2 FPGA 器件	35
2.2.1 非易失 (Non-Volatile) XP/XP2 系列 FPGA	36
2.2.2 高性价比的 ECP2M/ECP3 系列 FPGA	40
2.2.3 即将面世的 ECP4 系列 FPGA	43
2.3 可编程数模混合器件	44
2.3.1 可编程电源管理芯片的结构和特点	44
2.3.2 可编程时钟管理芯片的结构和特点	48
2.4 小结	50
2.5 问题与思考	51
第 3 章 ispLEVER FPGA 开发流程入门	52
3.1 ispLEVER FPGA 开发流程概述	52
3.2 ispLEVER 的安装和在线更新	53
3.2.1 ispLEVER 的安装	53
3.2.2 ispLEVER 许可证的获取和设置	57

3.2.3	ispLEVER 8.0 的在线更新	59
3.3	设计输入：异步 FIFO 的设计	60
3.3.1	异步 FIFO 规格定义	61
3.3.2	异步 FIFO 方案设计	62
3.3.3	异步 FIFO 上板测试方案设计	63
3.4	ispLEVER 工程管理	65
3.5	FIFO 的功能仿真	69
3.6	综合 (Synthesis)	73
3.7	数据库生成 (Build Database)	74
3.8	设计约束	75
3.9	映射 (MAP)	79
3.10	布局布线 (Place & Route)	81
3.11	静态时序分析	83
3.12	时序仿真	84
3.13	生成位流文件	87
3.14	下载调试	87
3.15	小结	97
3.16	问题与思考	98
第 4 章	ispLEVER FPGA 开发流程进阶	99
4.1	ispLEVER 软件的选择	99
4.2	综合 (Synthesis) 高级选项设置	100
4.2.1	综合流程的选择	101
4.2.2	综合选项列表	102
4.2.3	综合选项的选择	105
4.3	网表转换 (Build Database) 选项设置	109
4.4	映射 (MAP) 选项设置	111
4.5	布局布线 (Place & Route) 选项设置	116
4.5.1	布局布线概述	117
4.5.2	布局布线可配置选项	119
4.5.3	布局过程和不同算法	122
4.5.4	布线过程和不同算法	124
4.5.5	多种子运行考虑	129
4.5.6	拥塞设计	131
4.5.7	保持时间违例自动修正	133
4.6	FPGA 设计约束	136
4.6.1	FPGA 设计约束的表现形式	136
4.6.2	Design Planner 集成环境概述	137
4.6.3	Design Planner 各种设计约束说明	138

4.7 下载文件约束.....	154
4.8 FPGA 设计检查.....	156
4.8.1 【Project Summary】报告.....	157
4.8.2 【Synthesis and Ngdbuild Report】报告.....	157
4.8.3 【Build Database Report】报告.....	161
4.8.4 【Map Report】报告.....	161
4.8.5 【Map Trace Report】报告.....	163
4.8.6 【Place & Route Report】报告.....	163
4.8.7 【PAD Specification File】报告.....	164
4.8.8 【Place & Route TRACE Report】报告.....	165
4.8.9 【I/O SSO Analysis Report】报告.....	165
4.9 FPGA 设计工程管理.....	165
4.9.1 ispLEVER 工程版本发布.....	166
4.9.2 个性化环境设置.....	168
4.9.3 Search Path 和 Verilog Variables 的设置.....	170
4.10 小结.....	171
4.11 问题与思考.....	172
第 5 章 Lattice 常用辅助设计工具.....	173
5.1 设计规划 (Design Planner)	174
5.1.1 启动 Design Planner	174
5.1.2 Spreadsheet View	176
5.1.3 Package View	175
5.1.4 Pre-Mapped View.....	178
5.1.5 Post-Mapped View	183
5.1.6 Floorplan View	183
5.1.7 Physical View	186
5.1.8 Path Tracer	189
5.1.9 Timing Analyzer.....	191
5.2 EPIC	193
5.2.1 启动 EPIC	193
5.2.2 EPIC 的设计检查功能.....	195
5.2.3 EPIC 的 ECO 功能.....	199
5.3 EBR 初始化工具和初始化文件生成工具.....	208
5.4 静态时序分析.....	211
5.4.1 fMAX 分析.....	213
5.4.2 tCO 分析.....	214
5.4.3 tSU、tHD 分析.....	215
5.4.4 tP2P 分析.....	215

5.4.5 tPD 分析	215
5.5 功耗计算器 (Power Calculator)	216
5.5.1 功耗计算的相关概念	216
5.5.2 功耗计算器的操作	217
5.6 保持时间违例自动修正 (Auto Hold Time Correction)	221
5.7 时钟加速 (Clock Boosting)	222
5.8 输出 IBIS 模型	223
5.9 反标管脚信息 (Backannotate Assignments)	223
5.10 小结	223
5.11 问题与思考	224
第 6 章 Lattice FPGA/CPLD 的加载配置	225
6.1 常见的加载配置方法	225
6.1.1 JTAG 加载配置方法	227
6.1.2 CPU 模拟 JTAG 口进行远程在线加载	230
6.1.3 Slave-Serial 加载方法	234
6.1.4 SPI 串行 Flash 加载方法	238
6.2 加载配置文件的类型和生成方法	243
6.3 Lattice CPLD/FPGA 的高级加载配置特性	246
6.3.1 双启动	246
6.3.2 非易失器件的 SDM	248
6.3.3 加载过程中 I/O 的锁定和配置	248
6.3.4 透明在线升级 TFR	251
6.3.5 加密特性	252
6.3.6 休眠与激活	252
6.4 ispVM 加载配置软件的使用方法	252
6.4.1 双启动的加载	253
6.4.2 TFR 加载	255
6.5 小结	257
6.6 问题与思考	257
第 7 章 Lattice IP 开发工具	258
7.1 IP 的基本概念、Lattice 可用的 IP 分类	258
7.1.1 可参数化模块	259
7.1.2 ispLEVER Core IP	260
7.1.3 ispLEVER Core 第三方 IP	262
7.1.4 参考设计	262
7.1.5 嵌入式 CPU	263
7.2 IPexpress——Lattice 的 IP 管理和开发工具	263
7.2.1 IPexpress 的启动	263

7.2.2	IPexpress 的使用	264
7.2.3	IPexpress 中 IP 列表的下载和更新	268
7.3	使用 Lattice 可参数化模块、IP 的设计流程	269
7.3.1	模块和 IP 的例化	270
7.3.2	模块和 IP 的仿真	271
7.3.3	ispLEVER Core IP 的评估模式	276
7.4	在 ModelSim 中编译和添加 Lattice 仿真库	277
7.4.1	编译 Verilog 仿真库文件	278
7.4.2	编译 VHDL 仿真库文件	283
7.4.3	ispLEVER 提供的加密、已编译仿真库	285
7.4.4	让 ModelSim 启动时默认调用 Lattice 器件仿真库	286
7.4.5	在 ModelSim 中进行后仿真	287
7.5	小结	289
7.6	问题与思考	289
第 8 章	第三方 EDA 工具	290
8.1	第三方 EDA 工具综述	290
8.2	仿真的概念	291
8.2.1	仿真简介	291
8.2.2	仿真的切入点	292
8.3	ModelSim 仿真工具	294
8.3.1	ModelSim 仿真工具的不同版本	294
8.3.2	ModelSim 的图形用户界面	295
8.3.3	ModelSim 仿真的基本步骤	309
8.3.4	ModelSim 仿真操作实例	323
8.3.5	ModelSim 仿真工具部分高级应用	330
8.4	Active-HDL 仿真工具	338
8.4.1	Active-HDL 仿真工具的不同版本	340
8.4.2	Active-HDL 的图形用户界面概述	342
8.4.3	Active-HDL 的基本仿真步骤	344
8.5	Synplify/Synplify Pro 综合工具	369
8.5.1	Synplify/Synplify Pro 的功能与特点	369
8.5.2	Synplify Pro 的用户界面	375
8.5.3	Synplify Pro 综合流程	378
8.6	小结	400
8.7	问题与思考	400
第 9 章	Lattice 系列 FPGA 开发系统	402
9.1	评估板综述	402
9.2	ECP3 评估板	404

9.2.1	LFE3-95E-SP-EVN	405
9.2.2	LFE3-150EA-IO-EVN.....	406
9.2.3	LFE3-95E-V-EVN	408
9.3	ECP2M 评估板	410
9.3.1	LFE2M35 (50) E-P4-EV	410
9.3.2	LFE2M35 (50) E-S-EV	411
9.3.3	LFE2M35E-V-EV	413
9.4	ECP2 评估板	414
9.4.1	LFE2-50E-H-EV	415
9.4.2	LFE2-50E-L-EV	416
9.4.3	LFE2-50E-D-EV	418
9.5	SC/M 评估板	419
9.5.1	LFSC25E-H-EV	420
9.5.2	LFSC25E-P1-EV.....	421
9.5.3	LFSC80E-P4-EV.....	423
9.6	XP2 评估板.....	424
9.7	XP 评估板.....	426
9.8	ECP/EC 评估板	427
9.9	XO 评估板及其他评估板	428
9.10	小结	430
9.11	问题与思考.....	430

第1章 FPGA/CPLD 简介

本章在引入 FPGA/CPLD 基本概念的基础上,介绍了 FPGA/CPLD 的基本结构,论述了 FPGA/CPLD 的完整设计流程,并对 FPGA/CPLD 常用开发工具加以简介,最后结合笔者的经验,展望了 FPGA/CPLD 设计技术的新发展。

本章主要内容如下。

- 可编程逻辑设计技术简介。
- FPGA/CPLD 的基本结构。
- FPGA/CPLD 的设计流程。
- FPGA/CPLD 的常用开发工具。
- 下一代可编程逻辑设计技术展望。

1.1 可编程逻辑设计技术简介

本节在讨论可编程逻辑器件发展简史的基础上,简述目前常用的可编程逻辑器件的分类、特征及其应用领域。

1.1.1 可编程逻辑器件发展简史

随着微电子设计技术与工艺的发展,数字集成电路从电子管、晶体管、中小规模集成电路、超大规模集成电路(VLSIC)逐步发展到今天的专用集成电路(ASIC)。ASIC 的出现降低了产品的生产成本,提高了系统的可靠性,缩小了设计的物理尺寸,推动了社会的数字化进程。但是 ASIC 因其设计周期长,改版投资大,灵活性差等缺陷制约着它的应用范围。硬件工程师希望有一种更灵活的设计方法,根据需要,在实验室就能设计、更改大规模数字逻辑,研制自己的 ASIC 并马上投入使用,这是提出可编程逻辑器件的基本思想。

可编程逻辑器件随着微电子制造工艺的发展取得了长足的进步。从早期的只能存储少量数据,完成简单逻辑功能的可编程只读存储器(PROM)、紫外线可擦除只读存储器(EPROM)和电可擦除只读存储器(E²PROM),发展到能完成中大规模的数字逻辑功能的可编程阵列逻辑(PAL)和通用阵列逻辑(GAL),今天已经发展成为可以完成超大规模的复杂组合逻辑与时序逻辑的复杂可编程逻辑器件(CPLD)和现场可编程逻辑阵列(FPGA)。随着工艺技术的发展与市场需要,超大规模、高速、低功耗的新型 FPGA/CPLD 不断推陈出新。新一代的 FPGA 甚至集成了中央处理器(CPU)或数字处理器(DSP)内核,在一片 FPGA 上进行软硬件协同设计,为实现片上可编程系统(SOPC, System On Programmable Chip)提供了强大的硬件支持。

1.1.2 可编程逻辑器件的分类

广义上讲, 可编程逻辑器件是指一切可通过软件手段配置、更改器件内部连接结构和逻辑单元, 完成既定设计功能的数字集成电路。目前, 常用的可编程逻辑器件主要有简单的逻辑阵列 (PAL/GAL)、复杂可编程逻辑器件 (CPLD) 和现场可编程逻辑阵列 (FPGA) 等 3 大类。

(1) PAL/GAL。

PAL 是 Programmable Array Logic 的简称, 即可编程阵列逻辑; GAL 是 Generic Array Logic 的简称, 即通用可编程阵列逻辑。PAL/GAL 是早期可编程逻辑器件的发展形式, 其特点是大多基于 E^2 CMOS 工艺, 结构较为简单, 可编程逻辑单元多为与、或阵列, 可编程单元密度较低, 仅能适用于某些简单的数字逻辑电路。虽然 PAL/GAL 密度较低, 但是它们一出现即以低功耗、低成本、高可靠性、软件可编程、可重复更改等特点引发了数字电路领域的巨大振动。虽然目前较复杂的逻辑电路一般使用 CPLD 甚至 FPGA 完成, 但是对应很多简单的数字逻辑, PAL/GAL 等简单的可编程逻辑器件仍然被大量使用。目前国内外很多对成本十分敏感的设计都在使用 PAL/GAL 等低成本可编程逻辑器件, 越来越多的 74 系列逻辑电路被 PAL/GAL 取代。PAL/GAL 等器件发展至今已经二十多年, 新一代的 PAL/GAL 以功能灵活、封装小、成本低、重复可编程、应用灵活等优点, 仍然在数字电路领域扮演着重要的角色。Lattice 是全球最大的 PAL/GAL 器件供应商之一。

(2) CPLD。

CPLD 是 Complex Programmable Logic Device 的简称, 即复杂可编程逻辑器件, 是在 PAL/GAL 的基础上发展起来的可编程逻辑器件。CPLD 一般也采用 E^2 CMOS 工艺, 也有少数厂商采用 Flash 工艺。其基本结构由可编程输入/输出 (I/O) 单元、基本逻辑单元、布线池和其他辅助功能模块构成。CPLD 可实现的逻辑功能比 PAL/GAL 有了大幅度的提升, 一般可以完成设计中较复杂、较高速度的逻辑功能, 如接口转换、总线控制等。CPLD 的主要器件供应商有 Lattice、Altera 和 Xilinx 等。Altera 曾将自己的 CPLD 器件称为 EPLD (Enhanced Programmable Logic Device), 即增强型可编程逻辑器件。其实 EPLD 和 CPLD 属于同等性质的逻辑器件, 目前 Altera 为了遵循称呼习惯, 已经将其 EPLD 统称为 CPLD。

(3) FPGA。

FPGA 是 Field Programmable Gate Array 的简称, 即现场可编程逻辑阵列, 是在 CPLD 的基础上发展起来的新型高性能可编程逻辑器件。FPGA 一般采用 SRAM 工艺, 也有一些专用器件采用 Flash 工艺或反熔丝 (Anti-Fuse) 工艺等。FPGA 的集成度很高, 其器件密度从数万系统门到数千万系统门不等, 可以完成极其复杂的时序与组合逻辑电路功能, 适用于高速、高密度的高端数字逻辑电路设计领域。FPGA 的基本组成部分有可编程 I/O 单元、基本可编程逻辑单元、嵌入式块 RAM、丰富的布线资源、底层嵌入功能单元、内嵌专用硬核等。FPGA 的主要器件供应商有 Lattice、Altera、Xilinx 和 Actel 等。

1.2 FPGA/CPLD 的基本结构

本节在讨论 FPGA 与 CPLD 的通用结构的基础上, 比较两者的异同, 加深读者对这两