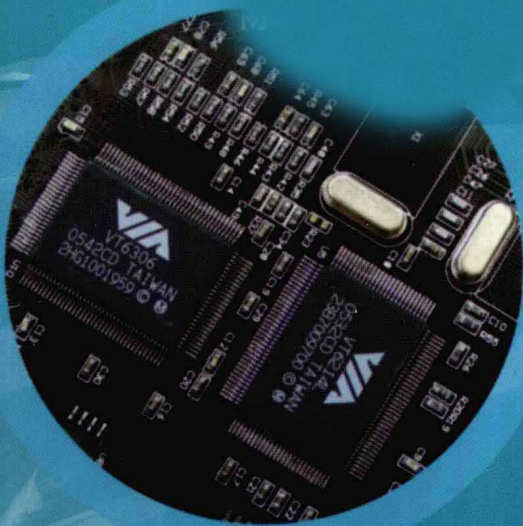


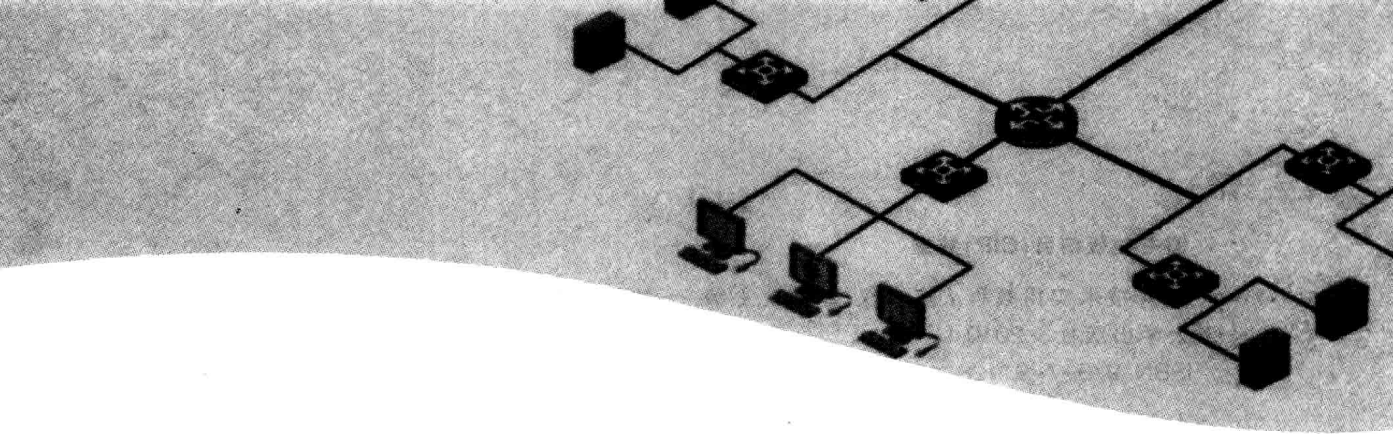
A network diagram showing a central router connected to several switches, which are in turn connected to multiple desktop computers, illustrating a local area network (LAN) topology.

# EDA技术 实用教程

陈炳权 曾庆立 主编



湘潭大学出版社



# EDA技术 实用教程

湘潭大学出版社

**图书在版编目(CIP)数据**

EDA 技术实用教程 / 陈炳权, 曾庆立主编. — 湘潭: 湘潭大学出版社, 2010.1

ISBN 978-7-81128-156-9

I. E… II. ①陈…②曾… III. 电子电路—电路设计: 计算机辅助设计—教材 IV. TN702

中国版本图书馆 CIP 数据核字 (2009) 第 233734 号

## EDA 技术实用教程

陈炳权 曾庆立 主编

责任编辑: 罗 联

封面设计: 罗志义

出版发行: 湘潭大学出版社

社 址: 湖南省湘潭市 湘潭大学出版大楼

电话(传真): 0731-58298966 邮编: 411105

网 址: <http://xtup.xtu.edu.cn>

印 刷: 长沙瑞和印务有限公司

经 销: 湖南省新华书店

开 本: 787×1092 1/16

印 张: 25

字 数: 608 千字

版 次: 2010 年 1 月第 1 版 2010 年 1 月第 1 次印刷

书 号: ISBN 978-7-81128-156-9

定 价: 39.80 元

(版权所有 严禁翻印)

# 前 言

随着专用集成电路(ASIC)的规模不断扩大,EDA 技术日臻完善,信息电子类的高新技术项目开发更加依赖于 EDA 技术,EDA 技术在电子信息、通信、自动控制及计算机应用等领域的重要性已日益突出,该技术使产品的开发周期大大缩短、性价比大幅提高。各类可编程逻辑器件(目前被广泛采用的 CPLD/FPGA 器件)应运而生,为电子系统的设计带来极大的灵活性,从而将复杂的硬件设计过程转化为在特定的软件平台上通过软件设计来完成,不仅能完成逻辑综合,而且能进行优化、仿真和测试。这一切极大地改变了传统的电子系统设计方法与设计过程,更重要的是改变了设计观念。

本书由硬件、软件和应用三篇组成。硬件篇结合世界上主流公司 Altera 公司、Xilinx 公司、Lattice 公司的 PLD 产品,介绍可编程器件的基本概念、基本原理和结构。软件篇按 Altera 公司 Max+plus II 和 Quartus II 的主要功能,对操作编程方法及其使用由浅入深地讲解。本书的重点是应用篇,运用前面介绍的软硬件基本知识来剖析各类数字系统的设计与实现方法。EDA 技术的硬件资源篇由第 1 章和第 4 章组成。EDA 技术的软件操作篇由第 3 章组成,重点介绍了 FPGA/CPLD 的开发流程及工具中各功能模块的功能,使读者更容易学习工具的使用。开发操作环境主要介绍 Altera 公司 Quartus II 和 Max+plus II 的主要功能,对操作编程方法及其应用由浅入深地讲解。第 2 章和第 5 章详细介绍了国际标准化硬件描述语言——VHDL 及其应用实例。第 6 章阐述了实验开发系统,第 7、8 章是实验与开发实例,第 9 章给出了 10 个经典的基于 VHDL 语言的课程设计实例,旨在运用所学的 VHDL 语言和 EDA 工具软件在实验开发系统中进行实例开发、仿真并加以硬件测试。

本书具有如下 3 个特点:(1) 注重实践与实用。在各章中都安排了适量习题,实验章节都安排了针对性较强的实验,除给出了详细的实验目的、实验原理、实验思考题和实验报告要求外,还提供了详细的并被验证了的设计程序和实验方法,学生只需将提供的设计程序输入计算机,并按要求进行编译仿真,在实验系统上实现即可。(2) 注重教学规律。根据电子类专业的特点,放弃流行的计算机语言的教学模式,打破目前 VHDL 教材通用的编排形式,以电子线路设计为基点,从实例的介绍中引出 VHDL 语句语法内容。在典型示例的说明方面,除给出完整并被验证过的 VHDL 描述外,还给出其综合后的 RTL 电路图以及表现该电路系统功能的时序波形图,使读者在很短的时间内就能有效地把握 VHDL 的主要内容,而

不必花费大量的时间去系统地学习语法。(3) 注重系统性、完整性与独立性相结合。全书力争在不增加课时的情况下保持内容的系统性和完整性,使读者通过本书的学习和推荐的实验,初步掌握 EDA 技术最基本的内容。

本书编写过程中得到了王文锋,湛强,唐刚,肖妙,许创,李伟,胡佳,彭鹏等同学在 VHDL 语言源代码编译工作上的帮助,在此表示感谢。

EDA 技术是不断发展的,相应的教学内容和教学方法也应不断改进,其中有许多问题值得深入探讨,也包括以上提出的有关 EDA 教学的一家之言。编者真诚地欢迎读者对书中的错误与偏颇之处给予批评指正。

编 者

2009 年 11 月

# 目 录

<b>第 1 章 绪论</b>	
1.1 EDA 技术的概念及范畴	1
1.2 EDA 技术的发展史	2
1.3 EDA 设计流程	3
1.4 EDA 技术的主要内容及主要的 EDA 厂商	6
1.5 常用的 EDA 工具	12
1.6 EDA 技术的发展趋势	13
1.7 EDA 技术的应用	16
<b>第 2 章 VHDL 硬件描述语言</b>	
2.1 VHDL 概述	19
2.2 VHDL 程序基本结构	22
2.3 VHDL 语言要素	32
2.4 VHDL 顺序语句	41
2.5 VHDL 并行语句	54
<b>第 3 章 EDA 工具软件的使用及设计流程</b>	
3.1 Quartus II 的使用及设计流程	68
3.2 Quartus II 设计正弦信号发生器	77
3.3 Max+plus II 使用及设计流程	88
<b>第 4 章 CPLD/FPGA 结构及应用</b>	
4.1 PLD 概述	112
4.2 PLD 结构及特点	114
4.3 FPGA 结构、原理及其产品	115
4.4 CPLD 结构、原理及其产品	123
4.5 在系统可编程(ISP)逻辑器件	125
4.6 FPGA/CPLD 在电子产品开发中的应用选择	128
4.7 FPGA/CPLD 器件的标识含义	132
4.8 FPGA/CPLD 主要生产商	132
<b>第 5 章 基本电路的 VHDL 实现</b>	
5.1 基本逻辑电路的 VHDL 设计	136
5.2 存储器的 VHDL 设计	151



5.3	状态机的 VHDL 设计	156
5.4	VHDL 描述风格	169
<b>第 6 章 EDA 实验开发系统</b>		
6.1	GW48 型 EDA 实验开发系统原理与使用	172
6.2	GW48 实验电路结构图	177
6.3	GW48 系统结构图信号名与芯片引脚对照表	188
6.4	GW48 型 EDA 实验开发系统使用示例	193
<b>第 7 章 EDA 技术实验</b>		
7.1	1 位全加器原理图输入设计	197
7.2	1 位全加器 VHDL 文本输入设计	199
7.3	有时钟使能的两位十进制计数器 VHDL 文本输入设计	201
7.4	含异步清 0 和同步时钟使能的 4 位加法计数器 VHDL 文本输入设计	203
7.5	4 位十进制频率计 VHDL 文本输入设计	204
7.6	硬件电子琴电路 VHDL 文本输入设计	207
7.7	数字秒表 VHDL 文本输入设计	209
7.8	交通灯信号控制器 VHDL 文本输入设计	213
<b>第 8 章 经典实例开发举例</b>		
8.1	系统设计方法	221
8.2	最小系统整体结构	221
8.3	硬件连接及原理	222
8.4	系统软件设计	227
<b>第 9 章 基于 VHDL 课程设计实例</b>		
9.1	多路彩灯控制器的设计	257
9.2	数字式竞赛抢答器	265
9.3	电梯控制器	276
9.4	出租车计费器	288
9.5	微波炉控制器	301
9.6	FIR 滤波器	313
9.7	I <sup>2</sup> C 总线控制器	332
9.8	直接数字频率合成器	351
9.9	自动售货机	371
9.10	多功能调制解调器	378
<b>参考文献</b>		394

# 第1章 绪论

EDA 是 Electronic Design Automation(电子设计自动化)的缩写。EDA 技术是以微电子技术为物理层面,现代电子设计技术为灵魂,计算机软件技术为手段,最终形成集成电子系统或专用集成电路 ASIC(Application Specific Integrated Circuit)为目的的一门新兴技术,它是在电子 CAD(Computer Assist Design)技术基础上发展起来的计算机软件系统,是微电子技术和现代电子设计技术共同孕育的奇葩。EDA 技术不是某一个学科的分支或某种新的技能技术,而是一门多学科融合为一体的综合性学科,打破了软件和硬件间的壁垒,使计算机的软件和硬件实现合二为一,代表了电子设计和应用技术的发展方向。通常 EDA 技术的使用对象由两大类人员组成:一类是专用集成电路 ASIC 的芯片设计研发人员;另一类是广大的电子线路设计人员(不具备集成电路深层次的知识)。本书所阐述的 EDA 技术主要以后者为使用对象,这样,EDA 技术可简单概括为以大规模可编程逻辑器件为设计载体,通过硬件描述语言输入给相应开发软件,经过编译和仿真,最终下载到设计载体中,从而完成系统电路设计任务的一门新技术。

## 1.1 EDA 技术的概念及范畴

EDA 技术涉及面广,内容丰富,通常对 EDA 技术的理解有狭义和广义之分。狭义的 EDA 技术是指:以计算机为工作平台,以大规模可编程逻辑器件为设计载体,以硬件描述语言作为系统逻辑描述的主要表达方式,以 EDA 软件开发工具和实验开发系统为设计工具,通过相关的开发软件,自动地用软件方式完成硬件设计全过程(逻辑编译、化简、分割、综合、优化、布局、布线、仿真,特定目标的适配编译、逻辑映射、编程下载等),最终形成集成电子系统 IES 或专用集成芯片 ASIC。它融合了应用电子技术、计算机技术、信息处理及智能化技术的最新成果,从而进行电子产品的自动设计。利用 EDA 工具,电子设计师可以从概念、算法、协议等开始设计电子系统,大量工作可以通过计算机自动控制完成,并可以将电子产品从电路设计、性能分析到设计出 IC 版图或 PCB 版图的整个过程在计算机上自动处理完成。除了狭义的 EDA 技术外,广义的 EDA 技术通常还包括计算机辅助分析 CAA 技术(如 PSPICE, EWS, MATLAB),印刷电路板计算机辅助设计 PCB-CAD 技术(如 Protel, Orcad 等),但这些不具备逻辑综合和逻辑适配的功能,所以广义的 EDA 技术可以理解为现代电子设计技术。

现代电子设计技术的核心是 EDA 技术。EDA 技术就是依靠功能强大的电子计算机,在 EDA 工具软件平台上,对以硬件描述语言 HDL(Hardware Description Language)为系统逻辑描述手段完成的设计文件,自动地完成逻辑编译、化简、分割、综合、优化和仿真,直至



下载到可编程逻辑器件 CPLD/FPGA 或专用集成电路 ASIC 芯片中,实现既定的电子电路设计功能。EDA 技术使得电子电路设计者的工作仅限于利用硬件描述语言和 EDA 软件平台来完成对系统硬件功能的实现,极大地提高了设计效率,缩短了设计周期,节省了设计成本。

EDA 的应用范畴包括机械、电子、通信、航空航天、化工、矿产、生物、医学、军事等各个领域。目前,EDA 技术已在各大公司、企事业单位和科研教学部门广泛使用,例如在飞机制造过程中,从设计、性能测试及特性分析直到飞行模拟,都可能涉及 EDA 技术。本书所指的 EDA 技术,主要针对电子电路设计。

## 1.2 EDA 技术的发展史

EDA 技术伴随着计算机、集成电路和电子系统设计的发展,经历了计算机辅助设计(Computer Assist Design,简称 CAD)、计算机辅助工程设计(Computer Assist Engineering Design,简称 CAED)和电子设计自动化 EDA(Electronic Design Automation)3 个发展阶段。

### 1. 20 世纪 70 年代的计算机辅助设计(CAD)阶段

CAD 是 EDA 技术发展的早期阶段。在这个阶段,人们开始利用计算机取代手工劳动,但当时的计算机硬件功能有限,软件功能较弱,人们主要借助计算机对所设计的电路进行一些模拟和预测,辅助进行集成电路版图编辑、印刷电路板 PCB(Printed Circuit Board)布局和布线等简单的版图绘制等工作,20 世纪 70 年代可以说是 EDA 技术发展的初期阶段。

### 2. 20 世纪 80 年代的计算机辅助工程设计(CAED)阶段

初期阶段的硬件设计是用大量不同型号的标准芯片实现电子系统设计的。随着微电子工艺的发展,相继出现了集成上万只晶体管的微处理器、集成几十万至上百万存储单元的随机存储器 and 只读存储器。此外,可编程逻辑器件 PAL 和 GAL 等一系列微结构和微电子学的研究成果都为电子系统的设计开辟了新天地,因此,可以用少数几种通用的标准芯片实现电子系统的设计。伴随着计算机和集成电路的发展,EDA 技术进入计算机辅助工程设计阶段。20 世纪 80 年代初推出的 EDA 工具则以逻辑模拟、定时分析、故障仿真、自动布局和布线为核心,重点解决电路设计完成之前的功能检测等问题。利用这些工具,设计师能在产品制作之前预知产品的功能与性能,在设计阶段对产品性能进行分析。

如果说 20 世纪 70 年代的自动布局布线的 CAD 工具代替了设计工作中绘图的重复劳动,那么 20 世纪 80 年代出现的具有自动综合能力的 CAE(Computer Assist Engineering,计算机辅助工程)工具则代替了设计师的部分工作,对保证电子系统的设计,制造出最佳的电子产品起着关键的作用。到了 20 世纪 80 年代后期,EDA 工具已经可以进行设计描述、综合与优化以及设计结果验证。CAED 阶段的 EDA 工具不仅为成功开发电子产品创造了有利条件,而且为高级设计人员的创造性劳动提供了方便。但是,大部分从原理图出发的 EDA 工具仍然不能适应复杂电子系统的设计要求,并且具体化的元件图形制约着优化设计。

### 3. 20 世纪 90 年代的电系统计自动化(EDA)阶段

20 世纪 90 年代以来,微电子工艺有了惊人的发展,工艺水平已经达到了深亚微米级,

甚至达到超深亚微米级。在一个芯片上已经可以集成上百万乃至上亿只晶体管,芯片速度达到了 Gb/s 量级,百万门以上的可编程逻辑器件陆续问世,为了满足千差万别的系统用户提出的设计要求,最好的办法是由用户自己设计芯片,让他们把想设计的电路直接设计在自己的专用芯片上。这个阶段发展起来的 EDA 工具,目的是在设计前期将原来设计师从事的许多高层次设计工作改由工具来完成,如可以将用户要求转换为设计技术规范,有效地处理可用的设计资源与理想的设计目标之间的矛盾,按具体的硬件、软件和算法分解设计等,设计师可以通过一些简单标准化的设计过程,利用微电子厂家提供的设计库来完成数万门 ASIC 和集成系统的设计与验证。这样就对电子设计的工具提出了更高的要求,提供了广阔的发展空间,促进了 EDA 技术的形成。特别是世界各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件,这都有效地将 EDA 技术推向成熟。

20 世纪 90 年代,设计师逐步从使用硬件转向设计硬件,从单个电子产品开发转向系统级电子产品开发 SOC(System On a Chip,即片上系统)。因此,EDA 工具是以系统级设计为核心,包括系统行为级描述与结构综合、系统仿真与测试验证、系统划分与指标分配、系统决策与文件生成等一整套的电子系统设计自动化工具。这时的 EDA 工具不仅具有电子系统设计的能力,而且能提供独立于工艺和厂家的系统级设计能力,具有高级抽象的设计构思手段。例如,提供方框图、状态图和流程图的编辑功能,具有适合层次描述和混合信号描述的硬件描述语言(如 VHDL、AHDI、Verilog),同时含有各种工艺的标准元件库。只有具备上述功能的 EDA 工具,才可能使电子系统工程师在不熟悉各种半导体工艺的情况下,完成电子系统的设计。

今天,EDA 技术已经成为电子设计的重要工具,无论是芯片设计还是系统设计,如果没有 EDA 工具的支持,都将是难以完成的。EDA 工具已经成为现代电路设计工程师的重要武器,正在发挥越来越重要的作用。

### 1.3 EDA 设计流程

利用 EDA 技术进行电路设计的大部分工作是在 EDA 软件工作平台上进行的,EDA 设计流程如图 1.1 所示。EDA 设计流程包括设计准备、设计输入、设计处理、器件编程和设计完成 5 个步骤,以及相应的功能仿真、时序仿真和器件测试 3 个设计验证过程。

#### 1. 设计准备

设计准备是指设计者在进行设计之前,依据任务要求,对确定系统所要完成的功能及复杂程度、器件资源的利用和所需成本等做的准备工作,如进行方案论证、系统设计和器件设计输入等。

#### 2. 设计输入

设计输入是指将设计的系统或电路按照 EDA 开发软件要求的某种形式表示出来,并送入计算机的过程。设计输入方式有多种,包括图形输入方式,波形输入方式,采用硬件描述语言的文本输入方式,或者采用文本和图形两者混合的设计输入方式。也可以采用自上而下(Top-Down)的层次结构设计方法,设计过程包括从自然语言到硬件语言的系统行为描述、系统的分解、RTL 级模型的建立、门级模型的产生,到最终的可以物理布线实现的底

层电路,将多个输入文件合并成一个设计文件等。

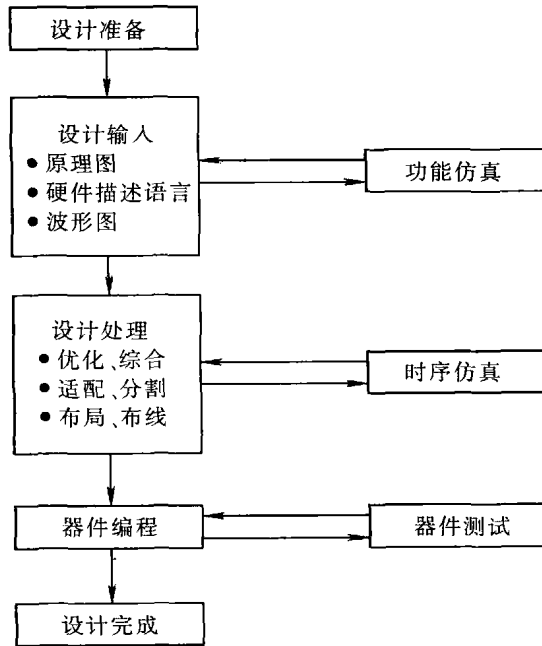


图 1.1 EDA 设计流程图

### 1) 图形输入方式

图形输入也称为原理图输入,这是一种最直接的设计输入方式,它使用软件系统提供的元器件库及各种符号和连线画出设计电路的原理图,形成图形输入文件。这种方式大多用在设计者对系统及各部分电路很熟悉的情况下,或在系统对时间特性要求较高的场合。优点是容易实现仿真,便于信号的观察和电路的调整。

### 2) 文本输入方式

文本输入是指采用硬件描述语言进行电路设计的方式。硬件描述语言有普通硬件描述语言和行为描述语言,它们用文本方式描述设计和输入。普通硬件描述语言有 AHDL 和 CUPL 等,它们支持逻辑方程、真值表和状态机等逻辑表达方式。

行为描述语言是目前常用的高层硬件描述语言,有 VHDL 和 Verilog-HDL 等,它们具有很强的逻辑描述和仿真功能,可实现与工艺无关的编程与设计,可以使设计者在系统设计、逻辑验证阶段便确立方案的可行性,而且输入效率高,在不同的设计输入库之间转换也非常方便。运用 VHDL、Verilog-HDL 硬件描述语言进行设计已是当前的趋势。

### 3) 波形输入方式

波形输入主要用于建立和编辑波形设计文件,以及输入仿真向量和功能测试向量。波形设计输入适用于时序逻辑和有重复性的逻辑函数,系统软件可以根据用户定义的输入/输出波形自动生成逻辑关系。

波形编辑功能还允许设计者对波形进行复制、剪切、粘贴、重复与伸展等操作,从而可以用内部节点、触发器和状态机建立设计文件,并将波形进行组合,显示各种进制(如二进制、

八进制等)的状态值。还可以通过将一组波形重叠到另一组波形上,对两组仿真结果进行比较。

### 3. 设计处理

设计处理是 EDA 设计中的核心环节。在设计处理阶段,编译软件将对设计输入文件进行逻辑化简、综合和优化,并适当地用一片或多片器件自动地进行适配,最后产生编程用的编程文件。设计处理主要包括设计编译和检查、逻辑优化和综合、适配和分割、布局和布线、生成编程数据文件等过程。

#### 1) 设计编译和检查

设计输入完成之后,立即进行编译。在编译过程中首先进行语法检验,如检查原理图的信号线有无漏接,信号有无双重来源,文本输入文件中关键字有无错误等,并及时标出错误的位置,供设计者修改。然后进行设计规则检验,检查总的设计有无超出器件资源或规定的限制,并将编译报告列出,指明违反规则和潜在不可靠电路的情况以供设计者纠正。

#### 2) 逻辑优化和综合

逻辑优化是化简所有的逻辑方程或用户自建的宏,使设计所占用的资源最少。综合的目的是将多个模块化设计文件合并为一个网表文件,并使层次设计平面化(即展平)。

在利用 VHDL 设计过程中,综合(Synthesis)就其描述方式来说,是软件描述与硬件结构相联系的关键步骤,是文字描述与硬件实现的一座桥梁,是突破软硬件屏障的有力武器。综合就是将电路的高级语言如行为描述转换成低级的可与 FPGA/CPLD 或构成 ASIC 的门阵列基本结构相映射的网表文件或程序,EDA 的实现在很大程度上依赖于性能良好的综合器,因此 VHDL 程序设计必须完全适应 VHDL 综合器的要求,使软件设计牢固植根于可行的硬件实现中。当然也应注意到,并非所有可综合的 VHDL 程序都能在硬件中实现,这涉及两方面的问题:首先,要看此程序将对哪一系列的目标器件进行综合,例如含有内部三态门描述的 VHDL 程序原则上是可综合的,但对于特定的目标器件系列却不一定支持,即无法在硬件中实现;其次,是资源问题,这是实用 VHDL 面临的最尖锐的问题,例如在 VHDL 程序中直接使用乘法运算符,尽管综合器和绝大多数目标器件都是支持的,但即使是一个 16 位乘 16 位的组合逻辑乘法器在普通规模的 PLD 器件 1 万门左右中也是难以实现的。因此实用的 VHDL 程序设计中必须注意硬件资源的占用问题。

#### 3) 适配和分割

在适配和分割过程中,确定优化以后的逻辑能否与下载目标器件 CPLD 或 FPGA 中的宏单元和 I/O 单元适配,然后将设计分割为多个便于适配的逻辑小块形式映射到器件相应的宏单元中。如果整个设计不能装入一片器件时,可以将整个设计自动分割成多块并装入同一系列的多片器件中去。

分割工作可以全部自动实现,也可以部分由用户控制,还可以全部由用户控制进行。分割时应使所需器件数目和用于器件之间通信的引脚数目尽可能少。

#### 4) 布局和布线

布局和布线工作是在设计检验通过以后由软件自动完成的,它能以最优的方式对逻辑元件布局,并准确地实现元件间的布线互联。布局和布线完成后,软件会自动生成布线报告,提供有关设计中各部分资源的使用情况等信息。

#### 5) 生成编程数据文件

设计处理的最后一步是产生可供器件编程使用的数据文件。对 CPLD 来说,是产生熔丝图文件,即 JEDEC 文件(电子器件工程联合会制定的标准格式,简称 JED 文件);对于 FPGA 来说,是生成比特流数据文件 BG(Bit-stream Generation)。

#### 4. 设计校验

设计校验过程包括功能仿真和时序仿真,这两项工作是在设计处理过程中同时进行的。功能仿真是在设计输入完成之后,选择具体器件在编译之前进行的逻辑功能验证,因此又称为前仿真。此时的仿真没有延时信息或者由系统添加的微小标准延时,这对于初步的功能检测非常方便。仿真前,要先利用波形编辑器或硬件描述语言等建立波形文件或测试向量(即将所关心的输入信号组合成序列),仿真结果将会生成报告文件和输出信号波形,从中便可以观察到各个节点的信号变化。若发现错误,则返回设计输入中修改逻辑设计。

时序仿真是在选择了具体器件并完成布局、布线之后进行的时序关系仿真,因此又称为后仿真或延时仿真。由于不同器件的内部延时不一样,不同的布局、布线方案也给延时造成不同的影响,因此在设计处理以后,对系统和各模块进行时序仿真,分析其时序关系,估计设计的性能及检查和消除竞争冒险等是非常有必要的。

#### 5. 器件编程

编程是指将设计处理中产生的编程数据文件通过软件放到具体的可编程逻辑器件中去。对 CPLD 器件来说是将 JED 文件下载(Download)到 CPLD 器件中去,对 FPGA 来说是将比特流数据 BG 文件配置到 FPGA 中去。

器件编程需要满足一定的条件,如编程电压、编程时序和编程算法等。普通的 CPLD 器件和一次性编程的 FPGA 需要专用的编程器完成器件的编程工作。基于 SRAM 的 FPGA 可以由 EPROM 或其他存储体进行配置。系统可编程器件(ISP-PLD)则不需要专门的编程器,只要一根与计算机互联的下载编程电缆就可以了。

#### 6. 器件测试和设计验证

器件在编程完毕之后,可以用编译时产生的文件对器件进行检验、加密等工作,或采用边界扫描测试技术进行功能测试,测试成功后才完成其设计。

设计验证可以在 EDA 硬件开发平台上进行。EDA 硬件开发平台的核心部件是一片可编程逻辑器件 FPGA 或 CPLD,再附加一些输入/输出设备,如按键、数码显示器、指示灯和喇叭等,还提供时序电路需要的脉冲源。将设计电路编程下载到 FPGA 或 CPLD 中,根据 EDA 硬件开发平台的操作模式要求,进行相应的输入操作,然后检查输出结果,验证设计电路。

## 1.4 EDA 技术的主要内容及主要的 EDA 厂商

EDA 技术涉及面广,内容丰富,从教学和实用的角度看,主要应掌握如下 4 个方面的内容:① 大规模可编程逻辑器件;② 硬件描述语言;③ 软件开发工具;④ 实验开发系统。其中,大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体,硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段,软件开发工具是利用 EDA 技术进行电子系统设计的智能化的自动化设计工具,实验开发系统则是利用 EDA 技术进行电子系统设

计的下载工具及硬件验证工具。下面对 EDA 技术的主要内容进行概要的介绍。

### 1. 大规模可编程逻辑器件

可编程逻辑器件(PLD)是一种由用户编程来实现某种逻辑功能的新型逻辑器件,主要包括现场可编程门阵列(FPGA)和复杂可编程逻辑器件(CPLD)两大类。国际上生产 FPGA/CPLD 的主流公司,并且在国内占据市场份额较大的主要是 Xilinx、Altera 和 Lattice 等 3 家公司。FPGA 在结构上主要分为 3 个部分:可编程逻辑单元、可编程输入/输出单元和可编程连线。CPLD 在结构上主要包括 3 个部分:可编程逻辑宏单元、可编程输入/输出单元和可编程内部连线。

FPGA/CPLD 最明显的特点是集成度高、速度快和高可靠性,其时钟延时可小至纳秒级,结合其并行工作方式,在超高速应用领域和实时测控方面有着非常广阔的应用前景。在高可靠应用领域,如果设计得当,将不会存在类似于 MCU 的复位不可靠和 PC 的跑飞等问题。FPGA/CPLD 的高可靠性还表现在几乎可将整个系统下载于同一芯片中,实现所谓片上系统,从而大大缩小了体积,易于管理和屏蔽。

与 ASIC 设计相比,FPGA/CPLD 显著的优势是开发周期短、投资风险小、产品上市速度快、市场适应能力强和硬件升级回旋余地大,而且当产品定型和产量扩大后,可将在生产中达到充分检验的 VHDL 设计迅速实现 ASIC 投产。

对于一个开发项目,究竟是选择 FPGA 还是选择 CPLD,主要看开发项目本身的需要。对于普通规模,且产量不是很大的产品项目,通常使用 CPLD 比较好。对于大规模的 ASIC 设计或单片系统设计,则多采用 FPGA。另外,FPGA 掉电后将丢失原有的逻辑信息,所以在实用中需要为 FPGA 芯片配置一个专用 ROM。

### 2. 软件开发工具

目前比较流行的、主流厂家的 EDA 软件工具有 Altera 的 Max+plus II、Quartus II, Lattice 的 ispExPERT, Xilinx 的 Foundation Series 等。

Max+plus II 是 Altera 公司推出的一个使用非常广泛的 EDA 软件工具,它支持原理图、VHDL 和 Verilog 语言的文本文件,以及波形图与 EDIF 等格式的文件作为设计输入,并支持这些文件的任意混合设计。它具有门级仿真器,可以进行功能仿真和时序仿真,能够产生精确的仿真结果。在适配之后,Max+plus II 生成供时序仿真用的 Edif、VHDL 和 Verilog 3 种不同格式的网表文件。Max+plus II 界面友好,使用便捷,被誉为业界最易学易用的 EDA 软件,并支持主流的第三方 EDA 工具,支持除 APEX20K 系列之外的所有 Altera 公司的 FPGA/CPLD 大规模逻辑器件。

Quartus II 是 Altera 公司新近推出的 EDA 软件工具,其设计工具完全支持 VHDL 和 Verilog 的设计流程,其内部嵌有 VHDL、Verilog 逻辑综合器。第三方的综合工具,如 Leonardo Spectrum、Synplify pro 和 FPGA Compiler II 有着更好的综合效果,Quartus II 可以直接调用这些第三方工具,因此通常建议使用这些工具来完成 VHDL/Verilog 源程序的综合。同样,Quartus II 具备仿真功能,也支持第三方的仿真工具,如 Modelsim。此外,Quartus II 为 Altera DSP 开发包进行系统模型设计提供了集成综合环境,它与 MATLAB 和 DSP Builder 结合可以进行基于 FPGA 的 DSP 系统开发,是 DSP 硬件系统实现的关键 EDA 工具。Quartus II 还可与 SOPC Builder 结合,实现 SOPC 系统开发。

ispExPERT 是 Lattice 公司的主要集成环境。通过它可以进行 VHDL、Verilog 及 A-

BEL 语言的设计输入、综合、适配、仿真和在系统下载。ispExPERT 是目前流行的 EDA 软件中最容易掌握的设计工具之一,它界面友好、操作方便、功能强大,并与第三方 EDA 工具兼容良好。

Foundation Series 是 Xilinx 公司较成熟的集成开发 EDA 工具。它采用自动化的、完整的集成设计环境。Foundation 项目管理器集成 Xilinx 实现工具,并包含了强大的书籍 Synopsys FPGA Express 综合系统,是业界最强大的 EDA 设计工具之一。

EDA 工具层出不穷,目前进入我国并具有广泛影响的 EDA 软件有:EWB、PSPICE、OrCAD、PCAD、Protel、Viewlogic、Mentor、Graphics、Synopsys、LSIlogic、Cadence、Micro-Sim 等。这些工具都有较强的功能,一般可用于几个方面,例如很多软件都可以进行电路设计与仿真,同时也可以进行 PCB 自动布局布线,可输出多种网表文件与第三方软件接口。下面按主要功能或主要应用场合,分为电子电路设计与仿真工具、PCB 设计软件、IC 设计软件、PLD 设计工具及其他 EDA 软件,进行简单介绍。

#### 1) 电子电路设计与仿真工具

电子电路设计与仿真工具包括 SPICE/PSPICE、EWB、MATLAB、System View、MMI-CAD 等。

下面简单介绍前 3 个软件。

(1) SPICE(Simulation Program with Integrated Circuit Emphasis)是由美国加州大学推出的电路分析仿真软件,是 20 世纪 80 年代世界上应用最广的电路设计软件,1998 年被定为美国国家标准。1984 年,美国 MicroSim 公司推出了基于 SPICE 的微机版 PSPICE(Personal-SPICE)。现在用得较多的是 PSPICE 6.2,可以说在同类产品中,它是功能最为强大的模拟和数字电路混合仿真 EDA 软件,在国内普遍使用。最新推出了 PSPICE 9.1 版本。它可以进行各种各样的电路仿真、激励建立、温度与噪声分析、模拟控制、波形输出、数据输出,并在同一窗口内同时显示模拟与数字的仿真结果。无论对哪种器件哪些电路进行仿真,都可以得到精确的仿真结果,并可以自行建立元器件及元器件库。

(2) EWB(Electronic Workbench)软件是 Interactive Image Technologies Ltd 在 20 世纪 90 年代初推出的电路仿真软件。目前普遍使用的是 EWB 5.2,相对于其他 EDA 软件,它是较小巧的软件(只有 16 M)。但它对模数电路的混合仿真功能却十分强大,几乎能 100%地仿真出真实电路的结果,并且它在桌面上提供了万用表、示波器、信号发生器、扫频仪、逻辑分析仪、数字信号发生器、逻辑转换器和电压表、电流表等仪器仪表。它的界面直观,易学易用。它的很多功能模仿了 SPICE 的设计,但分析功能比 PSPICE 稍少一些。

(3) MATLAB 产品族的一大特性是有众多的面向具体应用的工具箱和仿真块,包含了完整的函数集,用来对图像信号处理、控制系统设计、神经网络等特殊应用进行分析和设计。它具有数据采集、报告生成和 MATLAB 语言编程产生独立 C/C++ 代码等功能。MATLAB 产品族具有下列功能:数据分析、数值和符号计算、工程与科学绘图、控制系统设计、数字图像信号处理、财务工程、建模、仿真、原型开发、应用开发、图形用户界面设计等。MATLAB 产品族被广泛地应用于信号与图像处理、控制系统设计、通讯系统仿真等诸多领域。开放式的结构使 MATLAB 产品族很容易针对特定的需求进行扩充,从而在不断深化对问题的认识的同时,提高自身的竞争力。



## 2) PCB 设计软件

PCB (Printed-Circuit Board)设计软件种类很多,如 Protel、OrCAD、Viewlogic、Power PCB、Cadence PSD、MentorGraphics 的 Expedition PCB、Zuken CadStart、Winboard/Win-draft/Ivex-SPICE、PCB Studio、TANGO 等。目前我国用得最多的应属 Protel,Protel 是 PROTEL 公司在 20 世纪 80 年代末推出的 CAD 工具,是 PCB 设计者的首选软件。它较早在国内使用,普及率最高,有些高校的电路专业还专门开设 Protel 课程,几乎所有的电路公司都要用到它。早期的 Protel 主要作为印刷板自动布线工具使用,现在普遍使用的是 Protel 99 SE,它是个完整的全方位电路设计系统,包含了电路原理图绘制、模拟电路与数字电路混合信号仿真、多层印刷电路板设计(包含印刷电路板自动布局布线)、可编程逻辑器件设计、图表生成、电路表格生成、支持宏操作等功能,并具有 Client/Server(客户/服务器)体系结构,同时还兼容一些其他设计软件的文件格式,如 ORCAD、PSPICE、Excel 等。使用多层印制线路板的自动布线,可实现高密度 PCB 的 100%布通率。Protel 软件功能强大,界面友好,使用方便,但它最具代表性的是电路设计和 PCB 设计。

## 3) IC 设计软件

IC 设计工具很多,其中按市场所占份额排行为 Cadence、Mentor Graphics 和 Synopsys。这 3 家都是 ASIC 设计领域相当有名的软件供应商,其他公司的软件相对来说使用者较少。中国华大公司也提供 ASIC 设计软件(熊猫 2000),另外近年来出名的 Avanti 公司,是原来在 Cadence 的几个华人工程师创立的,他们的设计工具可以全面和 Cadence 公司的工具相抗衡,非常适用于深亚微米的 IC 设计。下面按用途对 IC 设计软件作一些介绍。

(1) 设计输入工具。这是任何一种 EDA 软件必须具备的基本功能。例如 Cadence 的 composer,Viewlogic 的 viewdraw,硬件描述语言 VHDL、Verilog HDL 是主要设计语言,许多设计输入工具都支持 HDL。另外,Active-HDL 和其他的设计输入方法,包括原理和状态机输入方法,设计 FPGA/CPLD 的工具大都可作为 IC 设计的输入手段。

(2) 设计仿真工作。我们使用 EDA 工具的一个最大好处是可以验证设计是否正确,几乎每个公司的 EDA 产品都有仿真工具。Verilog-XL、NC-verilog 用于 Verilog 仿真,Leap-frog 用于 VHDL 仿真,Analog Artist 用于模拟电路仿真。Viewlogic 的仿真器有:viewsim 门级电路仿真器,speedwaveVHDL 仿真器,VCS-Verilog 仿真器,Mentor Graphics 有其子公司 Model Tech 出品的 VHDL 和 Verilog 双仿真器,Model Sim、Cadence、Synopsys 用的是 VSS(VHDL 仿真器)。现在的趋势是各大 EDA 公司都逐渐用 HDL 仿真器作为电路验证的工具。

(3) 综合工具可以把 HDL 变成门级网表。这方面 Synopsys 工具占有较大的优势,它的 Design Compile 是综合的工业标准,它还有另外一个产品叫 Behavior Compiler,可以提供更高级的综合。另外,最近美国又出了一种软件叫 Ambit,比 Synopsys 的软件更有效,可以综合 50 万门的电路,速度更快。Ambit 现在被 Cadence 公司收购,为此 Cadence 放弃了它原来的综合软件 Synergy。随着 FPGA 设计的规模越来越大,各 EDA 公司又开发了用于 FPGA 设计的综合软件,比较有名的有:Synopsys 的 FPGA Express,Cadence 的 Synplity,Mentor 的 Leonardo,这 3 家的 FPGA 综合软件占了市场的绝大部分。

(4) 布局和布线。在 IC 设计的布局布线工具中,Cadence 软件是比较强的,它有很多产品,用于标准单元。门阵列已可实现交互布线,最有名的是 Cadence spectra,它原来是用于

PCB 布线的,后来 Cadence 把它用来作 IC 的布线。其主要工具有:Cell3, Silicon Ensemble——标准单元布线器;Gate Ensemble——门阵列布线器;Design Planner——布局工具。其他各 EDA 软件开发公司也提供各自的布局布线工具。

(5) 物理验证工具包括版图设计工具、版图验证工具、版图提取工具等。这方面 Cadence 也是很强的,其 Dracula、Virtuso、Vampire 等物理工具有很多的使用者。

(6) 模拟电路仿真器。前面讲的仿真器主要是针对数字电路的,对于模拟电路的仿真工具,普遍使用 SPICE。只不过是选择不同公司的 SPICE,如 MicroSim 的 PSPICE、Meta Soft 的 HSPICE 等,HSPICE 现在被 Avanti 公司收购了。在众多的 SPICE 中,最好最准的当数 HSPICE,作为 IC 设计,它的模型最多,仿真的精度也最高。

#### 4) PLD 设计工具

PLD(Programmable Logic Device)是一种由用户根据需要而自行构造逻辑功能的数字集成电路。目前主要有两大类型:CPLD(Complex PLD)和 FPGA(Field Programmable Gate Array)。它们的基本设计方法是借助于 EDA 软件,用原理图、状态机、布尔表达式、硬件描述语言等方法,生成相应的目标文件,最后用编程器或下载电缆,由目标器件实现。生产 PLD 的厂家很多,最有代表性的为 Altera、Xilinx 和 Lattice 公司。

PLD 的开发工具一般由器件生产厂家提供,但随着器件规模的不断增加,软件的复杂性也随之提高,目前主要由专门的软件公司与器件生产厂家合作,推出功能强大的设计软件。PLD(可编程逻辑器件)是一种可以完全替代 74 系列及 GAL、PLA 的新型电路,只要有数字电路基础,会使用计算机,就可以进行 PLD 的开发。PLD 的在线编程能力和强大的开发软件,使工程师可以在几天,甚至几分钟内完成以往几周才能完成的工作,并将数百万门的复杂设计集成在一片芯片内。PLD 技术在发达国家已成为电子工程师必备的技术。

#### 5) 其他 EDA 软件

(1) VHDL 语言超高速集成电路硬件描述语言(VHSIC Hardware Description Language,简称 VHDL)是 IEEE 的一项标准设计语言。它源于美国国防部提出的超高速集成电路(Very High Speed Integrated Circuit,简称 VHSIC)计划,是 ASIC 设计和 PLD 设计的一种主要输入工具。

(2) Verilog HDL 是 Verilog 公司推出的硬件描述语言,在 ASIC 设计方面与 VHDL 语言平分秋色。

(3) 其他 EDA 软件,如专门用于微波电路设计和电力载波工具,PCB 制作和工艺流程控制等领域的工具,在此就不作介绍了。

#### 3. 硬件描述语言

EDA 设计通常采用硬件描述语言文本输入方式,另外还有简单易学的原理图和波形图输入方式。常用的硬件描述语言有 VHDL 语言、Verilog 语言和 ABEL 语言。VHDL 语言作为 IEEE 的工业标准硬件描述语言,在电子工程领域已成为事实上的通用硬件描述语言。Verilog 语言支持的 EDA 工具较多,适用于 RTL 级和门电路级的描述,其综合过程较 VHDL 简单,但在高级描述方面不如 VHDL。ABEL 语言是一种支持各种不同输入方式的 HDL,被广泛用于各种可编程逻辑器件的逻辑功能设计。由于其语言描述的独立性而适用于各种不同规模的可编程器件的设计。有专家认为,未来 VHDL 与 Verilog 语言将承担几乎全部的数字系统设计任务。