



计算机组成原理 实验及课程设计

(基于EDA平台)

秦磊华 王小兰 编著



华中科技大学出版社

<http://www.hustp.com>



计算机组成原理 实验及课程设计

(基于EDA平台)

秦磊华 王小兰 编著



华中科技大学出版社

<http://www.hustp.com>

中国·武汉

图书在版编目(CIP)数据

计算机组成原理实验及课程设计(基于 EDA 平台)/秦磊华 王小兰 编著. —武汉:
华中科技大学出版社, 2010 年 6 月

ISBN 978-7-5609-5956-6

I. 计… II. ①秦… ②王… III. ①计算机体系结构-实验-高等学校-教学参考资料
②计算机体系结构-课程设计-高等学校-教学参考资料 IV. TP303

中国版本图书馆 CIP 数据核字(2010)第 013061 号

计算机组成原理实验及课程设计(基于 EDA 平台) 秦磊华 王小兰 编著

责任编辑:熊 慧

封面设计:潘 群

责任校对:李 琴

责任监印:熊庆玉

出版发行:华中科技大学出版社(中国·武汉)

武昌喻家山 邮编:430074 电话:(027)87557437

录 排:武汉众欣图文照排

印 刷:湖北新华印务有限公司

开本:787mm×1092mm 1/16

印张:7.25

字数:170 000

版次:2010 年 6 月第 1 版

印次:2010 年 6 月第 1 次印刷

定价:13.80 元

ISBN 978-7-5609-5956-6/TP·716

(本书若有印装质量问题,请向出版社发行部调换)



《计算机组成原理实验及课程设计(基于 EDA 平台)》包含了计算机组成原理实验和课程设计两部分内容。全书共 5 章和 3 个附录;第 1 章以 Altera 公司的 Quartus II 为例,对 EDA 开发环境及使用方法进行了较详细的介绍;第 2 章对基于 FPGA 的 JZYL-II 型计算机组成原理实验平台的结构、功能分区、基本使用方法等进行了说明;第 3 章介绍基于 JZYL-II 型平台的实验项目,包括运算器组成实验、半导体存储器组成实验、时序电路实验、微程序控制器实验、数据通路实验、乘法运算实验、除法运算实验等七个基本实验,其中部分实验提供了基于芯片连接和基于 FPGA 两种实验方案;第 4 章是课程设计方案,包括课程设计的基本原理、所用到的芯片、课程设计方案的分析;第 5 章对 VHDL 语法规则和基于 VHDL 的逻辑器件设计进行了简要的介绍;附录涉及本书实验项目中常用芯片的功能和结构及常用逻辑符号对照表。另外,本书还包括教学实验安排与基本要求等内容。本书可作为高等院校计算机或相关专业“计算机组成原理”课程的实验指导教材,也可供从事与计算机技术相关的生产、科研人员及其他有关人员参考。

本书在编写过程中得到了华中科技大学计算机学院中心实验室周建国、管军、熊自力、吴秀敏等老师的大力帮助。另外,2004 级的方运潭、张红林同学,以及 2005 级的郭培同学、2006 级的王力等同学为实验项目的验证和实施做了大量工作。在此一并表示感谢!

由于作者水平有限,书中难免有错误和不妥之处,敬请读者提出宝贵意见。

编 者

2009 年 12 月

参考文献



- [1] 薛宏熙,胡秀珠. 计算机组成与设计[M]. 北京:清华大学出版社,2007.
- [2] 番松,潘明. 现代计算机组成原理[M]. 北京:科学技术出版社,2007.
- [3] 易小琳,朱文军,鲁鹏程. 计算机组成原理实践教程——基于 EDA 平台[M]. 北京:北京航空航天大学出版社,2006.
- [4] 谢树煜,周继群,李潮激. 计算机组成原理实验指导[M]. 北京:清华大学出版社,2004.
- [5] 方恺晴. 基于 EDA 技术的计算机组成原理实验[M]. 长沙:湖南大学出版社,2006.
- [6] 高建生,莫正坤,谭志虎. 计算机组成原理[M]. 武汉:华中科技大学出版社,2004.
- [7] 莫正坤,邵平凡. 计算机组成原理[M]. 广州:中山大学出版社,2004.
- [8] 刘爱蓉,王振成. EDA 技术与 CPLD/FPGA 开发应用简明教程[M]. 北京:清华大学出版社,2007.



第 1 章 EDA 技术及开发环境介绍	(1)
1.1 EDA 技术及发展概况	(1)
1.2 EDA 技术的主要内容	(1)
1.3 EDA 设计流程	(4)
1.4 Quartus II 安装与配置	(5)
第 2 章 JZYL-II 型实验平台说明	(25)
2.1 实验平台局部图	(25)
2.2 实验平台的功能模块	(25)
2.3 实验平台的特点	(28)
第 3 章 实验方案及内容	(29)
3.1 运算器组成实验	(29)
3.2 半导体存储器组成实验	(35)
3.3 时序电路实验	(40)
3.4 微程序控制器实验	(42)
3.5 数据通路实验	(48)
3.6 乘法运算实验	(53)
3.7 除法运算实验	(55)
第 4 章 计算机组成原理课程设计	(57)
4.1 课程设计的目的和要求	(57)
4.2 模型机总体结构设计	(58)
4.3 指令系统设计	(61)
4.4 控制器设计	(62)
4.5 模型机的设计流程	(69)
4.6 设计及其调试过程中几个特殊问题的处理	(72)
4.7 简单计算机系统的设计与实现	(74)
第 5 章 VHDL 语言简介	(78)
5.1 VHDL 概述	(78)

5.2	VHDL 的基本构成	(78)
5.3	VHDL 基本数据对象与数据类型	(81)
5.4	VHDL 表达式与运算符	(85)
5.5	VHDL 常用语句	(87)
附录 A FPGA 的使用建议		(95)
附录 B 本实验指导书所使用的芯片		(98)
附录 C 常用逻辑符号对照表		(106)
参考文献		(107)

第1章 EDA 技术及开发环境介绍

1.1 EDA 技术及发展概况

EDA(Electronic Design Automation)即电子设计自动化,是指以大规模可编程逻辑器件为设计载体,以硬件描述语言为系统逻辑描述的主要表达方式,以计算机、大规模可编程逻辑器件的开发软件及实验开发系统为设计工具,通过有关的开发软件,自动完成从用软件方式设计的电子系统到硬件系统的逻辑编译、逻辑化简、逻辑综合及优化、逻辑布局布线、逻辑仿真,直至完成对特定目标芯片的适当编译、逻辑映射、编程下载等工作,最后形成集成电子系统或专用集成芯片的一门新技术。

随着计算机、集成电路及电子系统设计的发展,EDA 技术经历了计算机辅助设计(computer aided design,简称 CAD)、计算机辅助工程设计(computer assist engineering,简称 CAE)和电子设计自动化等三个发展阶段。

应用 EDA 技术进行电子系统的设计,具有以下特点:

- (1) 用软件方式设计硬件,方便修改,既经济又加速了设计和开发过程;
 - (2) 用软件方式设计的系统到硬件系统的转换由开发软件自动完成,降低了设计难度;
 - (3) 设计过程中可以使用相关软件的仿真功能,提前对所设计的系统或芯片的功能进行验证;
 - (4) 系统可现场编程和在线升级,方便系统优化和完善;
 - (5) 整个系统可在一个可编程芯片中实现,具有体积小、功耗低及可靠性高的特点。
- 因此,EDA 技术是现代电子设计的发展趋势。

1.2 EDA 技术的主要内容

EDA 技术涉及面广、内容丰富,涉及的主要内容包括硬件描述语言(hardware description language,简称 HDL)、可编程逻辑器件(programmable logic device,简称 PLD)、软件开发工具和开发平台。

1.2.1 HDL

HDL 是一种用形式化方法描述数字电路和系统的语言。利用这种语言,数字电路系

统的设计可以从上层到下层(从抽象到具体)逐层描述设计思想,用一系列分层次的模块来表示极其复杂的数字系统。然后,利用 EDA 工具,逐层进行仿真验证,再把其中需要变为实际电路的模块组合,经过自动综合工具转换到门级电路网表,并用专用集成电路 ASIC 或现场可编程门阵列 FPGA 的自动布局布线工具,把网表转换为要实现的具体电路布线结构。

目前最具代表性的 HDL 是 VHDL (very-high-speed integrated circuit hardware description language) 和 Verilog HDL。VHDL 作为 IEEE (Institute of Electrical and Electronics Engineers) 的工业标准硬件描述语言,在电子工程领域已成为事实上的通用硬件描述语言。Verilog HDL 的特点是支持的 EDA 工具较多,适用于寄存器传输级和门电路级的描述,其综合过程较 VHDL 稍简单,但在高级描述方面不如 VHDL。

1.2.2 PLD

PLD 是一种由用户根据需要而自行构造逻辑功能的数字集成电路,目前主要有两大类型:CPLD(complex PLD)和 FPGA(field programmable gate array)。它们的基本设计方法是借助 EDA 软件,用原理图、状态机、布尔表达式、HDL 等,生成相应的目标文件后,用编程器或电缆下载到目标器件,由目标器件实现所设计的逻辑功能。

PLD 可以替代 74 系列芯片和 GAL、PLA 设计相应的数字逻辑电路或数字系统。使用 PLD 设计数字系统,方式非常灵活,用户可根据需要反复地编程、擦除或在外围电路不变的情况下经过重新编程而实现不同的功能。目前,生产 PLD 的厂家很多,最有代表性的有 Altera、Xilinx 和 Lattice 公司。

FPGA 和 CPLD 最明显的特点是高速度、高集成度和高可靠性。高速度表现在它的时钟延时可达纳秒级,结合并行工作方式,在超高速应用领域和实时测控方面有着非常广阔的应用前景;高集成度和高可靠性表现在几乎可将整个系统集成于同一芯片中,实现片上系统,从而大大缩小了系统体积,也易于管理。

FPGA 由可编程阵列逻辑(PAL)、通用阵列逻辑(GAL)发展而来,它的基本设计思想是借助 EDA 开发工具,用原理图、状态机、布尔表达式、HDL 等进行系统功能及算法描述,设计并生成编程文件,最后通过编程器或下载电缆用目标器件来实现。

FPGA 器件采用逻辑单元阵列(logic cell array,简称 LCA)结构、SDRAM 工艺,其中 LCA 由以下三类可编程单元组成。

1) 可配置逻辑块(configurable logic block,简称 CLB)

这是核心阵列,是实现自定义逻辑功能的基本单元,散布于整个芯片。

2) 输入/输出模块(input/output block,简称 IOB)

输入/输出模块排列于芯片四周,为内部逻辑与器件封装引脚之间提供可编程接口。

3) 可编程互联资源(programmable interconnect,简称 PI)

可编程互联资源包括不同长度的连线线段及连接开关,其功能是将各个 CLB 或 IOB 连接起来以构成特定电路。

全球生产 FPGA 的厂家很多,但影响力最大的是 Xilinx 公司和 Altera 公司,世界上第一片 FPGA 是在 20 世纪 80 年代中期由 Xilinx 公司率先推出的。不同厂家生产的 FPGA 在 CLB 的规模、内部互连线结构及所采用的可编程元件上存在较大差异,实际使用时应注意区分。

1.2.3 EDA 软件开发工具

目前在国内比较流行的 EDA 软件工具主要有 Altera 公司的 Quartus II、Lattice 公司的 ispLEVER 和 Xilinx 公司的 Foundation 等。

1. Quartus II

Quartus II 是 Altera 公司提供的 FPGA/CPLD 开发集成环境,界面友好,使用便捷,被誉为业界最易用、易学的 EDA 软件。在 Quartus II 上可以完成设计输入、元件适配、时序仿真和功能仿真、编程下载整个流程,它提供了一种与结构无关的设计环境。借助它,设计者能方便地进行设计输入、快速处理和器件编程。

2. ispLEVER

ispLEVER 是 Lattice 公司的一个完整的 FPGA/CPLD 设计软件,能帮助用户完成从概念出现到产品成型的设计。ispLEVER 包含许多有力的开发工具,用于设计输入、项目管理、IP 集成、器件映射、布局和布线,以及在线系统逻辑分析等。

ispLEVER (Windows) 包含 Lattice 公司的合作伙伴 Synplicity 公司和 Mentor Graphics 公司的第三方工具,这些工具用于综合和仿真。

通过 ispLEVER 可以进行 VHDL、Verilog HDL 及 ABEL HDL 的设计输入、综合、适配、仿真和在线系统下载。ispLEVER 界面友好,操作方便,功能强大,并与第三方 EDA 工具兼容良好。

3. Foundation

Foundation 是 Xilinx 公司最新集成开发的 EDA 工具。它采用自动化的、完整的集成设计环境。Foundation 的项目管理器集成了 Xilinx 公司的实现工具,并包含了强大的 Synopsys FPGA Express 综合系统,是业界强大的 EDA 设计工具之一。

1.2.4 开发平台

EDA 设计需要相应的开发平台,以提供芯片下载电路及 EDA 实验/开发的外围资源,供硬件验证使用。开发平台包括以下几个部分:

- (1) 实验或开发所需要的各类基本信号发生模块,包括时钟、脉冲,以及高、低电平等;
- (2) 输入、显示模块,如拨动开关、数码显示、LED 显示等;

- (3) 监控程序模块,提供智能配置、控制及故障诊断等功能;
- (4) 目标芯片适配插座及 CPLD/FPGA 目标芯片和编程下载电路。

1.3 EDA 设计流程

对于目前流行的 EDA 工具软件,可采用如图 1-1 所示的开发流程进行 EDA 设计。

1. 设计输入

将所设计的系统输入 EDA 软件平台是 EDA 设计流程的第一步,也是系统设计的开始。常见的 EDA 工具一般都支持多种输入方法,如原理图输入法、状态图输入法、波形图输入法和 HDL 文本输入法等。最为常用的是原理图输入法和 HDL 文本输入法。

1) 原理图输入法

原理图输入法是指利用 EDA 工具提供的图形编辑器在 EDA 软件的图形编辑界面中,直接调用 EDA 软件库中预制的功能模块(如与门、或门、触发器、各种 74 系列的集成电路功能块、经过特殊设计的 IP 核)、逻辑器件(符号)和连接线直接绘制电路原理图。该法适用于程序员对系统及各部分电路都很熟悉的情况,或在系统对时间特性要求较高的场合。

具体操作为“File”→“New”→“Device Design Files”→“Block Diagram”。

2) HDL 文本输入法

HDL 文本输入法的输入过程类似于原理图输入法。所不同的是,HDL 文本输入法开始时不是建立图形文件,而是建立文本文件。目前的 EDA 工具软件基本都支持 HDL 文本输入方式。常用的高层 HDL 有 VHDL 和 Verilog HDL。

具体操作为“File”→“New”→“Device Design Files”→“VHDL file(Verilog HDLfile)”。

2. 综合

综合就是一个从高层次到低层次、从行为域到结构域的设计转换过程,即将高级的设计描述翻译和优化到门级网表文件的过程,如将 HDL 或原理图等形式的设计输入转换成由基本门、RAM、触发器等基本逻辑单元组成的逻辑网表,并根据目标与要求(约束条件)优化所生成的逻辑网表,输出标准格式的网表文件,供 FPGA 厂商的布局布线器实现。

EDA 综合工具的出现,使电子系统的设计者将主要精力集中在系统级设计与优化上,从而摆脱了繁杂的低层次设计,大大提高了设计效率。

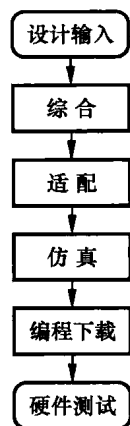


图 1-1 应用于 FPGA 的 EDA 开发流程

3. 适配

适配就是将综合产生的网表文件配置于指定的目标器件,并产生最终的下载文件。适配所选定的目标器件(如 FPGA)必须属于综合阶段指定的目标器件系列。逻辑综合通过后,利用适配将网表文件针对某一具体的目标器件进行逻辑映射操作,其中包括配置、逻辑分割、逻辑优化、逻辑布局布线操作。适配完成后,可以利用适配所产生的仿真文件进行精确的时序仿真,同时产生可用于编程的文件。

4. 仿真

仿真就是利用所设计的电路或系统进行模拟,以验证设计、排除错误。仿真是 EDA 设计过程中的重要步骤,包括时序仿真和功能仿真。前者验证所设计系统的时序关系是否正确,后者验证所设计系统的功能是否符合要求。

5. 编程下载

把适配后生成的下载或配置文件通过编程器或编程电缆向 FPGA 下载,以便进行硬件调试和验证。

6. 硬件测试

对已经下载到 FPGA 或 CPLD 中的硬件系统进行功能测试,以便最终验证设计项目在目标系统上的实际工作情况,从而排除错误、改进设计。

1.4 Quartus II 安装与配置

本节以 Quartus II 6.0 为例详细介绍其安装及使用过程。

1. 安装过程

和一般的软件安装相同,在安装 Quartus II 6.0 过程中,指定安装路径时需用英文,且安装路径中最好不要出现空格。根据需要可裁剪、定制软件,尤其是当磁盘空间有限、为节约磁盘空间时,可选择安装最核心、最重要的部分,对不重要的部分可不予以安装。基本过程如下。

(1) 插入 Quartus II 6.0 安装光盘后,安装程序会自动运行,屏幕上出现安装界面。用户也可以通过手动运行光盘中的安装程序文件“Install.exe”,启动安装界面。

(2) 选择“Install Quartus II Software”选项,在安装向导完成之后,按照安装程序的提示一步步地完成安装。

(3) 第一次运行 Quartus II 6.0 时,将出现 Quartus II 6.0 管理窗口,同时会在管理窗口上出现提示信息,提示用户设置授权文件。

2. 配置 license

EDA 工具的 license 一般与网卡号关联。未建立 license 就使用软件时,会弹出如图 1-2 所示的对话框。若没有有效的 license 文件,无法使用该软件或者只能使用该软件的部分功能,这时可以选中对话框中第三项“Specify valid license file”来指定有效的 license 文件(安装软件中一般会提供一个以 .dat 为扩展名的 license 文件)。

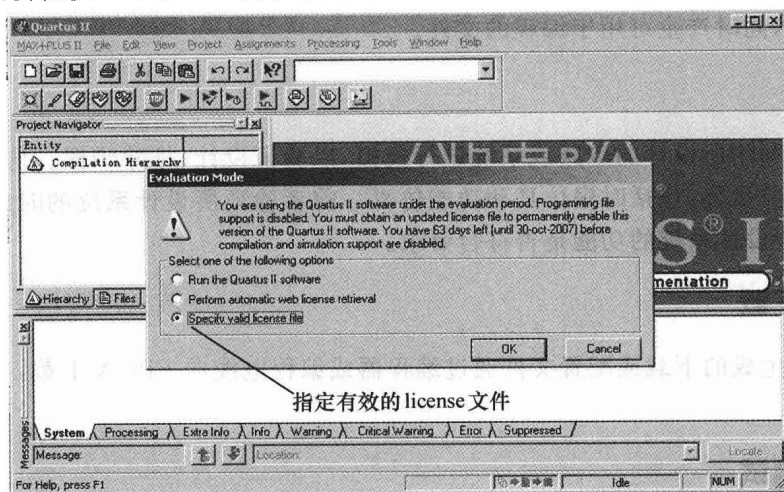


图 1-2 选择指定有效 license 文件的选项

在“Tools”菜单下选择“License Setup”,即进入如图 1-3 所示的对话框。可看到 license 文件所处路径及系统的网卡号信息。复制网卡号,单击“OK”按钮,找到 license 文件,用记事本打开,根据 license 的修改说明把其中的 Host ID 全部用本机网卡号替换,然后保存。

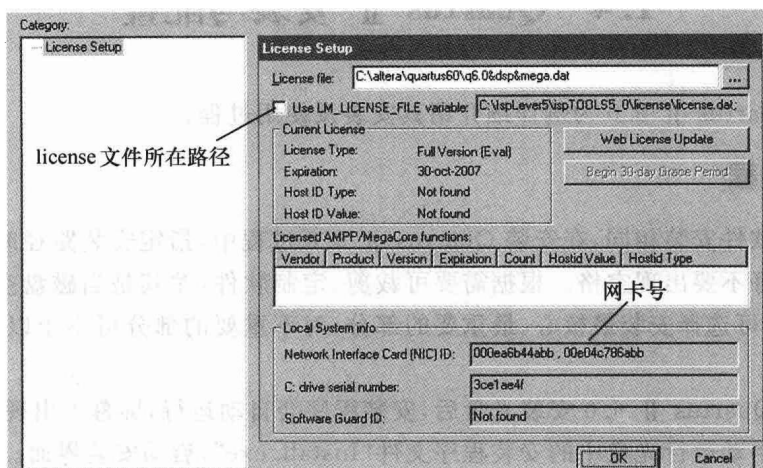


图 1-3 建立 license 的对话框

完成上述工作后,再次进入“License Setup”对话框,可看到如图 1-4 所示的对话框中“Licensed AMPP/MegaCore functions”一栏显示的提供商、产品等信息。这说明已成功建立 license。

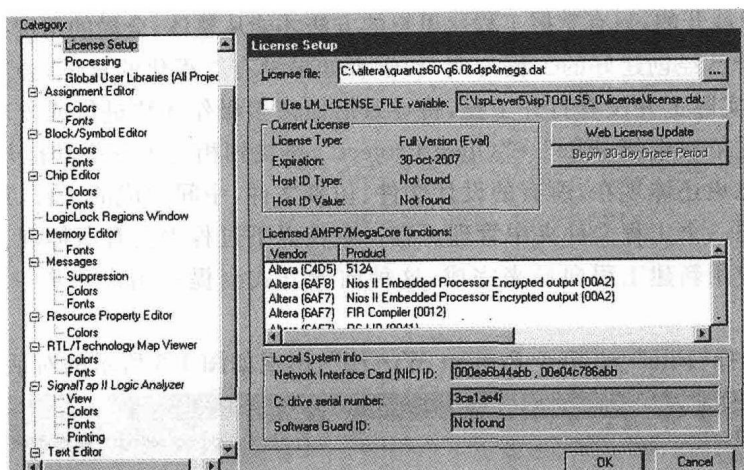


图 1-4 license 支持的产品信息

3. 工作界面设置

在 Quartus II 6.0 安装完毕并建立 license 保证软件可用后,双击桌面上的 Quartus II 6.0 图标,未进行工作界面设置时,将显示 MAX+PLUS II 的界面。MAX+PLUS II 是 Quartus II 的前身。为了方便后面的操作,使操作界面直观,建议把界面更改为 Quartus II 的界面。方法是依次选择“Tools”→“Customize”,在弹出的“Customize”对话框中选择“General”标签下的“Quartus II”单选项,如图 1-5 所示,单击“确定”按钮并重启软件,即出现 Quartus II 的工作界面。

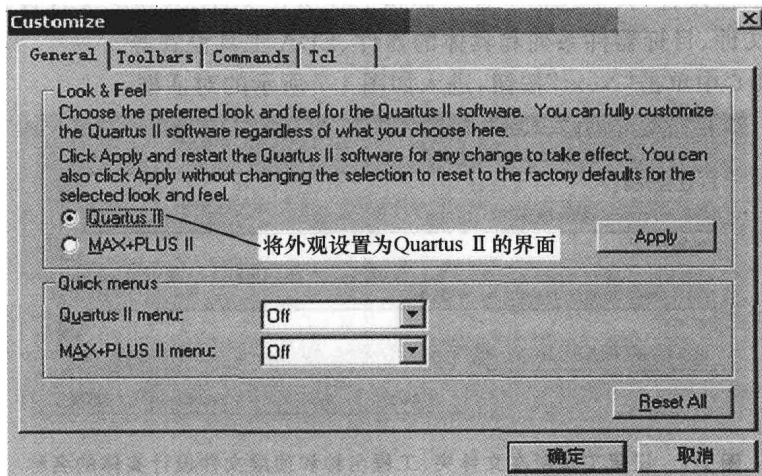


图 1-5 Quartus II 工作界面设置

如果之前曾经进行过工作界面的设置,则启动后直接进入 Quartus II 的工作界面,也不需要再进行任何设置。

4. 创建工程

Quartus II 6.0 采用工程化思想管理每项设计。新建工程、新建设计文件、打开工程等操

作都是围绕工程展开的,只有掌握工程化思想的方法才能从整体、全局的角度把握设计工作。

以打开一个已经创建好的工程为例,初学者如果没有工程化的意识,会直接找到工程文件并打开,这样实际上并没有打开工程,将导致后面诸多操作无法进行或出现错误。打开工程的正确方式是依次选择“File”→“Open Project”,再找到相应工程将其打开。

工程化的思想还体现在,所有的设计文件、仿真文件、中间生成的文件、最后生成的网表文件等都放在同一个工程文件夹中管理。这一点在以下过程中会有所体现。

创建工程使用新建工程向导来完成,这种向导方式会提示用户一步一步地完成工作。具体步骤如下。

(1) 依次选择“File”→“New Project Wizard”,出现如图 1-6 所示的对话框。

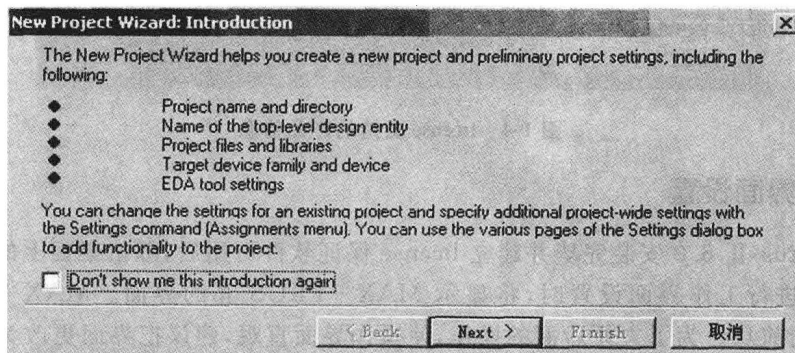


图 1-6 新建工程向导介绍

Quartus II 6.0 新建工程向导的总体介绍如图 1-6 所示。该向导可以帮助建立新的工程和进行相关工程设置,其中包括工程名称和工程所在文件夹、顶层文件设计实体的名称、工程文件和库文件、目标器件系列和具体的器件、EDA 工具设置等。

(2) 在图 1-6 中单击“Next”按钮,进入如图 1-7 所示的对话框。

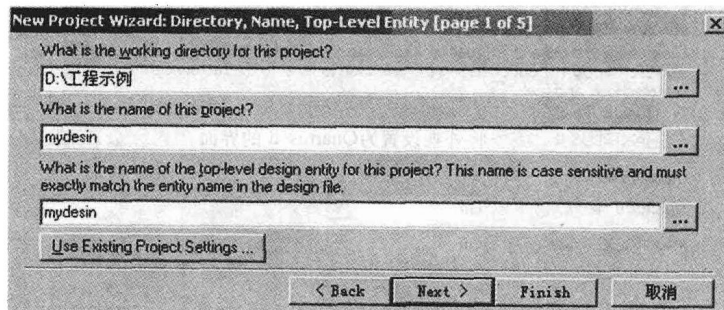


图 1-7 设置工程所在文件夹、工程名称和顶层文件设计实体的名称

在如图 1-7 所示对话框中可以分别设置工程所在文件夹、工程名称和顶层文件设计实体的名称,顶层文件设计实体的名称一般默认保持和工程名一致。

“Use Existing Project Settings”按钮可帮助用户使用已经存在的工程设置。建议将工程名称和顶层文件设计实体的名称命名为有实际意义的英文名,便于工程的维护与管理。工程名称和顶层文件设计实体的名称不能使用中文名字。

顶层设计实体是一个有着重要地位的设计文件。既然有“顶层”这个术语,也就相应地

有“底层”这个术语。现在很多 EDA 工具都提供自上而下的设计管理模式,最上面的是顶层设计文件,下面的就是一些底层设计文件,每一个底层设计文件可视为一个模块。这样的设计管理模式形成了金字塔形状的组织模式。Quartus II 6.0 作为 EDA 工具大家族中的一员,也不例外地提供了自上而下的管理模式,具体而言就反映在顶层设计/底层设计及模块化的思想当中。顶层设计实体是至关重要的一个概念,所有设计文件都统一于顶层设计文件中。编译、模块组装、时序分析等操作都以顶层设计实体为入口。

(3) 在如图 1-7 所示对话框中单击“Next”按钮,进入如图 1-8 所示的对话框。

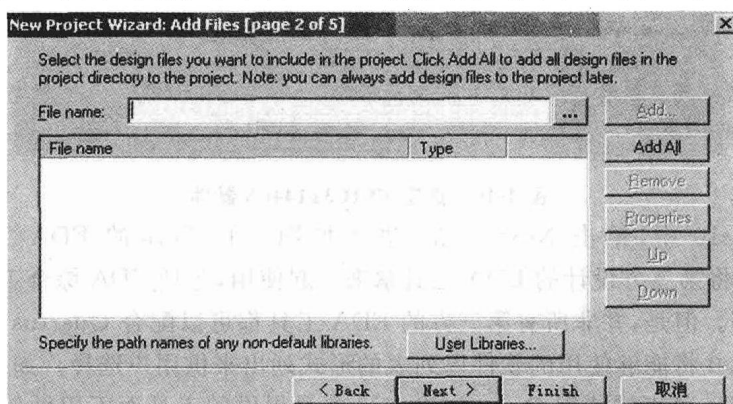


图 1-8 添加已存在的设计文件

由于是新建工程,没有文件可以添加,所以直接单击“Next”按钮,进入如图 1-9 所示的对话框。

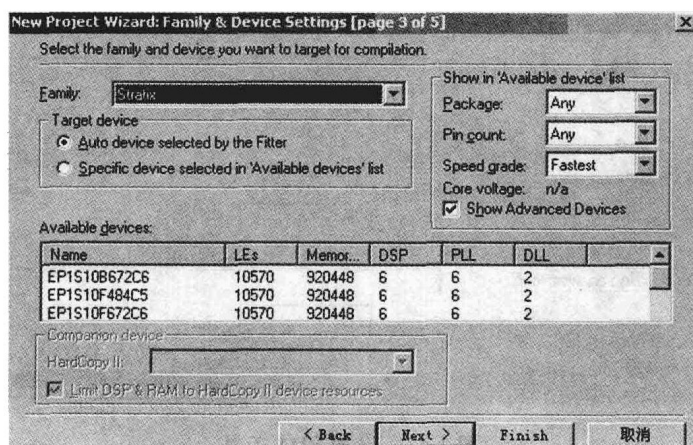


图 1-9 选择器件系列和具体型号的器件

(4) 假设实验台选用的 FPGA 是 Cyclone 系列的 EP1C3T144C8(EP1C3 表示 Cyclone 系列及此器件的规模,T 表示采用 TQFP 封装,C8 表示速度)。以此为例,在如图 1-9 所示对话框中,将器件系列“Family”选择为“Cyclone”,器件封装形式“Package”选择为“TQFP”,引脚数“Pin count”选择为“144”,速度等级“Speed grade”选择为“8”,这样在可用器件列表(“Available devices”列表)中出现了 EP1C3T144C8 和 EP1C6T144C8 两种可供选择的器件,再选中 EP1C3T144C8 器件即可,如图 1-10 所示。这样就完成了器件选型工作。

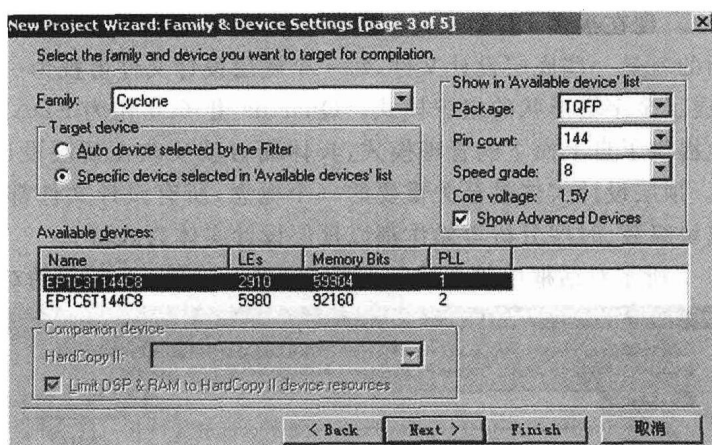


图 1-10 选定 EP1C3T144C8 器件

(5) 在图 1-10 中,单击 Next 按钮,进入如图 1-11 所示的 EDA 工具设置界面。Quartus II 允许将第三方设计的 EDA 工具拿来一起使用,包括 EDA 综合工具、仿真工具和时序分析工具等。但是,并非所有第三方的 EDA 工具都可以配合 Quartus II 6.0 使用,所以 Quartus II 6.0 将能够使用的软件以列表的形式列出来供用户选择。如果没有安装其他第三方 EDA 工具,可直接使用 Quartus II 6.0 本身提供的工具而不用做任何选择。当然,根据实际情况的需要,也可以安装第三方的工具并在如图 1-11 所示界面中选择相应 EDA 工具,同时选择使用这些工具的格式。

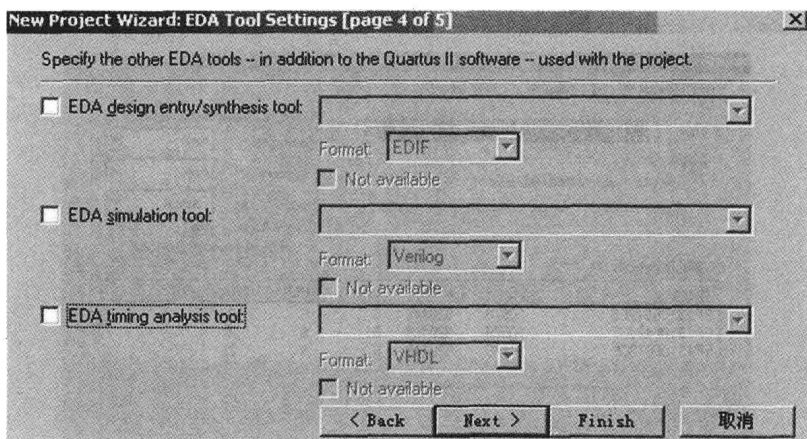


图 1-11 设置 EDA 工具

为便于设计,现在大多数 EDA 在设计、仿真、验证、测试等一系列环节都可配合使用其他 EDA 工具,例如 ModelSim 和 VCS 等。

(6) 在如图 1-11 所示对话框中单击“Next”按钮,进入如图 1-12 所示的对话框。

如图 1-12 所示的对话框给出系统工程设置报告,如果发现其中的部分设置不符合要求,则可单击“Back”按钮返回前面的步骤重新设置,反之,则单击“Finish”按钮结束设置工作。

(7) 前面所做的工程设置是最基本的设置,还需要对工程进行其他设置。依次选择系统菜单中的“Assignments”→“Settings”可以做进一步的设置,如图 1-13 所示。