

VLSI CMOS 的設計原理

張國恩 譯

Neil Weste
Kamran Eshraghian

松崗電腦圖書資料有限公司

VLSI CMOS 的設計原理

張國恩 譯

松崗電腦圖書資料有限公司 印行



松崗電腦圖書資料有限公司已
聘任本律師為常年法律顧問，
如有侵害其著作權或其他權益
者，本律師當依法保障之。

長立國際法律事務所

陳 長 律師



VLSI CMOS的設計原理

譯 者：張 國 恩

發行人：朱 小 珍

發行所：松崗電腦圖書資料有限公司

台北市敦化南路五九三號五樓

電 話：(02) 7082125(代表號)

郵政劃撥：0109030-8

印刷者：建發印刷設計公司

版權所有



翻印必究

每本定價 280 元整

中華民國七十六年 十 月 初 版

書號：5101027

本出版社經行政院新聞局核准登記，登記號碼為局版台業字第三一九六號

目 錄

1

CMOS電路的簡介

1

1-1	簡介	2
1-2	MOS 電晶體	3
1-3	MOS 電晶體開關	4
1-4	CMOS 邏輯電路	7
1-4-1	反相器	7
1-4-2	組合邏輯	8
1-4-3	NAND 閘	10
1-4-4	NOR 閘	11
1-4-5	複合閘	13
1-4-6	多工器	16
1-4-7	記憶體	17
1-5	其他電路表示法	18
1-5-1	功能表示法	18
1-5-2	結構表示法	19
1-5-3	實際表示法	23
1-6	COMS 與 nMOS 的比較	28
1-7	總結	30
1-8	習題	30

2

MOS電晶體原理

31

2-1	簡介	32
2-1-1	nMOS 加強式電晶體	34
2-1-2	pMOS 電晶體	38
2-1-3	臨界電壓	38
2-1-4	臨界電壓的調整	39
2-1-5	本體效應	39
2-2	MOS 電晶體設計方程式	40
2-2-1	V-I 特性曲線	43
2-3	互補式 CMOS 反相器—DC 特性曲線	45
2-3-1	β_n/β_p 對轉換特性曲線的影響	53
2-3-2	雜訊邊限	54
2-4	另一種型態的 CMOS 反相器	57
2-5	傳輸閘—DC 特性曲線	60
2-6	鎖定效應	63
2-7	習題	66

3

CMOS製造技術

67

3-1	矽半導體技術的簡介	68
3-1-1	晶片處理	68
3-1-2	氧化程序	70
3-1-3	選擇性的擴散	71
3-1-4	矽閘製作程序	73
3-2	CMOS 製造技術	74
3-2-1	p 井區製程	76
3-2-2	n 井區製程	85
3-2-3	雙區處理	93
3-2-4	SOI 製程處理	96

3-2-5	CMOS 製程的改良	101
3-3	佈局設計規則	107
3-3-1	佈局層表示法	109
3-3-2	p 井區製程的 λ 設計規則	112
3-3-3	SOI 的 λ 設計規則	120
3-3-4	雙金屬層的設計規則	123
3-3-5	設計規則—總結	123
3-4	製造參數	124
3-4-1	抽象佈局層	124
3-4-2	間隔規則	124
3-4-3	構造規則	125
3-5	總結	128
3-6	習題	128

4

電路特性與效益評估

131

4-1	簡介	132
4-2	電阻估計	132
4-2-1	非正方形形狀的電阻	135
4-3	電容的估計	136
4-3-1	MOS 電容器的特性	137
4-3-2	MOS 電晶體電容	139
4-3-3	擴散電容	143
4-3-4	佈線電容	145
4-3-5	分散 RC 效應	146
4-3-6	電容設計準則	149
4-3-7	導線長度設計準則	151
4-4	開關特性	152

4-4-1	下降時間	153
4-4-2	上升時間	156
4-4-3	延遲時間 τ_d	157
4-5	CMOS 電晶體的尺寸效應	157
4-5-1	相似級負載	157
4-5-2	虛擬 nMOS 反相器的開關效益	159
4-5-3	串級無載	160
4-6	導線尺寸的決定	160
4-7	功率消耗	161
4-7-1	靜態功率消耗	161
4-7-2	動態功率消耗	164
4-8	電荷共享	166
4-9	MOS 電晶體的尺寸	167
4-9-1	尺寸效應的原理	168
4-9-2	內連接層的尺寸效應	172
4-10	製程中的成功率	173
4-11	結論	174
4-12	習題	175

5

CMOS 電路與邏輯設計

177

5-1	簡介	178
5-2	CMOS 邏輯結構	178
5-2-1	CMOS 互補式邏輯	178
5-2-2	虛擬 nMOS 邏輯閘	180
5-2-3	動態 CMOS 邏輯	181
5-2-4	脈衝式 CMOS 邏輯閘 (C ² MOS)	187
5-2-5	CMOS “骨牌”邏輯	188

5-2-6	串級電壓開關邏輯	189
5-2-7	修改後的骨牌邏輯	191
5-2-8	通過電晶體邏輯	192
5-3	邏輯閘電路與其佈局設計	196
5-3-1	反相器	196
5-3-2	NAND 與 NOR 閘	199
5-3-3	串聯並聯電晶體的連接	201
5-3-4	本體效益	205
5-3-5	源極與汲極間的電容	206
5-3-6	電荷重配效應	208
5-3-7	邏輯型態的比較	208
5-3-8	邏輯閘的實際佈局	211
5-3-9	CMOS 標準單元的設計	215
5-3-10	邏輯閘佈局準則	217
5-3-11	閘最佳化處理	218
5-3-12	傳輸閘的佈局方式	223
5-3-13	2 輸入端多工器	225
5-4	脈衝策略	226
5-4-1	虛擬相脈衝	226
5-4-2	虛擬 2 相記憶體結構	228
5-4-3	虛擬 2 相邏輯結構	234
5-4-4	2 相記憶結構	236
5-4-5	2 相邏輯結構	242
5-4-6	4 相脈衝	245
5-4-7	4 相記憶結構	245
5-4-8	4 相邏輯結構	246
5-4-9	虛擬 4 相脈衝	247

5-4-10	建議的方法	247
5-5	I/O 結構	248
5-5-1	整體結構	248
5-5-2	V_{DD} 與 V_{SS} 端子	250
5-5-3	輸出端子	251
5-5-4	輸入端子	251
5-5-5	三狀態端子	254
5-5-6	雙向端子	254
5-6	總結	254
5-7	習題	255

6

結構化設計與測試

257

6-1	簡介	258
6-2	設計型態	258
6-2-1	簡介	258
6-2-2	結構式的設計方法	260
6-2-2-1	層次性 (Hierarchy)	261
6-2-2-2	模組性 (Modularity)	261
6-2-2-3	正規性 (Regularity)	262
6-2-2-4	局部性 (Locality)	262
6-2-3	手動光罩佈局	263
6-2-4	開陣列設計	263
6-2-5	標準單元的設計	269
6-2-6	符號式佈局方法	271
6-3	自動合成	271
6-3-1	程序模組的定義	271
6-3-2	矽編譯器	272

6-3-2-1	FIRST	273
6-3-2-2	MacPitts 的編譯器	275
6-4	顧客設計工具箱	278
6-4-1	簡介	278
6-4-2	電路階層的模擬	278
6-4-3	時間模擬	278
6-4-4	邏輯階層模擬	279
6-4-5	開關階層模擬程式	279
6-4-6	時序驗證程式	280
6-4-7	電路圖編輯程式	280
6-4-8	網列比較 (Net-List)	281
6-4-9	佈局編輯系統	281
6-4-10	設計規則檢驗系統	282
6-4-11	電路擷取系統	282
6-5	電路測試	282
6-5-1	簡介	282
6-5-2	故障模式	284
6-5-3	提供可測試的電路設計	287
6-5-4	特別設置的測試	287
6-5-5	可測性的結構化設計	288
6-5-6	自行測試與內建測試	289
6-5-7	改進可測試的佈局	294
6-5-8	總結測試	294
6-6	總結	294
6-7	習題	294

7-1	簡介	298
7-2	粗格局符號佈局	298
7-3	闌矩陣的佈局	300
7-4	線體佈局	305
7-5	虛擬格局符號佈局	305
7-5-1	語言	307
7-5-2	元件	308
7-5-3	接觸端點	310
7-5-4	連線	311
7-5-5	接腳	314
7-5-6	基本實體元件	315
7-5-7	代表方式	317
7-6	符號式設計工具	317
7-6-1	系統結構	317
7-6-2	檔案組織	317
7-6-3	軟體組織	318
7-6-4	晶片設計過程	319
7-6-5	單元設計過程	320
7-6-6	交談式圖形編輯程式	321
7-6-7	電路譯解程式	323
7-6-8	虛擬格局壓縮程式	325
7-6-9	圖形理論壓縮程式	329
7-6-10	光罩產生程式	330
7-6-11	單元驗證程式	331

7-6-12	模組組合	333
7-7	未來展望	334
7-7-1	Flexi- 電路單元	334
7-7-2	專家系統	334
7-8	總結	335
7-9	習題	336

8

CMOS子系統的設計

337

8-1	簡介	338
8-2	加法器與其功能	338
8-2-1	組合加法器	339
8-2-2	動態組合加法器	344
8-2-3	傳輸閘加法器	345
8-2-4	進位前瞻加法器	348
8-2-5	曼契斯特進位加法器	353
8-2-6	二進制前瞻進位加法器	356
8-2-7	進位選擇加法器	362
8-2-8	同位元產生器	363
8-2-9	比較器	363
8-3	二進位計數器	365
8-3-1	非同步計數器	365
8-3-2	同步計數器	366
8-4	乘法器	369
8-4-1	串列乘法器	370
8-4-2	串列 / 並列乘法器	371
8-4-3	並列乘法器	375
8-4-4	其他乘法器的結構	379

8-5	隨意存取記憶體	379
8-5-1	靜態 RAM 單元	380
8-5-2	CMOS 靜態單元的設計	383
8-5-3	動態 RAM 單元	385
8-5-4	RAM 電路單元	387
8-5-5	列解碼器	388
8-5-6	行解碼器	393
8-5-7	讀寫電路	395
8-5-8	後進先出的堆疊	398
8-6	資料路徑	399
8-6-1	暫存器	399
8-6-2	算術邏輯單元	401
8-6-3	快速移位器	401
8-7	可規劃邏輯陣列	401
8-7-1	簡介	401
8-7-2	CMOS PLA 的電路與實際設計	403
8-7-3	虛擬 nMOS NOR 閘	405
8-7-4	動態 CMOS — 2 相脈衝	406
8-7-5	動態 CMOS — 4 相脈衝	408
8-7-6	PLA 的詳細佈局	411
8-7-7	PLA 的 else 部份的製作	411
8-7-8	PLA 設計要點	411
8-7-9	可規劃路徑邏輯	413
8-8	習題	414

附錄：	CMOS 與 NMOS 反相器雜訊邊限計算	417
-----	-----------------------------	-----

CMOS電路的簡介

1

1-1 簡 介

過去幾年中，互補式金屬氧化矽晶電路（ Complementary Metal Oxide Silicon，簡稱CMOS）在積體電路工業上扮演著愈來愈重要的角色。CMOS的技術並非是最新的。事實上，早在1925年時 J. Lilienfeld 已提出MOS場效電晶體的基本原理，到了1935年，接近於目前MOS電晶體的架構已被 O. Heil 提出。在這之前，材料的問題一直阻礙著此類技術的發展。由於早期場效電晶體的實驗而發明雙極電晶體。此種雙極電晶體在應用上的成功使得MOS電晶體漸被忽視。而大部份人把MOS視為很奇特的東西直到1960年左右矽片技術的發明才開始改變了人們對MOS的觀點。然而從此到1967年左右MOS的發展由於材料與品質控制的問題一直無法被廣泛地使用在商業或工業用途上。1967年後，單極性 p- 型與 n- 型電晶體才逐漸受人偏愛，在初期的使用中，此二種型態的電晶體大部份是被利用在低功率的應用元件中。CMOS的製造技術比單極性電晶體複雜很多，因此CMOS電路很少被應用在一般系統的設計上。然而由於近年來半導體技術的發展與設計者所面臨的電路需要愈來愈大的晶片面積與功率消耗，故使得CMOS技術在VLSI工業上扮演愈來愈重要的角色。

本書的目的在提供有關CMOS技術的硬體與軟體系統，由這些系統的設計與佈局（ layout ）可使讀者能更具有信心以面對VLSI技術的發展。本書除了CMOS電路設計外，更深入至電路的佈局，並建立從電路設計到製造的橋樑。以目前而言，已有一些自動設計工具使得設計者能直接從邏輯電路圖自動地轉換到晶片佈局（ chip layout ）的型態。然而這些工具並不直接利用到IC的基本單元（電晶體）。就我們的希望而言，此軟體系統應能利用電路設計專家的經驗，提供有效的工具以快而精確地完成巨大而複雜系統的各個部份。

本書分成二大部份，第一部份包含1～5章，主要是提供CMOS IC設計上的電路原理。第一章介紹CMOS技術的基本概念，並說明邏輯電路與記憶元件的基本型式。本章的目的並不深入到細節部份只給讀者能具有VLSI技術的輪廓。第2章探討MOS電晶體的操作特性，以及CMOS反相器的直流特性。另外

在此章中亦提出一些有趣的基本電路，並討論MOS 電路的常見現象，此現象稱為鎖住現象(Latch-up)。有關CMOS電路製造過程的基本觀念說明在第三章。此章說明目前使用的基本製造過程的步驟，並提出在過程中加強品質的方法。另外在此章亦會提出一些代表性的設計規則(design rule)，此設計規則在製造處理上是重要的而必須注意的。第4章說明電路在操作時的特性與效益評估，並包含執行速度與功率消耗的討論，另外亦將晶片尺寸(scale)對電路操作的影響納入討論。在第5章中提出各種基本CMOS電路的設計，並且將列舉各種脈衝信號電路(Clock schemes)，並將之納入電路設計與佈局中。第2個部份包含第6章到第8章。此部份注重CMOS設計的次系統(sub-system)概念。第6章注重目前的軟體輔助設計技巧，其中包括結構化設計觀念、自動合成技巧、電路模擬與測試。第七章提出符號化佈局(symbolic layout)的方式，並提出顧客用積體電路(custom IC)的設計方式。第八章討論VLSI中次系統的設計，這些次系統是利用第5章所提出的基本電路作為基本單元而設計成的。另外亦討論ROM，RAM與PLA的設計。

1-2 MOS電晶體

一個MOS(Metal-Oxide-Silicon)的構造是由條層材料所疊加而成，這些材料包含有導體、絕緣體與半導體。經過一系列的程序製造完成後，此MOS的構造可視為由三層所組成，這三層分別為擴散層(diffusion)，複晶矽層(polysilicon)與金屬層(Metal)。層與層間皆有絕緣材料隔離。CMOS技術中提出二種型態的電晶體，分別為n-型態電晶體(nMOS)與p-型態電晶體(pMOS)。這些電晶體都製造在矽片上。其中nMOS是採用負濃度(negative Doped)滲透方式以利電子的流動。而pMOS是採用正濃度(positive Doped)滲透方式以利電洞的流動。有關此二種MOS 電晶體的實際構造示於圖1-1。nMOS的結構是由p-型矽基板與兩個n型擴散區所組成。在此兩個n型擴散區間配有一個絕緣層，然後以導電電棒連接至外部，此電棒稱

4 VLSI CMOS 的設計原理

爲閘極 (GATE)。此兩個 n 型擴散區分別爲源極 (SOURCE) 與汲極 (DRAIN)。閘極爲一個控制輸入線，它可控制汲極與源極間的電流量。事實上，汲極與源極可以視爲兩個可抗開關的端點，它們在物理特性上是相同的，而其名稱的由來是視電流流向而定。因此可以視它們爲可互換作用的。有關 pMOS 的構造可以參考 n MOS 而得知。

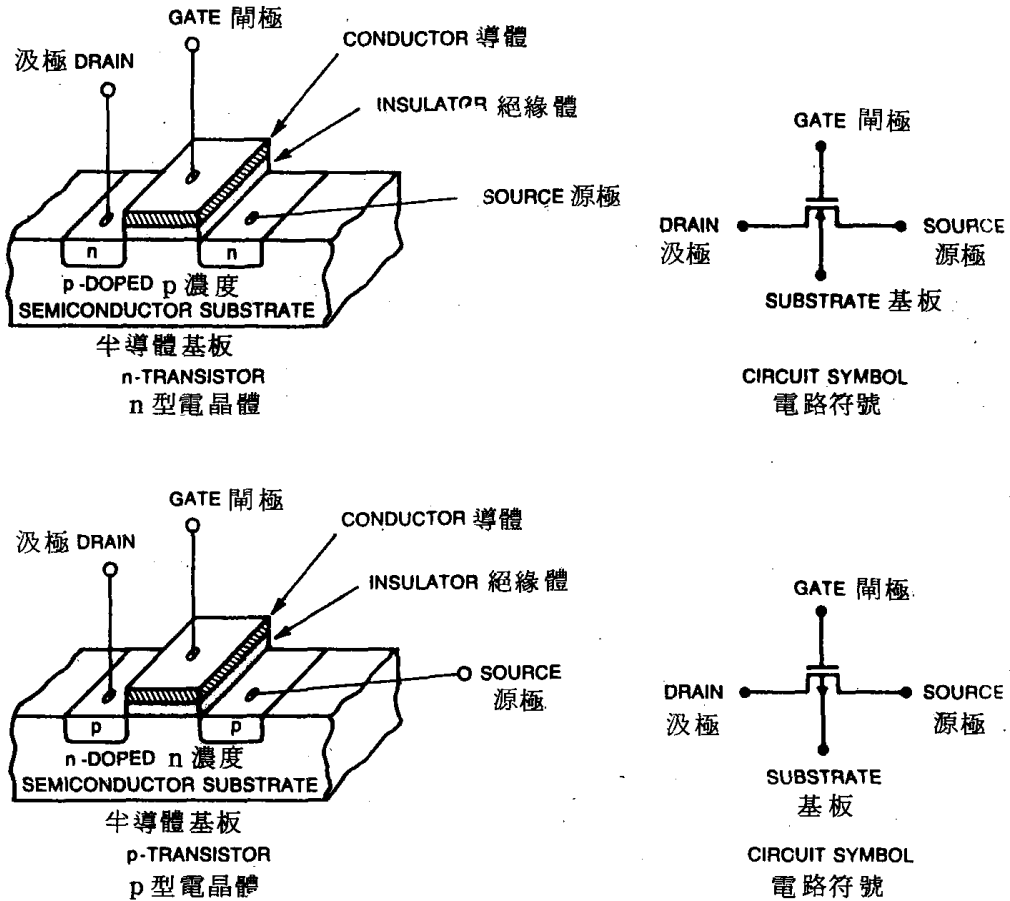


圖 1-1 MOS 電晶體的構造

1-3 MOS電晶體開關

由於閘極可以控制汲極與源極的電流流動，故 MOS 可以當作 ON/OFF 的開關。在下列的討論中，我們假定“1”爲高電壓，其值通常爲 5 伏特，或稱爲