



音视频多媒体 处理技术与实践 ——基于i.MX27 处理器

张太镒 吴 勇 胡元峰 等编著



北京航空航天大学出版社
BEIHANG UNIVERSITY PRESS

音视频多媒体处理技术与实践 ——基于 i.MX27 处理器

· 张太镒 吴 勇 胡元峰 等编著

北京航空航天大学出版社

内 容 简 介

美国飞思卡尔公司的高性能音视频多媒体处理专用芯片 i. MX27, 集成 ARM9 处理器核和 MPEG-4、H. 264 视频压缩硬件编解码器, 以及嵌入式系统设计所需几乎所有的外部接口, 可以用 i. MX27 单芯片研发设计复杂的用于移动影视播放器、智能电话、无线 PDA 及其他便携式音视频终端等多媒体产品, 研发周期短、成本低、性能卓越。

本书在详细介绍 ARM9 处理器核的组成、存储器配置、寄存器、中断控制器和引导模式的基础上, 用较大的篇幅着重介绍该芯片集成的数字音频复用器、CMOS 图像传感器接口、视频压缩编解码器、增强型多媒体加速器和液晶显示控制器等, 以及开发工具、实验教学平台和多媒体产品应用范例。

本书可作为从事多媒体音视频处理技术领域工程技术人员的设计参考资料, 亦可作为大学电子与信息类专业音视频处理和微处理器接口技术课程的辅助教材。

图书在版编目(CIP)数据

音视频多媒体处理技术与实践 : 基于 i. MX27 处理器
/ 张太镒, 吴勇, 胡元峰编著. — 北京 : 北京航空航天大学
大学出版社, 2011. 1

ISBN 978-7-5124-0290-4

I. ①音… II. ①张… ②吴… ③胡… III. ①语言信
号处理②数字图像处理 IV. ①TN912.3②TN911.73

中国版本图书馆 CIP 数据核字(2010)第 247082 号

版权所有, 侵权必究。

音视频多媒体处理技术与实践——基于 i. MX27 处理器

张太镒 吴 勇 胡元峰 等编著

责任编辑 杨林英

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱: emsbook@gmail.com 邮购电话:(010)82316936

涿州市新华印刷有限公司印装 各地书店经销

*

开本: 787×1092 1/16 印张: 32.75 字数: 838 千字

2011 年 1 月第 1 版 2011 年 1 月第 1 次印刷 印数: 4 000 册

ISBN 978-7-5124-0290-4 定价: 59.00 元

前言

数字多媒体技术是当前发展最快、应用最广和最具市场前景的现代电子技术之一。

微电子技术的飞速发展,使高性能微处理器和大容量存储器的价格变得十分便宜,速度和存储容量不再是困扰设计者的主要问题。人们将通用计算机上的软件“嵌入”专用系统,构成嵌入式系统(Embedded System),完成复杂的运算和控制功能。由于嵌入式系统体积小、设计紧凑,在现代数字通信设备中占据重要地位。

近年来,由于超大规模集成电路(VLSI)工艺的进步和专用集成电路(ASIC)的广泛使用,推动了数字多媒体技术的发展。美国飞思卡尔公司(Freescale)率先推出以 ARM 处理器为核心、集成视频压缩硬件编解码器的高性能数字信号处理器专用芯片,为用户提供了一款应用于移动影视播放器、智能电话、无线 PDA 及其他便携式多媒体设备的数字信号处理器,具有研发周期短、成本低、性能卓越等优点。

美国飞思卡尔公司推出的 MCIMX27 多媒体应用处理器集成了诸多该公司的 IP(知识产权)核,外部接口十分丰富,完全可以用单芯片设计复杂多功能的多媒体产品。本书针对 MCIMX27 多媒体应用处理器技术文档进行编译,结合编译者长期从事多媒体处理技术研究和开发的经验撰写而成。

本书内容共 15 章:

第 1 章对 MCIMX27 多媒体应用处理器进行了全面、简略的介绍;

第 2 章至第 7 章(除第 5 章)详细介绍了 MCIMX27 多媒体应用处理器的存储器、寄存器、系统控制、定时器和通信接口等;

第 5 章集中介绍 MCIMX27 多媒体应用处理器集成的 ARM9 处理器核的组成、存储器配置、寄存器、中断控制器和引导模式等。有关 ARM9 处理器的指令系统和程序设计内容,请读者参阅其他专门介绍 ARM 的书籍;

第 8 章至第 12 章着重介绍该处理器芯片集成的多媒体处理模块,包括数字音频复用器、CMOS 图像传感器接口、视频压缩编解码器、增强型多媒体加速器和液晶显示控制器等;

第 13 章介绍 MCIMX27 多媒体应用处理器芯片独具特色的安全保证措施,包括安全控制器、对称/非对称干扰和随机加速器、运行时间完整性检查和集成电路 ID 等;

第 14 章和第 15 章分别介绍供教学和设计人员使用的开发工具、实验平台和多媒体产品应用范例。

本书旨在为从事多媒体处理技术领域工程技术人员提供 ARM 嵌入式系统设计和研发的

参考资料,亦可作为大学电子与信息类专业音视频处理和微处理器接口技术课程辅助教材。相信本书一定会为多媒体技术的研究与开发工作起到积极作用,特别是本书结合实际的有关内容,定会受到读者欢迎。

本书的编译工作得到了美国飞思卡尔公司大学计划部的大力支持和马莉女士的具体指导,在此表示感谢。

本书第1章~第7章和第13章由西安交通大学张太镒教授编写,第8章~第12章由天缘电子有限公司胡元峰博士编写,第14章和第15章由北京亿旗创新科技发展有限公司吴勇高级工程师编写。感谢陈晨、邓炜、董红、冯振杰、黄剑雄、黄伟东、李家瑛、李小河、牟丽霞、秦济瑞、荣超、阮丽霞、沈晓东、孙黎、王江凌、王玮、王小灵、吴德金、杨亮、喻凌杰、张璟、张亚歌、赵国海和周铁等协助编写工作。总之,本书的出版是集体智慧的结晶,在此,对所有为本书的出版提供了帮助的人们表示诚挚的感谢!

由于作者水平有限,文中难免有不妥之处,敬请读者不吝指正。

作者

2010年8月

目 录

第 1 章 多媒体应用处理器	1
1.1 ARM9 平台	2
1.2 系统控制	3
1.3 系统资源	3
1.4 电源管理	5
1.5 系统安全	5
1.6 连接方式	7
1.7 通信接口	8
1.8 外部存储器接口	10
1.9 存储器扩展	13
1.10 视频压缩编解码和增强型多媒体加速器	13
1.11 多媒体接口	17
1.12 人机接口	18
第 2 章 系统存储器和寄存器	20
2.1 存储器配置	20
2.2 寄存器配置	26
第 3 章 系统控制	27
3.1 时钟控制器组成	27
3.1.1 高频时钟信号源及状态分配	29
3.1.2 输出频率计算	30
3.2 电源管理	30
3.3 时钟控制器模块编程方法	33
3.3.1 时钟控制寄存器	34
3.3.2 MPLL 控制寄存器 0	37
3.3.3 MCU 和系统 PLL 控制寄存器 1	38
3.3.4 可编程串行外设 PLL	39

3.3.5	SPLL 控制寄存器 0	40
3.3.6	SPLL 控制寄存器 1	41
3.3.7	26 MHz 振荡器寄存器	42
3.3.8	外设时钟分频寄存器 0	43
3.3.9	外设时钟分频寄存器 1	45
3.3.10	外设时钟控制寄存器 0	46
3.3.11	外设时钟控制寄存器 1	49
3.3.12	时钟控制状态寄存器	53
3.3.13	唤醒保护模式控制寄存器	54
3.4	复 位	55
3.4.1	系统复位	55
3.4.2	RAM 平台复位	57
3.5	系统控制模块编程方法	57
3.5.1	芯片 ID 寄存器	58
3.5.2	FMCR 多路功能控制寄存器	59
3.5.3	系统外设控制寄存器	62
3.5.4	偏置电位阱控制寄存器	63
3.5.5	驱动力控制寄存器 1	65
3.5.6	驱动力控制寄存器 2	67
3.5.7	驱动力控制寄存器 3	70
3.5.8	上拉能力控制寄存器	72
3.5.9	优先级控制和选择寄存器	74
3.5.10	电源管理控制寄存器	75
3.5.11	DPTC 比较值寄存器	77
3.5.12	PMIC 控制寄存器	78
3.6	系统引导模式	78
3.7	实时时钟	81
第 4 章	系统资源	85
4.1	通用 I/O 模块	85
4.1.1	工作原理	85
4.1.2	编程方法	87
4.2	通用定时器	100
4.2.1	工作原理	101
4.2.2	编程方法	102
4.3	脉宽调制器	103
4.3.1	工作原理	104
4.3.2	PWM 时钟	106
4.3.3	编程方法	107

4.4 看门狗定时器	109
4.4.1 工作原理	111
4.4.2 编程方法	112
4.5 直接存储器访问控制器	113
4.5.1 DMA 请求和应答	114
4.5.2 编程方法	116
4.5.3 DMA 链接	120
4.5.4 猝发长度和访问尺寸设置的特殊情况	121
4.5.5 不同的 CCNR 和 CNTR 值的特殊情况	121
4.5.6 应用注释	122
4.5.7 DMA 猝发终止	122
4.6 实时时钟	123
4.6.1 工作原理	123
4.6.2 编程方法	125
第 5 章 ARM9 平台	127
5.1 ARM9 平台子模块	128
5.1.1 ARM926EJ-S 处理器	128
5.1.2 ARM9 嵌入路径宏单元和嵌入路径缓冲器	128
5.1.3 6×3 多层 AHB 交叉开关	128
5.1.4 ARM 中断控制器	129
5.1.5 存储控制器和 BIST 引擎	129
5.1.6 AHB IP 总线接口	130
5.1.7 PAHBMUX——主 AHB MUX	130
5.1.8 ROMPATCH	131
5.1.9 时钟控制模块	131
5.1.10 JAM	131
5.1.11 测 试	131
5.1.12 ARM9 平台层次	132
5.2 JTAG ID 寄存器	132
5.3 系统存储器配置	133
5.3.1 ARM9 平台存储器配置	133
5.3.2 外设空间	134
5.3.3 外部引导	134
5.3.4 存储器配置考虑事项	134
5.4 时钟、复位和电源管理	134
5.4.1 时 钟	134
5.4.2 平台复位	136
5.4.3 电源管理	136

5.5 AHB 接口	138
5.5.1 变更总线主端口	138
5.5.2 ABM 端口的单个主端口无缝连接	138
5.5.3 ARM 端口的多重外部主端口连接	139
5.5.4 变更总线主接口设计考虑	140
5.5.5 MAX 的 AHB 从端口	141
5.5.6 字节序模式	143
5.6 I/O 信号	145
5.7 中断控制器	153
5.7.1 操作方式	154
5.7.2 编程方法	155
5.7.3 ARM926EJ-S 中断控制器操作	162
5.8 JTAG 控制器	165
5.9 引导模式	170
5.10 功耗、电气规格和几何尺寸	173
5.10.1 功 耗	173
5.10.2 电气规格	174
5.10.3 几何尺寸估计	179
第 6 章 存储器接口	181
6.1 多主存储器接口	183
6.1.1 M3IF 接口	184
6.1.2 特 点	184
6.1.3 M3IF 复用器	185
6.1.4 MPG 端口和 MPG64 端口	186
6.1.5 M3IF 仲裁	195
6.1.6 初始化应用信息	201
6.2 无线外部接口模块	202
6.2.1 编程方法	203
6.2.2 功能描述	207
6.2.3 WEIM 工作模式	207
6.2.4 初始化/应用信息	216
6.3 增强型 SDRAM 控制器	217
6.3.1 ESDRAM 控制器特点	219
6.3.2 工作模式	220
6.3.3 工作原理	221
6.4 NAND Flash 控制器	235
6.4.1 工作原理	237
6.4.2 NFC 缓冲器存储器空间	240

6.4.3 编程方法	241
6.5 PCMCIA 主机适配器	243
6.6 存储棒主机控制器	247
6.6.1 工作原理	248
6.6.2 编程方法	251
6.7 安全数字主机控制器	254
6.7.1 工作原理	255
6.7.2 SDHC 的初始化和应用	264
6.7.3 编程方法	271
第 7 章 通信接口	275
7.1 可配置外部串行接口	275
7.1.1 工作原理	276
7.1.2 编程方法	281
7.1.3 时序图	282
7.2 I ² C 总线	284
7.2.1 工作原理	286
7.2.2 编程方法	288
7.3 多层 AHB 交叉开关	289
7.3.1 工作原理	291
7.3.2 编程方法	299
7.4 简化 AHB IP 接口	301
7.4.1 编程模式	302
7.4.2 AIP11 和 AIP12 外设带宽和 PSR 设置	303
7.4.3 接口时序	304
7.5 一根线接口	305
7.5.1 端口定义	305
7.5.2 时钟使能和 AIP1 配置	306
7.5.3 工作原理	306
7.5.4 编程方法	308
7.6 高级技术附加装置	308
7.6.1 工作原理	310
7.6.2 编程方法	311
7.7 通用异步收发器	315
7.7.1 工作原理	316
7.7.2 编程方法	331
7.7.3 编程 IrDA 接口	334
7.8 快速以太网控制器	336
7.8.1 操作模式	336

7.8.2	FEC 结构框图	337
7.8.3	工作原理	338
7.8.4	编程方法	346
7.9	高速 USB 2.0 接口	349
7.9.1	工作模式	350
7.9.2	工作原理	351
7.9.3	编程方法	358
第 8 章	数字音频复用器	362
8.1	内部网络模式	364
8.2	帧同步和时钟	365
8.3	同步模式	366
8.4	异步模式	367
8.5	SSI 与外设连接	367
8.6	AUDMUX 配置的外设连接	369
8.7	编程方法	371
第 9 章	CMOS 传感器接口	374
9.1	CMOS 传感器接口信号	374
9.2	工作原理	376
9.3	中断产生	379
9.4	编程方法	381
第 10 章	视频压缩编解码器	384
10.1	时钟和复位	386
10.2	编程方法	386
10.3	功能描述	389
10.4	应用信息	392
第 11 章	简化增强型多媒体加速器	400
11.1	组成架构	401
11.2	后处理器	402
11.2.1	彩色空间变换(CSC)	404
11.2.2	寄存器与输入输出帧的关系	407
11.3	后处理器编程方式	409
11.4	预处理器	413
11.4.1	输入数据格式	414
11.4.2	重 构	415
11.4.3	彩色空间变换	417

11.4.4	RGB 到 YUV	417
11.4.5	帧抽取	418
11.4.6	循环模式	419
11.4.7	通道 1 和通道 2 使能	419
11.4.8	通道 2 流程控制	419
11.4.9	行缓冲器溢出	420
11.4.10	寄存器与输入帧的关系	420
11.4.11	寄存器与通道 1 输出帧关系	420
11.4.12	CSI 帧裁剪	421
11.4.13	CSI-PrP 链接	422
11.5	预处理器编程方式	422
第 12 章	液晶显示控制器	424
12.1	液晶显示控制器	424
12.1.1	LCD 屏格式	426
12.1.2	屏上的图形窗口	427
12.1.3	移 动	427
12.1.4	显示数据配置	427
12.1.5	黑白操作	429
12.1.6	灰度比例操作	429
12.1.7	彩色生成	430
12.1.8	帧率调制控制(FRC)	431
12.1.9	显示屏接口信号和时序	432
12.1.10	8 位/像素模式彩色 STN 显示屏	434
12.2	LCDC 编程方法	438
12.3	小型液晶显示控制器	439
12.3.1	字大小定义	440
12.3.2	图像字节序	440
12.3.3	访问 LCD 控制器	441
12.3.4	终止 SLCDC 传送	451
12.3.5	存储器配置	451
12.4	SLCDC 的 LCD 控制器接口	451
12.4.1	串行接口	452
12.4.2	并行接口	453
12.5	LCD 时钟配置	454
12.6	R-AHB 接口和 SLCDC FIFO	454
12.7	键盘接口	455
12.7.1	工作原理	456
12.7.2	初始化应用信息	460

12.7.3 编程方法	461
第 13 章 安全保证	462
13.1 安全控制器	462
13.2 对称/非对称干扰和随机加速器	463
13.3 运行时间完整性检查	464
13.4 集成电路识别	465
第 14 章 i.MX27 应用开发系统	467
14.1 应用开发系统	467
14.1.1 MCIMX27ADSE 结构框图	469
14.1.2 板上元件配置	472
14.1.3 工作原理	476
14.1.4 附加模块连接和使用	483
14.2 EF-IMX 系列嵌入式多媒体实验系统	487
14.2.1 系统主要接口和外设模块	488
14.2.2 i.MX27/31 核心板	489
14.2.3 功能板	490
14.2.4 功能板跳线	491
14.2.5 模块接口	493
14.2.6 物理特性及技术规格	498
14.2.7 CPLD 资源分配及寄存器	499
第 15 章 应用范例	502
15.1 IP 摄像机	502
15.1.1 摄像机软件	503
15.1.2 摄像机软件模块	505
15.1.3 应用界面	505
15.1.4 中间层	507
15.1.5 操作系统	507
15.2 视频电话	508
参考文献	510

第 1 章

多媒体应用处理器

MCIMX27(缩写为 i.MX27)多媒体应用处理器内含高性能的 ARM926EJ-S 核,最高时钟频率达 400 MHz;集成简化增强性多媒体处理单元和 MPEG-4、H.264 硬件压缩编解码器,压缩编解码速率在 D1 分辨率下达 30 帧/秒,或在 VGA 分辨率下为 24 帧/秒,使移动多媒体产品的品质提高到一个新的水平。

无论是设计移动影视播放器、智能电话、无线 PDA,还是其他便携式设备,i.MX27 处理器都因集成度高、功能齐备、研发周期短、生产成本低而满足当今市场的竞争需求。

i.MX27 处理器还具有下列特点:

- 集成高速 USB 控制器;
- 智能高速切换的多层 AMBA 总线可从 6 条总线中任意设定 1 主 3 从,对其他总线没有任何影响;
- 支持热插拔的 PCMCIA – Flash 存储器接口;
- 软件和硬件加密措施确保用户在安全环境下使用电子商务、数字版权 DRM、信息加密、引导和软件下载等;
- 具有运行、暂停、休眠、时钟频率切换等智能化电源管理功能;
- 支持两种 LCD 显示屏;
- 10/100 M 高速以太网接口;
- i.MX27 芯片为 404 个引脚的 MAPBGA 封装,17 mm×17 mm,引脚间距 0.65 mm。

图 1-1 为 i.MX27 处理器结构框图。

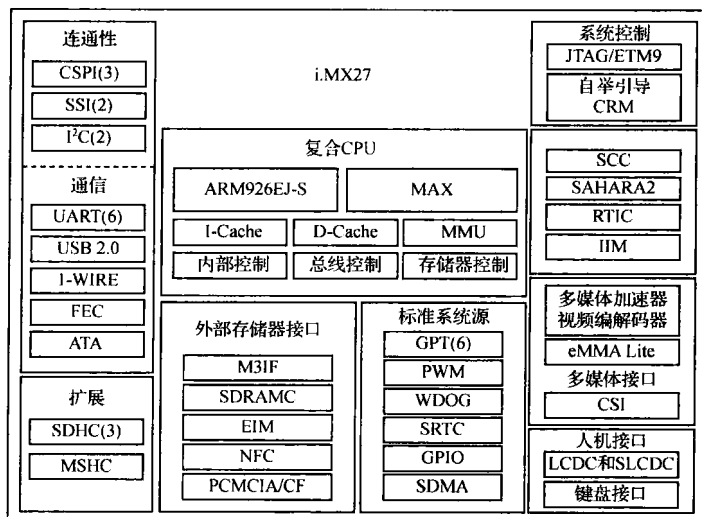


图 1-1 i.MX27 处理器结构框图

第1章 多媒体应用处理器

下面简要介绍 i.MX27 多媒体应用处理器内部集成的处理器核和各模块的结构、特点和功能。

1.1 ARM9 平台

ARM9 平台的 ARM926EJ-S 处理器核包含一个 16 KB 的一级高速缓存系统、一个 6×3 层 AHB 交叉开关和 16 通道 DMA。该处理器核在 1.6 V 电源电压下运行速度达 400 MHz、1.2 V 电压下运行速度为 266 MHz。ARM926EJ-S 属 ARM9 系列多任务通用微处理器,具有以下特点:

- ARM926EJ-S 微处理器核
 - 16 KB 指令 cache 和 16 KB 数据 cache;
 - 高性能 ARM 32 位 RISC 引擎;
 - Thumb 16 比特压缩指令集,代码密度处于领先水平;
 - 高效执行 JAVA 代码;
 - 嵌入式 CE JTAG 软件调试;
 - 100% 兼容 ARM7TDMI 用户二进制代码;
 - 先进的微控制总线结构 (AMBA) 的片上系统多重主总线接口;
 - 支持混合加载和用户使用 cache 锁定工具;
 - 虚拟存储器管理单元 (VMMU)。
- 只支持简化字节序
- 系统速率
 - ARM926EJ-S 核达 400 MHz;
 - 系统时钟达 133 MHz;
 - 外部存储器接口与系统同一个时钟源,1.8 V 电压时达 133 MHz;
 - 系统时钟来自经整数分频的 CPU 时钟。
- ARM 中断控制器 (AITC)

AITC 连接在主 AHB 上作为从器件,提供 64 个中断源产生到处理器核的正常快速中断。中断控制器支持硬件协助的向量模式,自动缩短中断延时。

- 时钟控制模块 (CLKCTL)

完成平台的块时钟门控、ARM926EJ-S JTAG 同步和其他各种时钟控制。

- AHB 到 IP 总线的接口 (AIPI)

提供从外设高速 AHB 到低速 IP 总线间的通信接口。

- 多层 6×3 AHB 交叉开关 (MAX)

允许进行从任何一个输入端口 (总线主) 到另一个输出端口 (总线从) 的处理,所有 3 个同时有效的输出端口可以成为 3 个独立的输入和输出请求。

- 势阱电荷泵 (WBCP)

除存储器外,整个 ARM9 平台支持 2 个有效的势阱偏置,将峰值电流减小至最低。势阱配置使能输入由 ARM9 平台外部势阱偏置电荷泵驱动。

1.2 系统控制

为确保工作时节能和时钟信号的稳定,i.MX27 芯片集成下列模块为处理器和外设提供时钟和控制信号。

1. 时钟控制模块

时钟控制模块(CCM)为处理器和外设提供时钟和复位信号,读取和(软件)控制下列工作状态:

- 芯片认证 ID;
- 配置 I/O 信号;
- I/O 驱动能力;
- I/O 上拉使能控制;
- 势阱偏置控制;
- 系统引导模式选择;
- DPTC 控制。

2. JTAG 控制器

JTAG 控制器(JTAGC)提供对 ARM926EJ-S 核和周边设备的浏览、测试和调试,为设计者和程序员提供 JTAG 工业标准接口,对整个系统进行引导和调试。

- UART 自举引导模式功能
 - 允许系统通过 USB 或 UART1 对系统存储器进行初始化,下载程序或数据;
 - 接受执行系统存储器中运行程序的指令;
 - 支持存储器和寄存器按字节、半个字或 1 个字的数据长度选择读写操作;
 - 提供 ARM 的 16 位缓存器的指令存储和执行。

- USB 自举引导模式功能

支持通过 USB OTG 端口的自举引导。

- JTAG 端口支持通用 ARM 调试工具

1.3 系统资源

i.MX27 处理器集成多种定时器和信号源,优化内部模块和外部器件的控制和安全。

1. 通用定时器

6 个通用定时器(GPT)模块均包含相同的通用 32 位可编程定时器、比较器和寄存器,特点如下:

- 自动产生中断;
- 定时器输入/输出引脚可编程;
- 每一个 GPT 具有可编程触发沿的输入通道捕获能力;
- 每一个 GPT 有可编程方式的输出比较通道。

2. 脉宽调制器

脉宽调制器(PWM)包含一个16位计数器,优化存储的音频信号,控制音量和音调,特点如下:

- 使中断减至最少的 4×16 FIFO;
- 16位分辨率;
- 控制音量和音调。

3. 实时时钟

实时时钟模块(RTC)包含系统时钟,提供定时、报警和中断功能,具有以下特点:

- 输入频率为32.768 kHz和32 kHz;
- 完整的秒、分、小时和日的时钟;
- 计时512日;
- 带中断的时钟分倒数计时器;
- 带中断的可编程的每日报警;
- 带中断的采样定时器;
- 每秒一次、每分钟一次、每小时一次和每日一次中断;
- 产生数字化采样和键盘抖动中断;
- 独立电源。

4. 看门狗定时器模块

看门狗定时器模块(WDOG 定时器)采用从意外事件或程序错误中恢复系统的方法,避免系统损坏。WDOG 定时器模块也可以对看门狗控制寄存器(WCR)进行编程,产生系统复位、探测时钟监视结果、外部复位、外部 JTAG 复位或上电复位的发生。WDOG 定时器提供:

- 0.5 s 到 64 s 的可编程暂停时间;
- 0.5 s 分辨率。

5. 通用 I/O 端口

通用 I/O 端口(GPIO)模块包含6个通用 I/O 端口,每一个 GPIO 是一个32位端口,具有一种或多种专用功能。GPIO 特点是:

- 支持电平或边沿触发中断,具有系统唤醒能力;
- 许多引脚 I/O 信号具有多种功能。

6. 直接存储器访问控制器

直接存储器复位控制器(DMAC)有16通道,支持线性存储器、2维存储器、FIFO 和能猝发的 FIFO,支持宽范围 DMA 操作,特点如下:

- 支持16通道2个源地址和目的地址的线性存储器、2维存储器和 FIFO;
- 支持8位、16位或32位大小 FIFO 端口和存储器端口的数据传输;
- 每一个 DMA 通道猝发长度最大配置是16字、32半字或64字节;
- 对 DAM 请求未触发通道的总线使用控制;
- 对批量数据传输的完成或传输错误进行中断处理;
- 定时周期内猝发不能完成时,DMA 猝发暂停,终止 DMA 周期;