



普通高等教育实验实训规划教材

电气信息类

数字电子技术 实验指导书

董宏伟 主编



中国电力出版社

<http://jc.cepp.com.cn>

普通高等教育实验实训规划教材



电气信息类

数字电子技术 实验指导书

主编 董宏伟
编写 孙淑艳 李旭彦 张青
主审 艾永乐



中国电力出版社
<http://jc.cepp.com.cn>

内 容 提 要

本书共三部分，分别是数字电路基础实验、数字电路仿真实验、VHDL 语言仿真实验。实验类型有基本的验证性实验，也有综合性、设计性和创新性实验。

实物操作实验使学生了解电子元器件、集成芯片的外特性，通过实验搭接电路掌握电子电路的测试方法；计算机仿真实验借助于 Multisim 仿真平台对电子电路进行辅助设计和辅助分析；VHDL 语言仿真实验为学生后续课程学习做必要铺垫。

本书适用于高等院校相关专业的在读本科生，也可供成人教育学生和大专生使用。

图书在版编目 (CIP) 数据

数字电子技术实验指导书/董宏伟主编. —北京: 中国电力出版社, 2010. 1

普通高等教育实验实训规划教材. 电气信息类

ISBN 978 - 7 - 5083 - 9814 - 3

I. ①数… II. ①董… III. ①数字电路—电子技术—实验—高等学校—教学参考资料 IV. ①TN79 - 33

中国版本图书馆 CIP 数据核字 (2009) 第 219888 号

中国电力出版社出版、发行

(北京三里河路 6 号 100044 <http://jc.cepp.com.cn>)

北京市同江印刷厂印刷

各地新华书店经售

*

2010 年 3 月第一版 2010 年 3 月北京第一次印刷
787 毫米×1092 毫米 16 开本 8.25 印张 198 千字
定价 13.80 元

敬告读者

本书封面贴有防伪标签，加热后中心图案消失
本书如有印装质量问题，我社发行部负责退换

版权专有 翻印必究

前 言

数字电子技术课程是电类专业的重要技术基础课程,具有较强的工程实践性,处于各专业教学的中间环节,是学生基本素质形成和发展的关键课程。数字电子技术实践环节是针对电子技术课程设置的,作为一门独立的实践课程。本着满足当代大学生的知识结构、综合能力、实践能力、科研能力、创新能力和工程运用能力等方面的需求,我们编写了《数字电子技术实验指导书》一书。本书共三部分,分别是数字电路基础实验、数字电路仿真实验、VHDL 语言仿真实验。实验类型有基本的验证性实验,也有综合性、设计性和创新性实验。实物操作实验使学生了解电子元器件、集成芯片的外特性,通过实验搭接电路掌握电子电路的测试方法;计算机仿真实验借助于 Multisim 仿真平台对电子电路进行辅助设计和辅助分析;VHDL 仿真实验为学生后续课程学习做必要的铺垫。数字电子技术实验对学生进行综合性训练,通过理论知识和实践相结合,提高学生分析问题和独立解决问题的能力,把学生从理论学习的轨道延伸到解决实际问题方面来,使学生通过系统设计、计算机仿真、电路安装与调试、撰写实验报告等环节逐步掌握工程设计的步骤和方法,熟悉科学实验的程序和实施方法,为今后从事科学技术工作打下良好的基础。附录中介绍了常用电子仪器的使用方法,常用的电子元器件和基本知识、参数和功能,常用数字集成芯片的型号及引脚图,仿真软件 Multisim 介绍, VHDL 语言介绍,仿真软件 Quartus II 介绍。

本书的编排通过电子技术实验层次化教学和实验室管理模式的改革,不但可以培养出具有超前意识、科学态度严谨的大学生。更主要是通过五个层次的实践教学训练,还可为参加各类电子设计竞赛选拔、培养和输送人才。本书采用实验报告原始数据便撕式设计,学生做完实验可以将实验原始数据、实验波形等直接填写在于原始数据记录中,然后裁下贴在上交的实验报告中,节省时间,实用性强。

参加本书编写工作的有董宏伟、孙淑艳、李旭彦、张青等,由董宏伟任主编。艾永乐教授担任本书的主审。本书的编写得到华北电力大学电工电子中心刘向军、文亚凤等多位老师的帮助,在此,向他们表示感谢。本书尚有许多待改进之处,敬请读者在使用本书的过程中将发现的错误及时指出,并将意见和建议反馈给我们。

编 者

2010年2月

目 录

前言

第一部分 数字电路基础实验	1
实验一 TTL 与非门参数测试	1
实验二 译码器、编码器和数据选择器.....	7
实验三 TTL 门电路的逻辑变换	19
实验四 TTL 集电极开路门和三态输出门	23
实验五 半加器、全加器及其应用	27
实验六 译码器及其应用	31
实验七 触发器及其应用	35
实验八 集成异步计数器	43
实验九 计数、译码和显示电路	49
实验十 移位寄存器及其应用	53
实验十一 555 时基电路及其应用	61
实验十二 A/D、D/A 转换器	67
第二部分 数字电路仿真实验	73
实验一 TTL 门电路的逻辑变换 (仿真)	73
实验二 血型关系检测电路的设计	75
实验三 水位指示电路	76
实验四 计数、译码和显示电路	77
实验五 脉冲边沿检测电路	79
实验六 用 555 定时器组成的多谐振荡器和单稳态触发器	82
实验七 BP 机呼叫电路	83
实验八 双音报警电路	86
第三部分 VHDL 语言仿真实验	89
实验一 简单门电路设计	89
实验二 D 触发器的设计	90
附录	91
附录 A 集成电路简介	91
附录 B 示波器和万用表	92
附录 C 集成逻辑电路的连接和驱动	103
附录 D 集成逻辑门电路新、旧图形符号对照	105
附录 E 集成触发器新、旧图形符号对照	106
附录 F 常用数字集成电路型号及引脚图	107
附录 G Quartus II 5.0 使用指南	110
参考文献	126

第一部分 数字电路基础实验

实验一 TTL 与非门参数测试

一、实验目的

- (1) 熟悉 TTL 与非门的外形和引脚的排列。
- (2) 验证 74LS20 型四输入与非门的逻辑功能。
- (3) 测试 74LS20 型四输入与非门的参数和电压传输特性。

二、预习要求

- (1) 了解 74LS20 型四输入与非门的参数和引脚排列。
- (2) 熟悉数字电路实验箱的使用方法。
- (3) 复习 TTL 与非门电路的工作原理。

三、实验原理

本实验采用 74LS20 型四输入双与非门，即在一块集成块内含有两个互相独立的与非门，每个与非门有四个输入端，其逻辑框图、图形符号及引脚排列如图 1-1 (a)、(b)、(c) 所示。

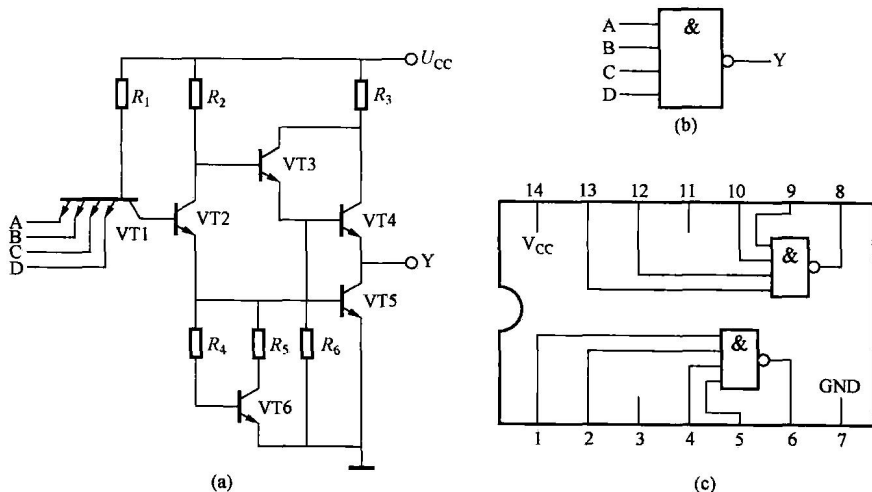


图 1-1 74LS20 逻辑框图、图形符号及引脚排列

(a) 逻辑框图；(b) 图形符号；(c) 引脚排列

1. 74LS00 型二输入与非门的逻辑功能

74LS00 型二输入与非门的逻辑功能：当输入端中有一个或一个以上是低电平时，输出端为高电平；只有当输入端全部为高电平时，输出端才是低电平（即有“0”得“1”，全“1”得“0”）。

其逻辑表达式为 $Y = \overline{AB}$ 。

2. TTL 与非门的主要参数

(1) 低电平输出电源电流 I_{CCL} 和高电平输出电源电流 I_{CCH} 。与非门处于不同的工作状态，电源提供的电流是不同的。 I_{CCL} 是指所有输入端悬空，输出端空载时，电源提供器件的电流。 I_{CCH} 是指输出端空载，每个门各有一个以上的输入端接地，其余输入端悬空，电源提供给器件的电流。通常 $I_{CCL} > I_{CCH}$ ，它们的大小标志着器件静态功耗的大小。器件的最大功耗为 $P_{OCL} = U_{CC} I_{CCL}$ 。手册中提供的电源电流和功耗值是指整个器件总的电源电流和总的功耗。 I_{CCL} 和 I_{CCH} 测试电路如图 1-2 (a)、(b) 所示。

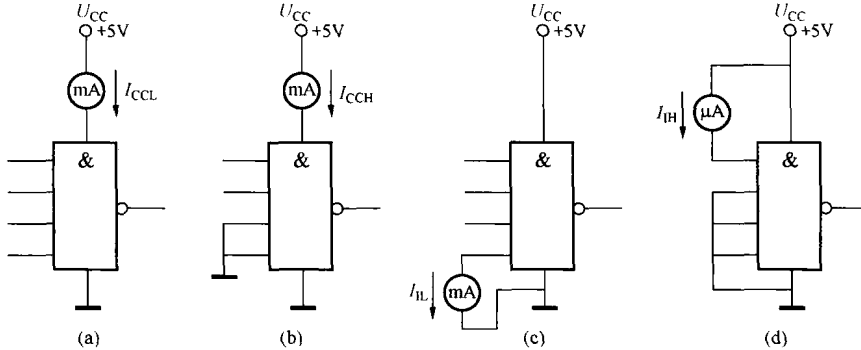


图 1-2 TTL 与非门静态参数测试电路

(a) I_{CCL} 测试电路；(b) I_{CCH} 测试电路；(c) I_{IL} 测试电路；(d) I_{IH} 测试电路

[注意] TTL 与非门电路对电源电压要求较严，电源电压 U_{CC} 只允许在 $+5 (1 \pm 10\%)$ V 的范围内工作，超过 5.5V 将损坏器件；低于 4.5V 器件的逻辑功能将不正常。

(2) 低电平输入电流 I_{IL} 和高电平输入电流 I_{IH} 。 I_{IL} 是指被测输入端接地，其余输入端悬空，输出端空载时，由被测输入端流出的电流值。在多级门电路中， I_{IL} 相当于前级门输出低电平时，后级向前级门灌入的电流，因此它关系到前级门的灌电流负载能力，即直接影响前级门电路带负载的个数，因此希望 I_{IL} 小些。

I_{IH} 是指被测输入端接高电平，其余输入端接地，输出端空载时，流入被测输入端的电流值。在多级门电路中，它相当于前级门输出高电平时，前级门的拉电流负载，其大小关系到前级门的拉电流负载能力，希望 I_{IH} 小些。由于 I_{IH} 较小，难以测量，一般免于测试。

I_{IL} 与 I_{IH} 的测试电路如图 1-2 (c)、(d) 所示。

(3) 扇出系数 N_O 。扇出系数 N_O 是指门电路能驱动同类门的个数，它是衡量门电路带负载能力的一个参数，TTL 与非门有两种不同性质的负载，即灌电流负载和拉电流负载，因此有两种扇出系数，即低电平扇出系数 N_{OL} 和高电平扇出系数 N_{OH} 。通常 $I_{IH} < I_{IL}$ ，则 $N_{OH} > N_{OL}$ ，故常以 N_{OL} 作为门的扇出系数。

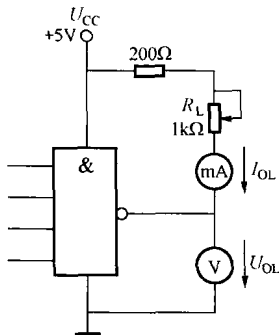


图 1-3 扇出系数试测电路

N_{OL} 的测试电路如图 1-3 所示，门的输入端全部悬空，输出端接灌电流负载 R_L ，调节 R_L 使 I_{OL} 增大， U_{OL} 随之增高，当 U_{OL} 达到 U_{OLm} (手册中规定低电平规范值 0.4V) 时的 I_{OL} 就是允许灌入的最大负载电流，则

$$N_{OL} = \frac{I_{OL}}{I_{IL}}, \text{ 通常 } N_{OL} \geq 8$$

(4) 电压传输特性。门的输出电压 U_O 随输入电压 U_I 而变化的曲线 $U_O = f(U_I)$ ，称为门的电压传输特性，通过它可读得门电路的一些重要参数，如输出高电平 U_{OH} 、输出低电平 U_{OL} 、关门电平 U_{OFF} 、开门电平 U_{ON} 、阈值电平 U_T 及抗干扰容限 U_{NL} 、 U_{NH} 等值。测试电路如图 1-4 所示，采用逐点测试法，即调节 R_w ，逐点测得 U_I 及 U_O ，然后绘成曲线。

(5) 输入端负载特性。TTL 与非门电路的输入电压随输入端与地之间的电阻值而变化的曲线称为输入端负载特性。测试电路如图 1-5 所示。

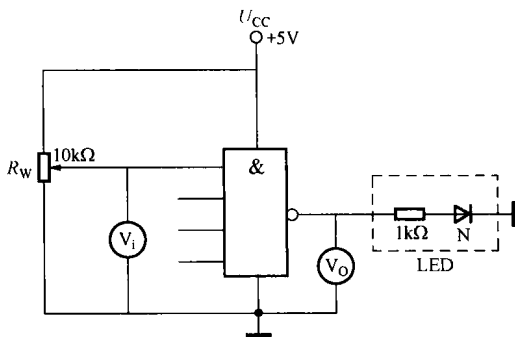


图 1-4 传输特性测试电路

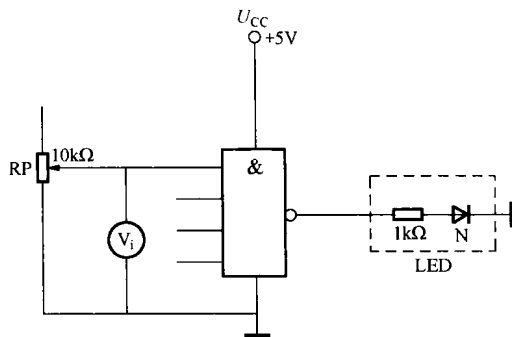


图 1-5 输入端负载特性测试电路

四、实验设备与器件

- | | |
|------------------------------------------|-----|
| (1) 数字电路实验箱 | 1 台 |
| (2) 双踪示波器 | 1 台 |
| (3) 数字万用表 | 1 块 |
| (4) 组件 74LS20、1k、10k 电位器，200Ω 电阻器 (0.5W) | 1 套 |

五、实验内容

在合适的位置选取一个 14P 插座，按定位标记插好 74LS20 集成块。

1. 验证 74LS20 型 TTL 与非门的逻辑功能

按图 1-6 接线，门的四个输入端接逻辑开关输出插口，以提供“0”与“1”电平信号，开关向上，输出逻辑“1”，向下为逻辑“0”。门的输出端接由发光二极管 (LED) 组成的逻辑电平显示器 (又称 0—1 指示器) 的显示插口，LED 亮为逻辑“1”，不亮为逻辑“0”。按表 1-1 的真值表逐个测试集成块中两个与非门的逻辑功能。74LS20 有四个输入端，有 16 个最小项，在实际测试时，只要通过对输入 1111、0111、1011、1101、1110 五项进行检测就可判断其逻辑功能是否正常。

2. 74LS20 主要参数的测试

(1) 分别按图 1-3 接线并进行测试，将测试结果记入表 1-2 中。

注：断开电路测电阻。

(2) 测量电压传输特性。按图 1-4 接线，调节电位器 R_p ，使 U_i 从 0V 向高电平变化，逐点测量 U_i 和 U_o 记入表 1-3 中，并用描点作图法画出传输特性曲线。

(3) 测量输入端负载特性。按图 1-5 接

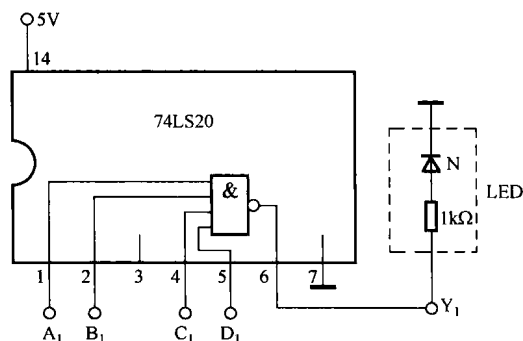


图 1-6 与非门逻辑功能测试电路

线, 调节电位器 R_P , 逐点测量 U_i 和 R_P 的对应值, 记入表 1-4 中。

六、实验报告

(1) 记录、整理实验结果, 并对结果进行分析。

(2) 画出实测的电压传输特性曲线, 并从特性上求出被测与非门的输出高电平 U_{OH} , 输出低电平 U_{OL} , 最小输入高电平 $U_{IH(\min)}$, 最大输入低电平 $U_{IL(\max)}$, 并求出该与非门的高电平噪声容限 $U_{NH} = U_{OH(\min)} - U_{IH(\min)}$ 。

$U_{IL(\max)} = U_{OFF}$ 关门电平

$U_{IH(\min)} = U_{ON}$ 开门电平

$U_{OH(\min)} = U_{SH} = 2.7V$ 标准高电平

$U_{OL(\max)} = U_{SL} = 0.5V$ 标准低电平

(3) 画出实测的输入端负载特性曲线。

(4) 附上原始数据记录及指导教师的签名 (实验指导书中)。

七、集成电路芯片简介

数字电路实验中所用到的集成电路芯片都是双列直插式的, 其引脚排列规则如图 1-1 (c) 所示。识别方法如下: 正对集成电路型号 (如 74LS20) 或看标记 (左边的缺口或小圆点标记), 从左下角开始按逆时针方向以 1, 2, 3, ... 依次排列到最后一脚 (在左上角)。在标准形 TTL 集成电路中, 电源端 U_{CC} 一般排在左上端, 接地端 GND 一般排在右下端。如 74LS20 为 14 脚芯片, 14 脚为 U_{CC} , 7 脚为 GND。若集成芯片引脚上的功能标号为 NC, 则表示该引脚为空脚, 与内部电路不连接。

八、TTL 集成电路使用规则

(1) 接插集成块时, 要认清定位标记, 不得插反。

(2) 电源电压使用范围为 $+4.5 \sim +5.5V$ 之间, 实验中要求使用 $U_{CC} = +5V$ 。电源极性绝对不允许接错。

(3) 闲置输入端处理方法。

1) 悬空, 相当于正逻辑“1”, 对于一般小规模集成电路的数据输入端, 实验时允许悬空处理。但易受外界干扰, 导致电路的逻辑功能不正常。因此, 对于接有长线的输入端, 中规模以上的集成电路和使用集成电路较多的复杂电路, 所有控制输入端必须按逻辑要求接入电路, 不允许悬空。

2) 直接接电源电压 U_{CC} (也可以串入一只 $1 \sim 10k\Omega$ 的固定电阻) 或接至某一固定电压 ($2.4V \leq U \leq 4.5V$) 的电源上, 或与输入端为接地的多余与非门的输出端相接。

3) 若前级驱动能力允许, 可以与使用的输入端并联。

(4) 输入端通过电阻接地, 电阻值的大小将直接影响电路所处的状态。当 $R \leq 680\Omega$ 时, 输入端相当于逻辑“0”; 当 $R \geq 4.7k\Omega$ 时, 输入端相当于逻辑“1”。对于不同系列的器件, 要求的阻值不同。

(5) 输出端不允许并联使用 [集电极开路门 (OC) 和三态输出门电路 (3S) 除外]。否则不仅会使电路逻辑功能混乱, 并会导致器件损坏。

(6) 输出端不允许直接接地或直接接 $+5V$ 电源, 否则将损坏器件, 有时为了使后级电路获得较高的输出电平, 允许输出端通过电阻 R 接至 U_{CC} , 一般取 $R = 3 \sim 5.1k\Omega$ 。

实验原始数据记录

步骤 1:

表 1-1 验证 74LS20 型 TTL 与非门 74LS20 的逻辑功能

输 入				输 出	
A _n	B _n	C _n	D _n	Y ₁	LED 状态
1	1	1	1		
0	1	1	1		
1	0	1	1		
1	1	0	1		
1	1	1	0		

步骤 2:

表 1-2 74LS20 主要参数的测试

I _{IL} (mA)	R _L	V _{OL} (V)	$I_{OL} \text{ (mA)} = \frac{V_{CC} - V_{OL}}{R_L + 200}$	$N_O = \frac{I_{OL}}{I_{IL}}$
0.105		0.4		

表 1-3 测量电压传输特性

V _i (V)	0									5	...
V _O (V)											
LED 状态											

表 1-4 测量输入端负载特性

R _w	0									10K	...
V _i (V)											
LED 状态											

指导教师: _____

实验日期: _____

实验二 译码器、编码器和数据选择器

一、实验目的

了解译码器、编码器和数据选择器的性能和使用方法。

二、预习要求

- (1) 复习译码器、编码器和数据选择器的工作原理。
- (2) 了解中规模编码器和数据选择器的性能和使用方法。
- (3) 列出图 1-20 和图 1-21 所示的译码器和数据选择器的真值表。

三、实验原理

1. 译码器

译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”，变成相应的状态，使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据分配，存储器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。

译码器可分为通用译码器和显示译码器两大类，前者又分为变量译码器和代码变换译码器。

(1) 变量译码器（又称二进制译码器），用以表示输入变量的状态，如 2 线—4 线、3 线—8 线和 4 线—16 线译码器。若有 n 个输入变量，则有 2^n 个不同的组合状态，就有 2^n 个输出端供其使用。而每一个输出所代表的函数对应于 n 个输入变量的最小项。

以 3 线—8 线译码器 74LS138 为例进行分析，图 1-7 (a)、(b) 分别为其逻辑图及引脚排列。

其中， A_2 、 A_1 、 A_0 为地址输入端， $\bar{Y}_0 \sim \bar{Y}_7$ 为译码输出端， S_1 、 \bar{S}_2 、 \bar{S}_3 为使能端。

表 1-5 为 74LS138 功能表。

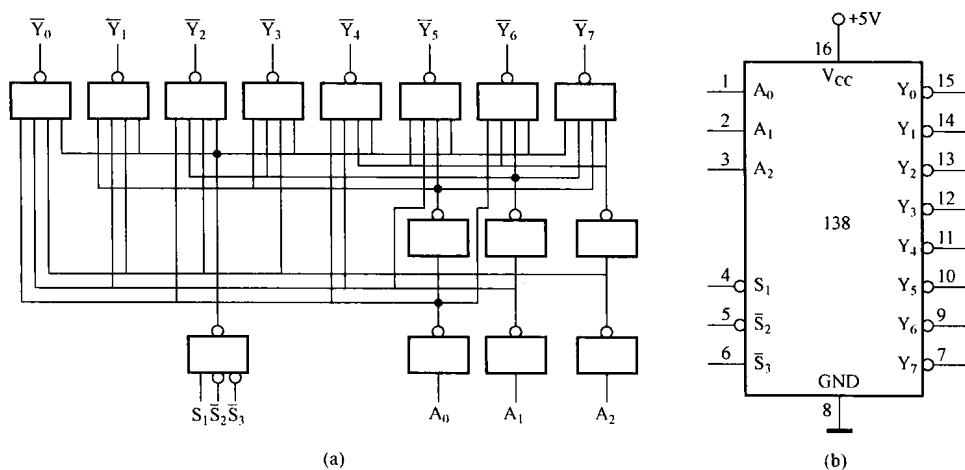


图 1-7 3 线—8 线译码器 74LS138 逻辑图及引脚排列

(a) 逻辑图；(b) 引脚排列

当 $S_1=1, \bar{S}_2+\bar{S}_3=0$ 时, 器件使能, 地址码所指定的输出端有信号 (为 0) 输出, 其他所有输出端均无信号 (全为 1) 输出。当 $S_1=0, \bar{S}_2+\bar{S}_3=X$ 时, 或 $S_1=X, \bar{S}_2+\bar{S}_3=1$ 时, 译码器被禁止, 所有输出同时为 1。

表 1-5 74LS138 功 能 表

输 入					输 出							
S_1	$\bar{S}_2+\bar{S}_3$	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1

二进制译码器实际上也是负脉冲输出的脉冲分配器。若利用使能端中的一个输入端输入数据信息, 器件就成为一个数据分配器 (又称多路分配器), 如图 1-8 所示。若在 S_1 输入端输入数据信息, $\bar{S}_2=\bar{S}_3=0$, 地址码所对应的输出是 S_1 数据信息的反码; 若从 \bar{S}_2 端输入数据信息, 令 $S_1=1, \bar{S}_3=0$, 地址码所对应的输出就是 \bar{S}_2 端数据信息的原码。若数据信息是时钟脉冲, 则数据分配器便成为时钟脉冲分配器。

根据输入地址的不同组合译出唯一地址, 故可用作地址译码器。接成多路分配器, 可将一个信号源的数据信息传输到不同的地点。

二进制译码器还能方便地实现逻辑函数, 如图 1-9 所示, 实现的逻辑函数是

$$Z = \overline{ABC} + \overline{AB}C + A\overline{BC} + ABC$$

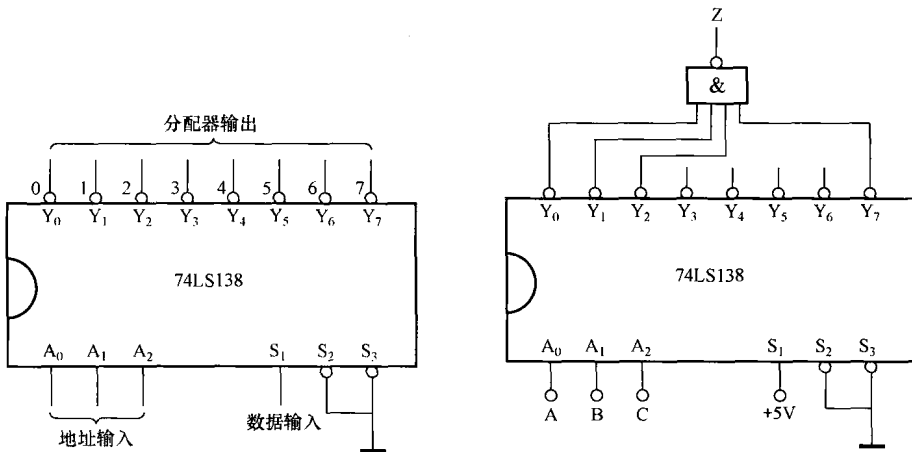


图 1-8 作数据分配器

图 1-9 实现逻辑函数

利用使能端能方便地将两个 3/8 译码器组合成一个 4/16 译码器，如图 1-10 所示。

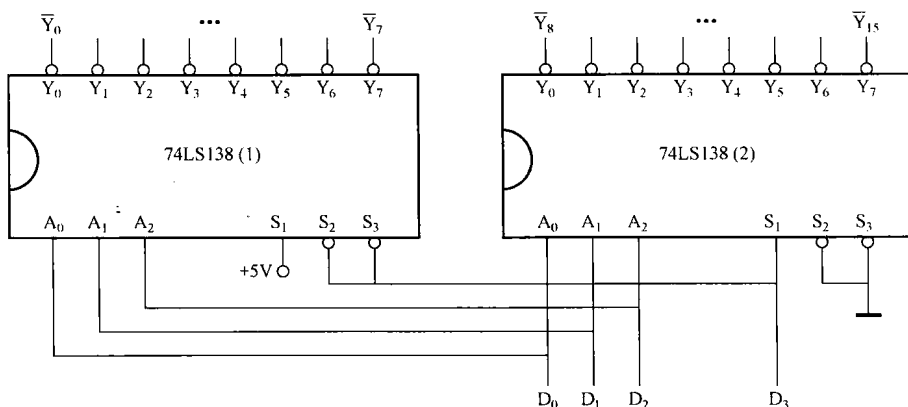


图 1-10 用两片 74LS138 组合成 4/16 译码器

(2) 数码显示译码器。

1) 七段发光二极管 (LED) 数码管。LED 数码管是目前最常用的数字显示器，图 1-11 (a)、(b) 为共阴管和共阳管的电路，(c) 为两种不同出线形式的引出脚功能图。

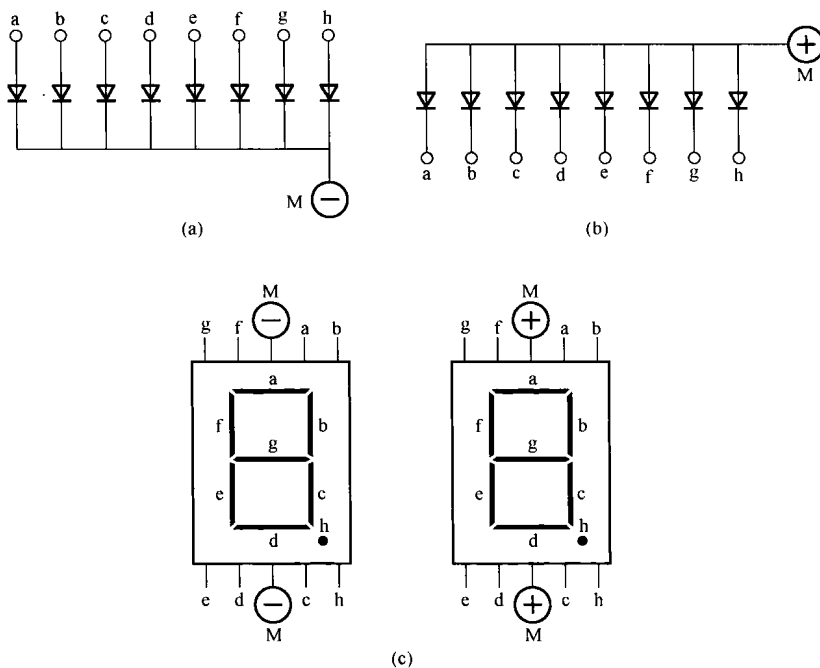


图 1-11 LED 数码管

(a) 共阴连接 (“1” 电平驱动)；(b) 共阳连接 (“0” 电平驱动)；(c) 符号及引脚功能

一个 LED 数码管可用来显示一位 0~9 十进制数和一个小数点。小型数码管 (0.5 寸^①和 0.36 寸) 每段发光二极管的正向压降，随显示光 (通常为红、绿、黄、橙色) 的颜色不同略有差别，通常为 2~2.5V，每个发光二极管的点亮电流在 5~10mA。LED 数码管要显

① 1 寸 = (1/30) m。

续表

输入							输出							
LE	\overline{BI}	\overline{LT}	D	C	B	A	a	b	c	d	e	f	g	显示字形
0	1	1	1	1	0	0	0	0	0	0	0	0	0	消隐
0	1	1	1	1	0	1	0	0	0	0	0	0	0	消隐
0	1	1	1	1	1	0	0	0	0	0	0	0	0	消隐
0	1	1	1	1	1	1	0	0	0	0	0	0	0	消隐
1	1	1	×	×	×	×	锁存							锁存

在本数字电路实验装置上已完成了译码器 CC4511 和数码管 BS202 之间的连接。实验时，只要接通+5V 电源和将十进制数的 BCD 码接至译码器的相应输入端 A、B、C、D 即可显示 0~9 的数字。四位数码管可接受十组 BCD 码输入。CC4511 与 LED 数码管的连接如图 1-13 所示。

2. 编码器

编码是指把二进制码按一定的规律编排，使每一组代码具有一个特定的含义（例如代表某个数或控制信号）。具有编码功能的组合逻辑电路称为编码器。编码器有若干个输入，在某一时刻只有一个输入被转为二进制码，被编码的信号

个数 N 与要使用的二进制代码位数 n 的关系为 $N=2^n$ 。如 8 线—3 线编码器有 8 个输入、3 位二进制码输出和 10 线—4 线编码器有 10 个输入、4 位二进制码输出。下面介绍 4 线—2 线编码器的工作原理。图 1-14 为其逻辑图，其中 $I_3、I_2、I_1、I_0$ 为输入端； $Y_0、Y_1$ 为输出端。表 1-7 为 4 线—2 线编码器的功能表。4 线—2 线编码器的输出逻辑函数表达式为

$$Y_1 = \overline{I_0} \overline{I_1} I_2 \overline{I_3} + \overline{I_0} \overline{I_1} I_2 I_3$$

$$Y_0 = \overline{I_0} I_1 \overline{I_2} \overline{I_3} + \overline{I_0} \overline{I_1} \overline{I_2} I_3$$

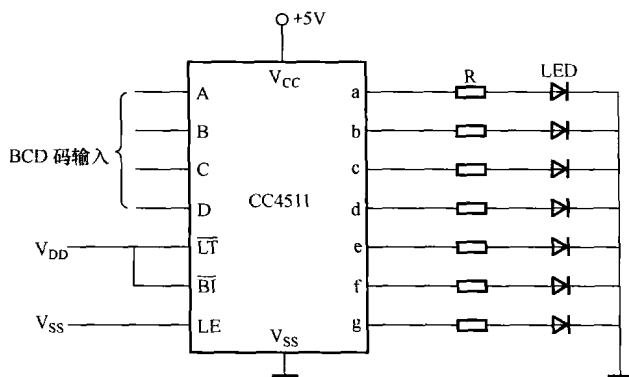


图 1-13 CC4511 驱动一位 LED 数码管

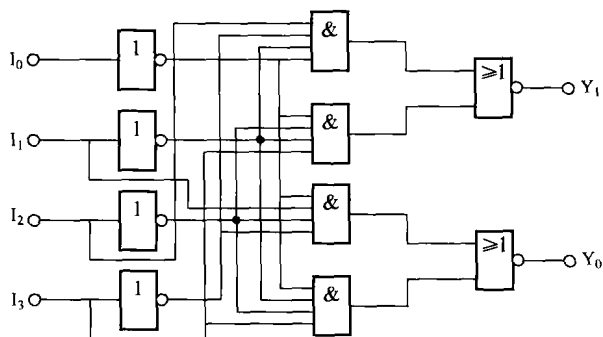


图 1-14 4 线—2 线编码器的逻辑图

表 1-7 4 线—2 线编码器的功能表

输入				输出	
I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

3. 数据选择器

数据选择器又叫“多路开关”。数据选择器在地址码（或叫选择控制）电位的控制下，从几个数据输入中选择一个并将其送到一个公共的输出端。数据选择器的功能类似一个多掷开关，如图 1-15 所示，图中有四路数据 $D_0 \sim D_3$ ，通过选择控制信号 A_1 、 A_0 （地址码）从四路数据中选中某一路数据送至输出端 Q 。

数据选择器为目前逻辑设计中应用十分广泛的逻辑部件，它有 2 选 1、4 选 1、8 选 1、16 选 1 等类别。

数据选择器的电路结构一般由与或门阵列组成，也有用传输门开关和门电路混合而成的。

(1) 74LS151 型 8 选 1 数据选择器。74LS151 为互补输出的 8 选 1 数据选择器，引脚排列如图 1-16 所示，功能见表 1-8。

选择控制端（地址端）为 $A_2 \sim A_0$ ，按二进制译码，从八个输入数据 $D_0 \sim D_7$ 中，选择一个需要的数据送到输出端 Q ， \bar{S} 为使能端，低电平有效。

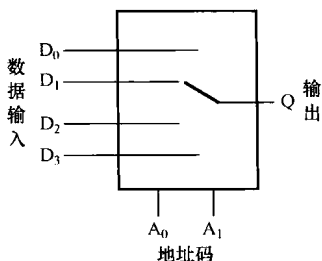


图 1-15 4 选 1 数据选择器示意图

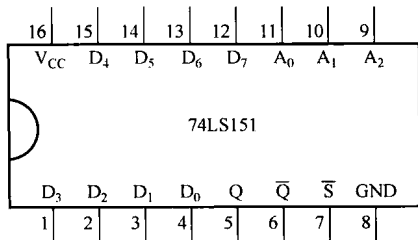


图 1-16 74LS151 引脚排列

表 1-8 8 选 1 数据选择器功能表

输 入				输 出	
\bar{S}	A_2	A_1	A_0	Q	\bar{Q}
1	×	×	×	0	1
0	0	0	0	D_0	\bar{D}_0
0	0	0	1	D_1	\bar{D}_1
0	0	1	0	D_2	\bar{D}_2
0	0	1	1	D_3	\bar{D}_3
0	1	0	0	D_4	\bar{D}_4
0	1	0	1	D_5	\bar{D}_5
0	1	1	0	D_6	\bar{D}_6
0	1	1	1	D_7	\bar{D}_7

1) 使能端 $\bar{S}=1$ 时，不论 $A_2 \sim A_0$ 状态如何，均无输出 ($Q=0$, $\bar{Q}=1$)，多路开关被禁止。

2) 使能端 $\bar{S}=0$ 时，多路开关正常工作，根据地址码 A_2 、 A_1 、 A_0 的状态选择 $D_0 \sim D_7$ 中某一个通道的数据输送到输出端 Q 。

如： $A_2 A_1 A_0 = 000$ ，则选择 D_0 数据到输出端，即 $Q = D_0$ 。

如： $A_2 A_1 A_0 = 001$ ，则选择 D_1 数据到输出端，即 $Q = D_1$ ，其余类推。

(2) 74LS153 型双 4 选 1 数据选择器。所谓双 4 选 1 数据选择器就是在一块集成芯片上有两个 4 选 1 数据选择器。引脚排列如图 1-17，功能见表 1-9。

$1\bar{S}$ 、 $2\bar{S}$ 为两个独立的使能端； A_1 、 A_0 为公用的地址输入端； $1D_0 \sim 1D_3$ 和 $2D_0 \sim 2D_3$ 分别为两个 4 选 1 数据选择器的数据输入端； Q_1 、 Q_2 为两个输出端。