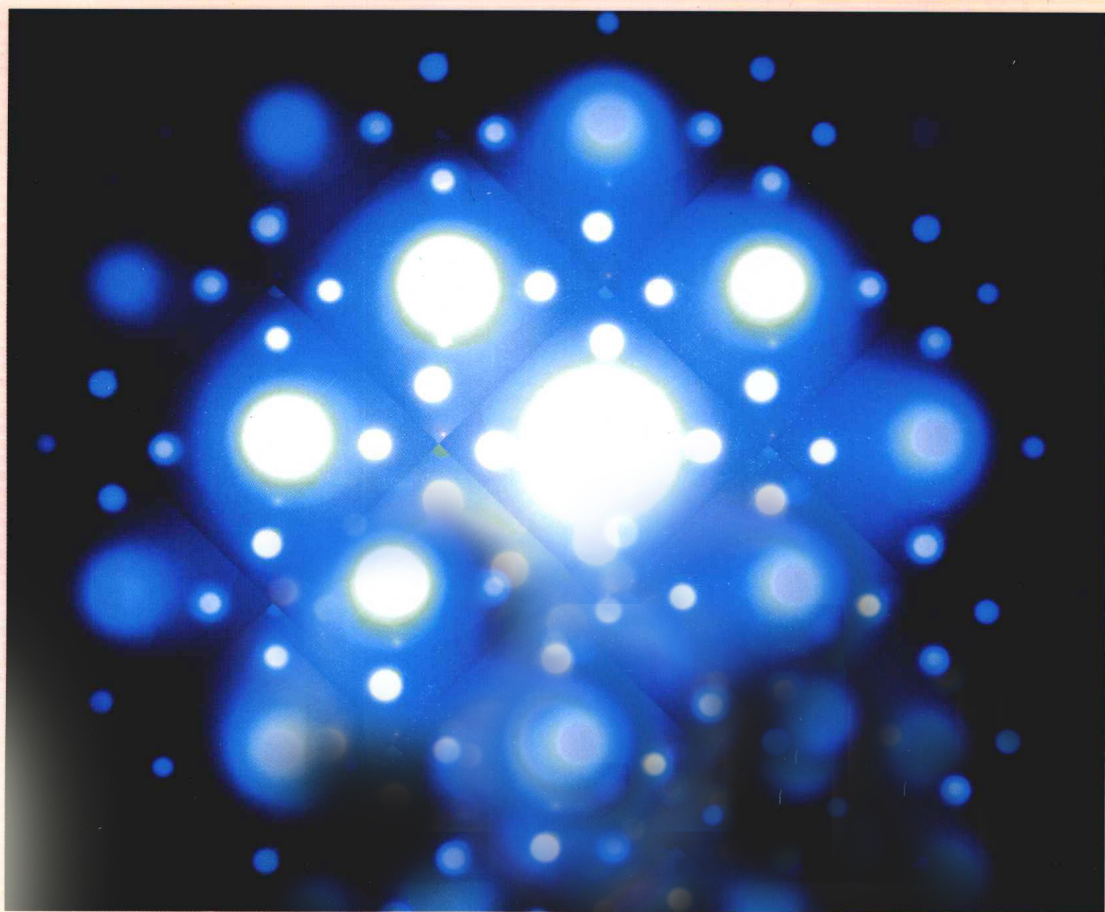


高职高专“十二五”电子信息类专业规划教材
(微电子技术专业)

半导体制造工艺

张渊 主编



BANDAOTIZHIZHIZHAOGONGYI



 **机械工业出版社**
CHINA MACHINE PRESS



赠电子课件

高职高专“十二五”电子信息类专业规划教材
(微电子技术专业)

半 导 体 制 造 工 艺

主 编 张 渊
副主编 董海青 董西英
参 编 余 建 张 睿 赵丽芳 李勇峰
主 审 秦 明



机 械 工 业 出 版 社

本教材的编写简化了深奥的理论论述,在对基本原理介绍的基础上注重了对工艺过程、工艺参数的描述以及工艺参数测量方法的介绍,并在半导体制造的几大工艺技术章节中加入了工艺模拟的内容,弥补了实践课程由于昂贵的设备及过高的实践费用而无法进行实践教学的缺憾。在教材编写过程中,从半导体生产企业获得了大量的工艺设备、工艺过程及工艺参数方面的素材对教材进行了充实。

本教材根据目前集成电路的发展趋势,主要介绍了集成电路工艺的前端工艺部分,即清洗、氧化、化学气相淀积、金属化、光刻、刻蚀、掺杂和平坦化等几个主要工艺,具体每一道工艺中都详细讲述了工艺的基本原理、工艺的操作过程和工艺对应的设备,并加入了部分工艺模拟的操作,力求把当前比较新的工艺介绍给读者。

本教材主要供高等院校微电子相关专业的高年级本科生或大专生学习,也可以作为从事集成电路工艺工作的工程技术人员自学或进修的参考书。

为方便教学,本书备有免费电子课件,凡选用本教材作为授课教材的学校或教师均可来电索取,咨询电话:010-88379375。

图书在版编目 (CIP)

半导体制造工艺/张渊主编. —北京:机械工业出版社, 2010. 10
高职高专“十二五”电子信息类专业规划教材
ISBN 978-7-111-31870-5

I. ①半… II. ①张… III. ①半导体工艺—高等学校:技术学校—教材
IV. ①TN305

中国版本图书馆 CIP 数据核字 (2010) 第 177221 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)
策划编辑:于宁 责任编辑:曹雪伟 版式设计:霍永明
责任校对:纪敬 封面设计:赵颖喆 责任印制:乔宇
北京瑞德印刷有限公司印刷 (三河市胜利装订厂装订)

2011 年 1 月第 1 版第 1 次印刷

184mm × 260mm · 14.5 印张 · 359 千字

0001—4000 册

标准书号: ISBN 978-7-111-31870-5

定价: 26.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

网络服务

社服务中心: (010)88361066

门户网: <http://www.cmpbook.com>

销售一部: (010)68326294

教材网: <http://www.cmpedu.com>

销售二部: (010)88379649

读者服务部: (010)68993821

封面无防伪标均为盗版

前 言

目前集成电路产业的发展日新月异，集成电路（IC）技术已经渗透到国防建设和国民经济发展的各个领域，成为世界第一大产业。随着电路集成工艺技术的日趋成熟，集成电路集成度日益提高，已经达到 10 亿门，芯片最小线宽已到纳米级，同时集成工艺和其他学科相结合，诞生了新的学科。国内集成电路市场需求持续旺盛，产业政策和投资环境持续向好，对我国集成电路产业发展十分有利。集成电路产业高速发展，对人才的需求不断增加，既需要高水平的研究设计人员，也需要从事一线生产的专业技术人员。而适合高职高专院校用于培养技能型人才的教材十分匮乏，大部分高职高专院校由于缺乏资金，实验室建设难以满足学生课程实践的需求。

编者在编写本教材时注重实用性，不但将从半导体生产企业获得的大量素材充实到教材中，而且增加了主要的工艺模拟内容，解决了理论与实践脱离的问题。本教材共 10 章，介绍了清洗、氧化、化学气相淀积、金属化、光刻、刻蚀、掺杂和平坦化等工艺过程，具体每一道工艺中都详细讲述了工艺的基本原理、工艺的操作过程和工艺对应的设备等内容。本教材由东南大学秦明教授任主审，在编写过程中得到了西安微电子技术研究所已经从事半导体集成电路研发工作 20 年的高级工程师李勇峰的支持，他还参与了第 1 章部分内容的编写，在此表示感谢。本教材第 1 章、第 2 章由南京信息职业技术学院张渊老师编写，第 3 章由南京信息职业技术学院赵丽芳编写，第 4 章和第 8 章由常州信息职业技术学院余建编写，第 5 章和第 6 章由无锡商业职业技术学院张睿编写，第 7 章及工艺模拟部分内容由南京信息职业技术学院董海青编写，第 9 章和第 10 章由南京信息职业技术学院董西英编写。

由于编者水平所限，书中难免存在不足和错误，希望广大读者批评指正。

编 者

目 录

前言	
第 1 章 绪论	1
1.1 引言	1
1.2 基本半导体元器件结构	3
1.2.1 无源元件结构	3
1.2.2 有源器件结构	6
1.3 半导体器件工艺的发展历史	9
1.4 集成电路制造阶段	11
1.4.1 集成电路制造的阶段划分	11
1.4.2 集成电路时代划分	12
1.4.3 集成电路制造的发展趋势	13
1.5 半导体制造企业	14
1.6 基本的半导体材料	15
1.6.1 硅——最常见的半导体材料	15
1.6.2 半导体级硅	16
1.6.3 单晶硅生长	17
1.6.4 其他半导体材料	19
1.7 半导体制造中使用的化学品	20
1.8 芯片制造的生产环境	23
1.8.1 净化间沾污类型	23
1.8.2 污染源与控制	24
本章小结	26
本章习题	27
第 2 章 半导体制造工艺概况	28
2.1 引言	28
2.2 器件的隔离	28
2.2.1 PN 结隔离	28
2.2.2 绝缘体隔离	29
2.3 双极型集成电路制造工艺	32
2.4 CMOS 器件制造工艺	35
2.4.1 20 世纪 80 年代的 CMOS 工艺 技术	36
2.4.2 20 世纪 90 年代的 CMOS 工艺 技术	41
2.4.3 21 世纪初的 CMOS 工艺技术	42
本章小结	42
本章习题	43
第 3 章 清洗工艺	44
3.1 引言	44
3.2 污染物杂质的分类	45
3.2.1 颗粒	45
3.2.2 有机残余物	45
3.2.3 金属污染物	45
3.2.4 需要去除的氧化层	46
3.3 清洗方法概况	46
3.3.1 RCA 清洗	47
3.3.2 稀释 RCA 清洗	49
3.3.3 IMEC 清洗	49
3.3.4 单晶圆清洗	50
3.3.5 干法清洗	50
3.4 常用清洗设备——超声波清洗设备	52
3.4.1 超声波清洗原理	52
3.4.2 超声波清洗机	52
3.4.3 其他清洗设备	54
3.5 质量控制	55
本章小结	56
本章习题	56
第 4 章 氧化	57
4.1 引言	57
4.2 二氧化硅膜的性质	57
4.3 二氧化硅膜的用途	59
4.4 热氧化原理	60
4.4.1 常用热氧化方法	61
4.4.2 影响氧化速率的因素	62
4.5 氧化设备	64
4.6 氧化膜的质量控制	66
4.6.1 氧化膜厚度的测量	66
4.6.2 氧化膜缺陷类型及检测	68
4.6.3 不同方法生成的氧化膜特性 比较	70
4.7 氧化工艺模拟	70
4.7.1 概述	70
4.7.2 工艺模型	71
4.7.3 工艺模拟器简介	71

4.7.4 Athena 基础	72	6.4 金属化流程	113
4.7.5 氧化工艺模拟实例	74	6.4.1 传统金属化流程	113
本章小结	77	6.4.2 双大马士革流程	114
本章习题	77	6.5 金属化质量控制	116
第 5 章 化学气相淀积	78	6.6 金属淀积的工艺模拟	116
5.1 概述	78	本章小结	117
5.1.1 薄膜淀积的概念	78	本章习题	118
5.1.2 常用的薄膜材料	78	第 7 章 光刻	119
5.1.3 半导体制造中对薄膜的要求	79	7.1 概述	119
5.2 化学气相淀积	81	7.1.1 光刻的概念	120
5.2.1 化学气相淀积的概念	81	7.1.2 光刻的目的	120
5.2.2 化学气相淀积的原理	81	7.1.3 光刻的主要参数	120
5.3 化学气相淀积系统	81	7.1.4 光刻的曝光光谱	122
5.3.1 APCVD	82	7.1.5 光刻的环境条件	122
5.3.2 LPCVD	83	7.1.6 掩膜版	123
5.3.3 等离子体辅助 CVD	85	7.2 光刻工艺的基本步骤	124
5.4 外延	88	7.3 正性光刻和负性光刻	129
5.4.1 外延的概念、作用、原理	88	7.3.1 正性光刻和负性光刻的概念	129
5.4.2 外延生长方法	89	7.3.2 光刻胶	130
5.4.3 硅外延工艺	91	7.3.3 正性光刻和负性光刻的优缺点	131
5.5 CVD 质量检测	92	7.4 光刻设备简介	131
5.6 淀积工艺模拟	94	7.4.1 接触式光刻机	131
本章小结	95	7.4.2 接近式光刻机	132
本章习题	96	7.4.3 扫描投影光刻机	132
第 6 章 金属化	97	7.4.4 分步重复光刻机	133
6.1 概述	97	7.4.5 步进扫描光刻机	133
6.1.1 金属化的概念	97	7.5 光刻质量控制	134
6.1.2 金属化的作用	97	7.5.1 光刻胶的质量控制	134
6.2 金属化类型	99	7.5.2 对准和曝光的质量控制	134
6.2.1 半导体制造中对金属材料的 要求	99	7.5.3 显影检查	134
6.2.2 铝	100	本章小结	134
6.2.3 铝铜合金	100	本章习题	135
6.2.4 铜	101	第 8 章 刻蚀	136
6.2.5 阻挡层金属	102	8.1 引言	136
6.2.6 硅化物	103	8.1.1 刻蚀的概念	136
6.2.7 钨	105	8.1.2 刻蚀的要求	137
6.3 金属淀积	105	8.2 刻蚀工艺	137
6.3.1 金属淀积的方法	105	8.2.1 湿法刻蚀	137
6.3.2 蒸发	105	8.2.2 干法刻蚀	138
6.3.3 溅射	107	8.2.3 两种刻蚀方法的比较	140
6.3.4 金属 CVD	110	8.3 干法刻蚀的应用	140
6.3.5 铜电镀	111	8.3.1 介质膜的刻蚀	140
		8.3.2 多晶硅膜的刻蚀	143

8.3.3 金属的干法刻蚀	144	9.6 离子注入的应用	181
8.3.4 光刻胶的去除	146	9.6.1 沟道区及阱区掺杂	181
8.4 干法刻蚀的质量控制	147	9.6.2 多晶硅注入	182
本章小结	149	9.6.3 源漏区注入	182
本章习题	149	9.7 掺杂质量控制	183
第9章 掺杂	150	9.7.1 结深的测量及分析	183
9.1 概述	150	9.7.2 掺杂浓度的测量	185
9.1.1 掺杂概念	150	9.7.3 污染	188
9.1.2 掺杂的两种方法	150	9.8 掺杂实验	188
9.1.3 掺杂工艺流程	150	9.8.1 扩散工艺模拟实验	188
9.2 扩散	151	9.8.2 离子注入工艺模拟实验	189
9.2.1 扩散原理	151	本章小结	189
9.2.2 扩散工艺步骤	153	本章习题	190
9.2.3 扩散设备、工艺参数及其控制	155	第10章 平坦化	191
9.2.4 常用扩散杂质源	162	10.1 概述	191
9.3 离子注入	163	10.2 传统平坦化技术	193
9.3.1 离子注入原理	164	10.2.1 反刻	193
9.3.2 离子注入的重要参数	164	10.2.2 玻璃回流	193
9.3.3 离子注入掺杂工艺与扩散掺杂 工艺的比较	167	10.2.3 旋涂玻璃法	193
9.4 离子注入机	167	10.3 化学机械平坦化	194
9.4.1 离子源组件	167	10.3.1 CMP 优点和缺点	195
9.4.2 分析磁体	170	10.3.2 CMP 机理	195
9.4.3 加速聚焦器	172	10.3.3 CMP 设备	200
9.4.4 扫描偏转系统	173	10.3.4 CMP 工艺控制	210
9.4.5 靶室及终端台	175	10.3.5 CMP 应用	215
9.4.6 真空系统	176	10.4 CMP 质量控制	221
9.5 离子注入工艺	176	10.4.1 膜厚的测量及均匀性分析	221
9.5.1 离子注入工艺规范操作	176	10.4.2 硅片表面状态的观测方法及 分析	222
9.5.2 离子注入使用的杂质源及注意 事项	178	本章小结	224
9.5.3 退火	178	本章习题	224
9.5.4 关键工艺控制	179	参考文献	226

第 1 章 绪 论

本章教学目标

- 了解典型半导体芯片的制造流程。
- 掌握基本半导体器件的结构。
- 了解半导体器件工艺的发展历史。
- 掌握集成电路制造的阶段、时代的划分及发展趋势。
- 掌握半导体制造的主要材料硅的特性及其被广泛采用的主要原因。
- 掌握单晶硅的制备方法。
- 了解半导体制造中所使用的化学品的特征以及如何运输。
- 了解对芯片制造的生产环境的要求及净化间污染源如何加以控制。

1.1 引言

电子工业和半导体工业已经超过传统的钢铁工业、汽车工业，成为 21 世纪的高附加值、高科技的产业。电子工业的高速发展依赖于半导体工业的快速提高，而在半导体工业中其核心是集成电路（电集成、光集成、光电集成），集成电路在性能、集成度、速度等方面的快速发展是以半导体物理、半导体器件、半导体制造工艺的发展为基础的。在学习半导体制造工艺之前首先要清楚什么是集成电路，这样就可以知道学习半导体工艺是要制造什么。

集成电路（Integrated Circuit, IC）是通过一系列特定的平面制造工艺，将晶体管、二极管等有源器件和电阻、电容等无源元件，按照一定的电路互连关系，“集成”在一块半导体单晶片上，并封装在一个保护外壳内，能执行特定功能的复杂电子系统。图 1-1 表明了集成电路组成的抽象结构图，从图中可以看到，集成电路系统由一系列模块构成，而模块由一些门电路组成，门电路又是由基本的逻辑电路构成的，而基本的逻辑电路就是由元器件构成的（包括有源器件和无源元件），半导体制造实际上就是在制作有源器件和无源元件并将这些元器件进行互连，使其具备一定的功能。不同的元器件结构决定了元器件的性能有所不同，元器件的性能最终决定了集成电路的特性。随着集成度和性能的提高，对集成电路制造的环境要求也越来越高，沾污的控制更为重要，其决定着芯片的成品率。本章将对元器件的结构、半导体制造的过程、沾污的控制等方面做一个简单的介绍，使大家对集成电路制造过程、制造环境有一个大致的了解，以便于将本书着重介绍的工艺与元器件的制造结合起来，便于后续课程的学习和理解。

典型的半导体芯片的制造流程如图 1-2 所示，从图中可以大致了解到半导体芯片制造的整个过程。

本书重点介绍芯片的制造部分，介绍芯片制造的主要工艺。尽管一个超大规模集成电路芯片的制造要经过几百道工序，但其实质是在重复清洗、氧化、化学气相淀积、金属化、光刻、刻蚀、掺杂和平坦化这几大工艺，本书也将围绕这几大工艺进行介绍。

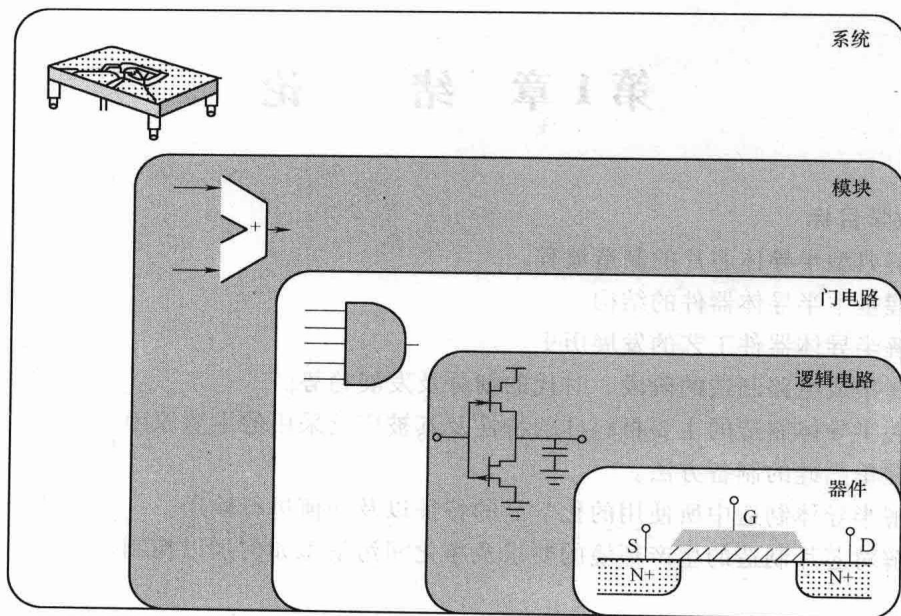


图 1-1 集成电路组成的抽象结构图

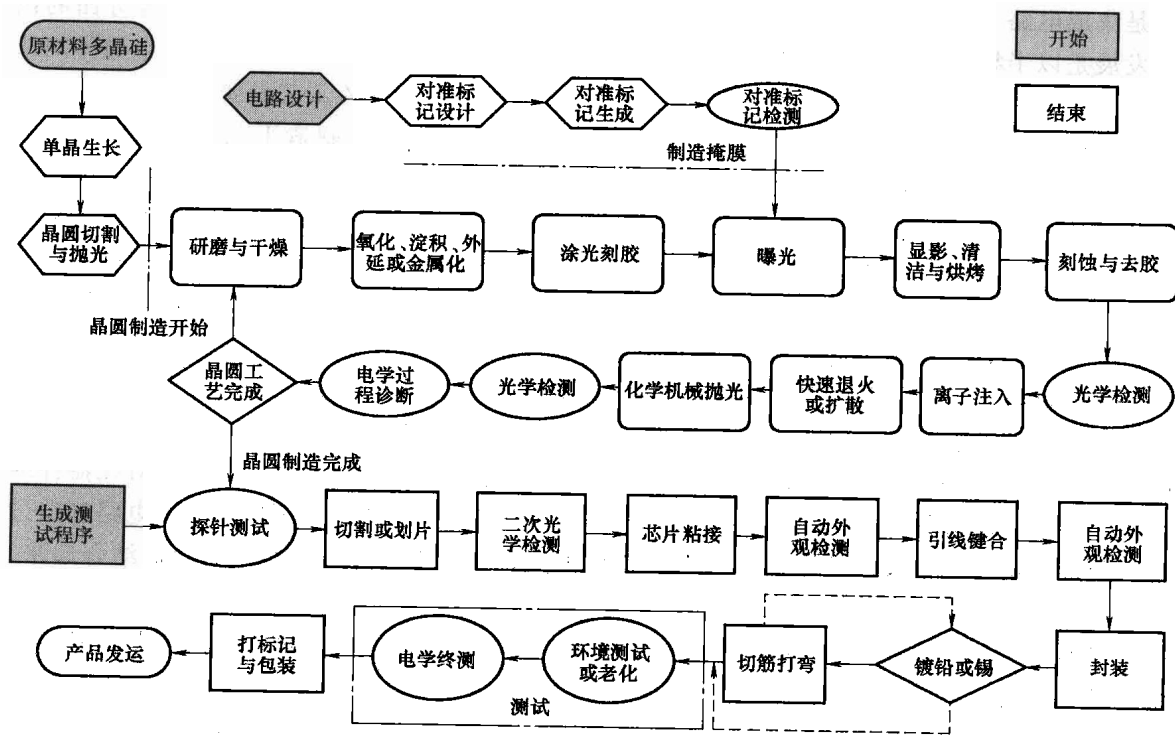


图 1-2 典型的半导体芯片的制造流程

1.2 基本半导体元器件结构

集成电路种类很多，但其基本组成单元就是由无源元件和有源器件组成，这些元器件按一定的方式互连而具备一定的电学性能并能完成一定的器件功能。根据构成集成电路的晶体管不同有双极型集成电路和 MOS 集成电路两类，前者以双极型平面晶体管为主要器件，后者以 MOS 场效应晶体管为基础。各种不同的集成电路性能不同而组成它的基本单元的元器件结构也不同，不同的结构就意味着元器件的性能参数不同，这些元器件有成千上万种结构，这里只能列举其中一部分，它们是集成电路制造技术的基础，图 1-3 为由二极管、MOS 场效应晶体管和电阻组成的 SRAM 电路图。

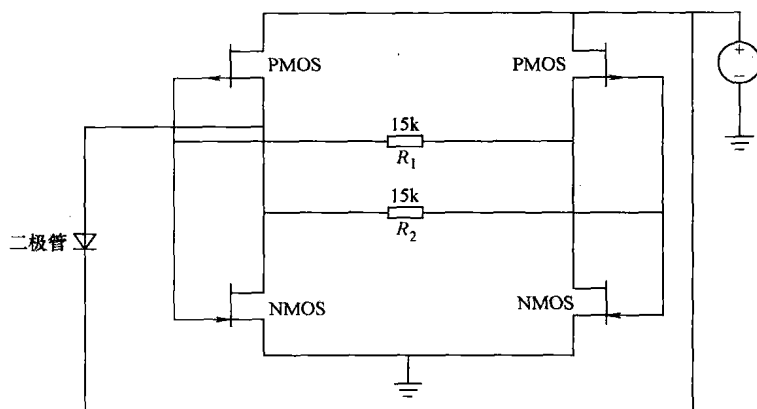


图 1-3 由二极管、MOS 场效应晶体管和电阻组成的 SRAM 电路图

1.2.1 无源元件结构

1. 集成电路电阻的结构

集成电路中电阻可以由金属膜或掺杂的多晶硅构成或者通过杂质扩散到衬底的特定区域中产生，如图 1-4 所示，电阻和芯片电路之间的连接是通过与金属导体（如铝、钨）形成接触实现的。

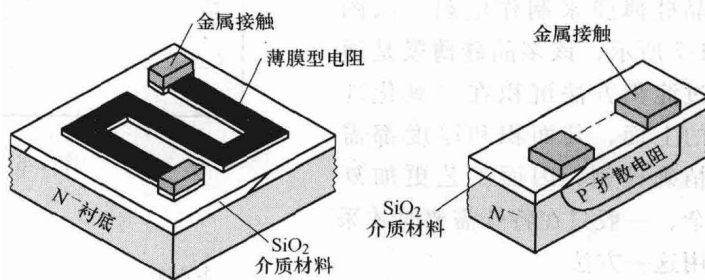


图 1-4 集成电路中电阻的结构

一般在集成电路中很少使用电阻，特别是在 MOS 集成电路中，即使需要电阻也用 MOS 场效应晶体管来代替。但在某些集成电路中还需要采用电压与电流具有线性关系的电阻。

对于双极型电路的电阻，它的制作过程与双极型晶体管的制作同时进行，并利用双极型晶体管中的某一层来形成电阻，图 1-5 就是利用基区、发射区扩散形成电阻的结构图。

另外也可以利用外延层来形成电阻，如图 1-6 所示。

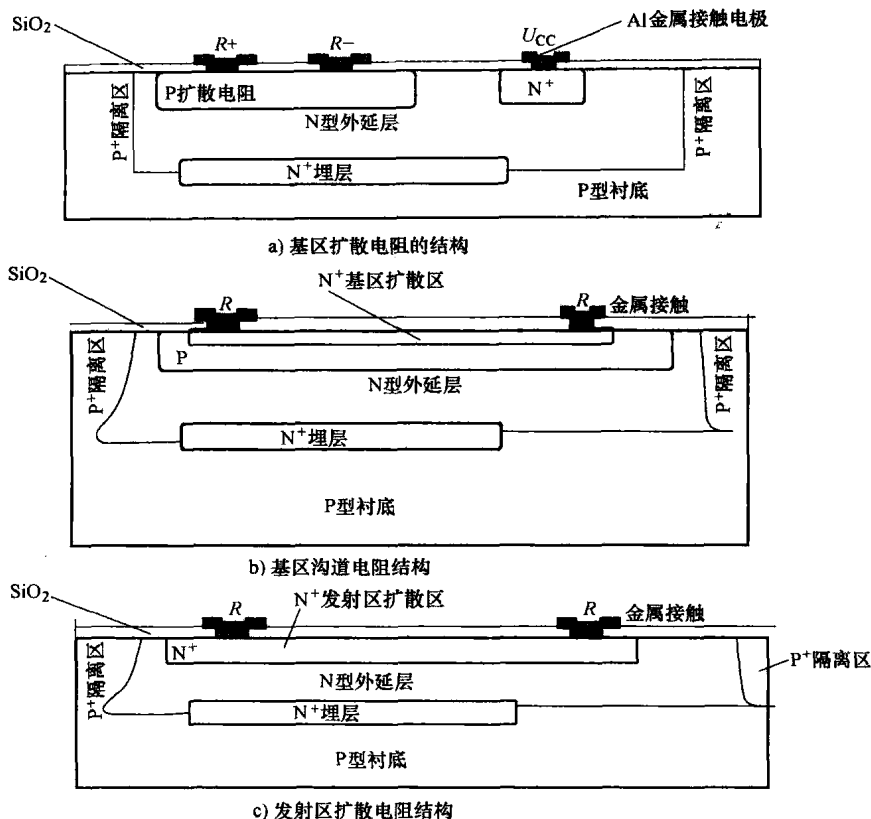


图 1-5 利用基区、发射区扩散形成电阻的结构

以上形成的电阻，其电阻的绝对值较难控制，为得到精确的电阻值，常利用多晶硅薄膜来制作电阻，如图 1-7 所示，该多晶硅薄膜是通过淀积方法沉积在二氧化硅的上面，其面积和厚度都需精确控制，因而工艺更加复杂，一般只在特殊需要时才采用这一方法。

2. 集成电路电容结构

一个简单的电容是由两个分立的导电层被介质材料隔离开而形成的，芯片制造中的介质材料通常是二氧化硅。平面型电容器可由金属薄层、掺杂的多晶硅或者衬底的扩散区形

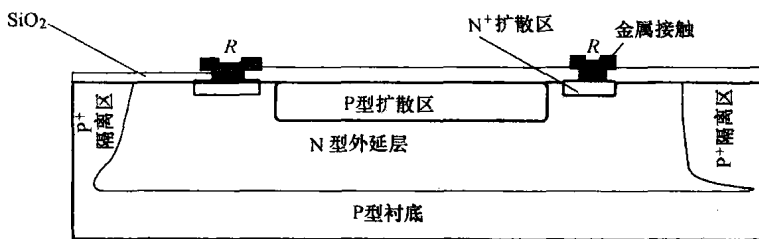


图 1-6 外延层电阻结构

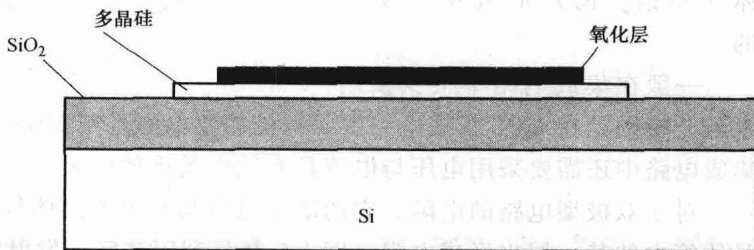


图 1-7 MOS 集成电路中的多晶硅电阻

成。通常衬底上的电容由以下四种结构形式，如图 1-8 所示。

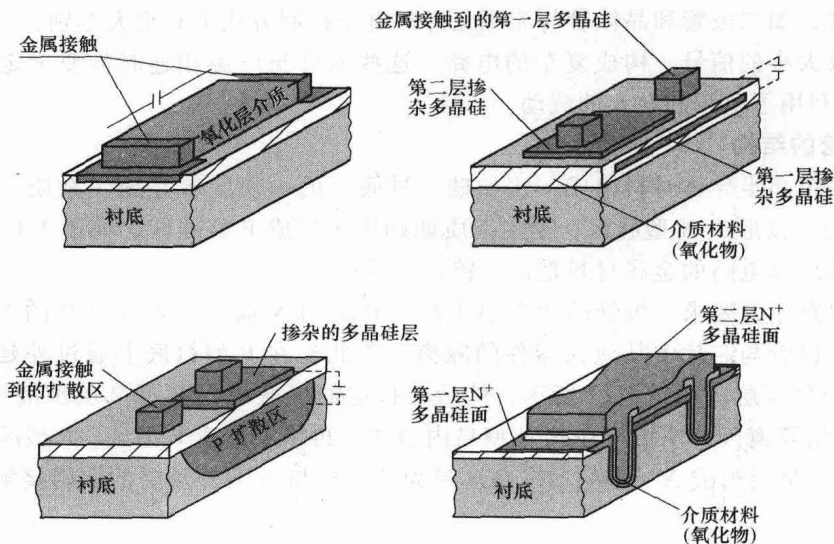


图 1-8 集成电路中电容的结构

通常这种电容所占面积较大，一个 100pF 的电容在芯片上所占的面积往往要超过 100 个晶体管所占的面积，因而在集成电路中实现电容的相对成本与用分立元件实现电容时的相对成本是不同的。一般，在集成电路中，电容的成本要高于电阻，电阻的成本要高于晶体管，因此在集成电路的设计中应尽可能避免采用电阻和电容这类元件。

集成电路中的电容也可以利用反向偏置时的 PN 结电容来获得。但这样的电容，其电容量是反向偏置的函数，电容值会随电压变化而变化，图 1-9 是利用发射区扩散区、隔离区、埋层形成的 PN 结电容。

还可以利用 MOS 场效应晶体管来形成电容，其中表面一层金属 Al 作为电容的一个电极板，二氧化硅为介质，另一个电容的电极板由 N^+ 的扩散区形成，如图 1-10 所示。

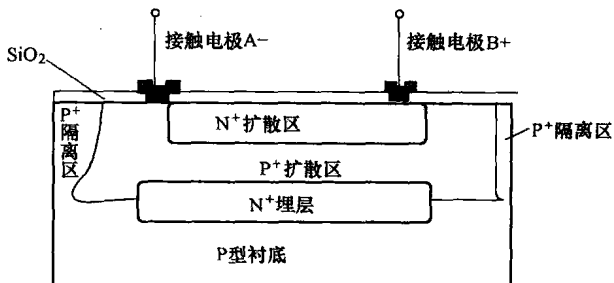


图 1-9 PN 结电容结构

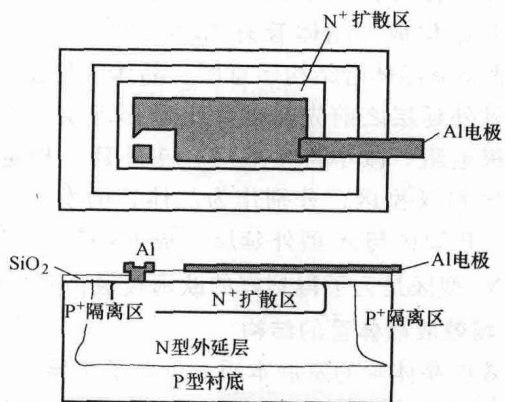


图 1-10 MOS 场效应晶体管电容结构

1.2.2 有源器件结构

有源器件，如二极管和晶体管与无源元件在电子控制方式上有很大差别，可以用于控制电流方向，放大小的信号，构成复杂的电路。这些器件与电源相连时需要确定电极（+ 或 -）。工作时利用了电子和空穴的流动。

1. 二极管的结构

二极管由单晶半导体材料构成，比如硅，衬底上的一块区域是施主杂质（如砷、磷或锑）的重掺杂，以形成 N 型硅区，受主杂质如硼用于形成 P 型硅区，如图 1-11 所示。用于连接二极管和芯片电路的金属材料是铝、钨、钛或铜。

在集成电路中，要求二极管的两个引出端（P 端和 N 端）必须在芯片的上方引出，此外还要考虑二极管与芯片中其他元器件的隔离，为此先在 P 型衬底上通过外延生长得到一层很薄的 N 型外延层，如图 1-12 所示，然后在指定的区域进行 P 型杂质扩散形成 N 型岛，同时形成 PN 结隔离区，二极管在此 N 型岛内制作，再掺杂形成 P 型区，P 型区与 N 型外延层形成 PN 结。最后形成 N^+ 型区， N^+ 型区是为了得到与 N 型外延层的欧姆接触，并由金属铝作为引出端。

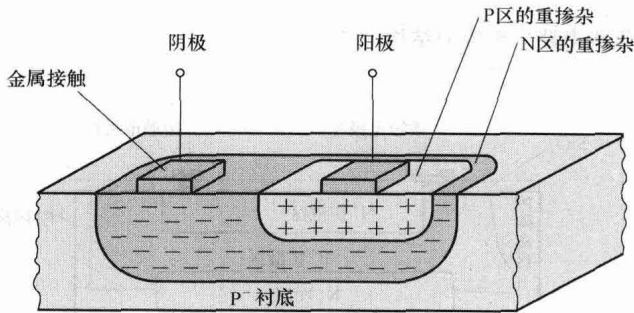


图 1-11 集成电路中二极管的基本结构

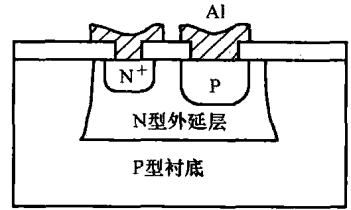


图 1-12 集成电路中二极管的结构

2. 晶体管的结构

晶体管有三个电极和两个 PN 结，从一个单一的半导体衬底开始构成。晶体管有 NPN 和 PNP 两种类型。图 1-13 为典型的晶体管结构示意图，晶体管是在外延层上制作，在做外延层之前先在硅片上制作埋层，埋层能够减小集电极电阻，减小寄生效应，在外延层指定的区域形成 P 型区和 N 型区，分别作为晶体管的发射区、基区和集电区，P 型区与 N 型外延层形成 PN 结。最后形成 N^+ 型区， N^+ 型区是为了得到好的欧姆接触，并由金属铝作为引出端。

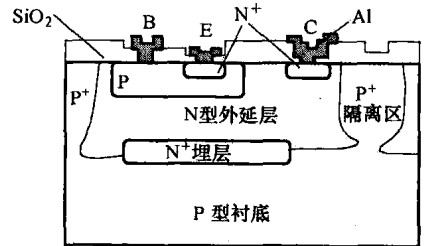


图 1-13 晶体管的基本结构

3. 场效应晶体管的结构

场效应晶体管的发展本质上创造了半导体工艺发展史上的新时代。与晶体管的电流放大不同，场效应晶体管是一种电压放大器件，它们之间的相似之处是都有三个电极并且都在单晶衬底上制作，场效应晶体的最大优势是它的低电压和低功耗。

场效应晶体管在线性/模拟电路中作为放大器使用，在数字电路中作为开关器件使用。它的高输入阻抗和适中的放大特性使其成为一种卓越的器件，可用于仪表和通信设备；它的低功耗和可压缩性使其极适用于一直在缩小尺寸的超大规模集成电路和甚大规模集成电路工艺。

场效应晶体管有两种类型：结型（JFET）和金属-氧化物晶体管（MOSFET）。这两种场效应晶体管的区别是 MOSFET 的栅极由一层薄介质（二氧化硅，称为栅氧化物）与其他两极（源极和漏极）绝缘。JFET 的栅极和其他两极（源极和漏极）形成物理的 PN 结。JFET 广泛应用于 GaAs 集成电路。由于 MOSFET 在超大规模集成电路中的应用广泛，本节将主要介绍 MOSFET 的结构。MOSFET（简称 MOS 管）有 NMOS 和 PMOS 两大类。图 1-14 是其结构图和示意图。MOS 管的工作原理是在 1930 年提出的，要比晶体管早得多，但由于氧化膜的质量问题，问世却比晶体管要迟。自从硅片表面可形成高质量的热二氧化硅膜以后，MOS 管才达到实用化的阶段，一直是集成电路的主要晶体管。

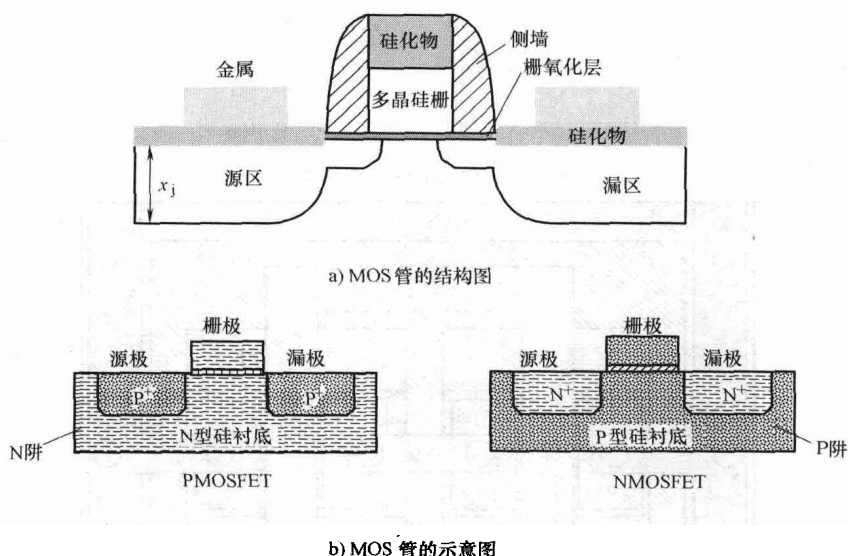


图 1-14 MOS 管的结构图和示意图

“金属氧化物”是指栅极的构成材料，然而，源于早期的 MOS 技术对 MOS 器件中“金属”的描述目前已不再准确。现在用于 MOS 管最常用的材料是掺杂的多晶硅，它是一种在集成电路制造中淀积在衬底上的掺杂的多晶的硅材料。源区和漏区各自为 N 型或 P 型的重掺杂，这取决于制作的晶体管类型，在没有导电状态下沟道是由称为阱的相反掺杂类型区域构成的通路，NMOS 在 P 阱内形成，PMOS 在 N 阱内形成。MOS 管是一种完全对称的结构，在没有加电的情况下是分不出源极和漏极的，只有加电以后，对于 NMOS 管低电位是源极而高电位是漏极，而 PMOS 管则正好相反。

4. CMOS 结构

以 MOSFET 为基础的集成电路制造多年来都集中在单一的 N 沟道 MOSFET 技术为基础的产品研制和开发上。虽然分立的 PMOS 管在特定的电子应用方面有其特殊的功能，但是 20 世纪 70 年代初期以来，由于电子的迁移率比空穴的高得多，所以通常 NMOS 集成电路器件替代了 PMOS 技术，成为绝大多数集成电路制造商的选择。

CMOS 是一种既包含 NMOS 又包含 PMOS 管的电路，称为互补型 MOS 电路（Complementary MOS），简称 CMOS 电路。功耗、等比缩放设计技术和制造工艺等方面的改进相结合，使 CMOS 技术在 20 世纪 80 年代起就成为一种最普遍的器件技术。CMOS 器件最大特点是静态功耗为零。图 1-15 所示为一个简单的 CMOS 反相器电路的电路图、顶视图和剖面图。

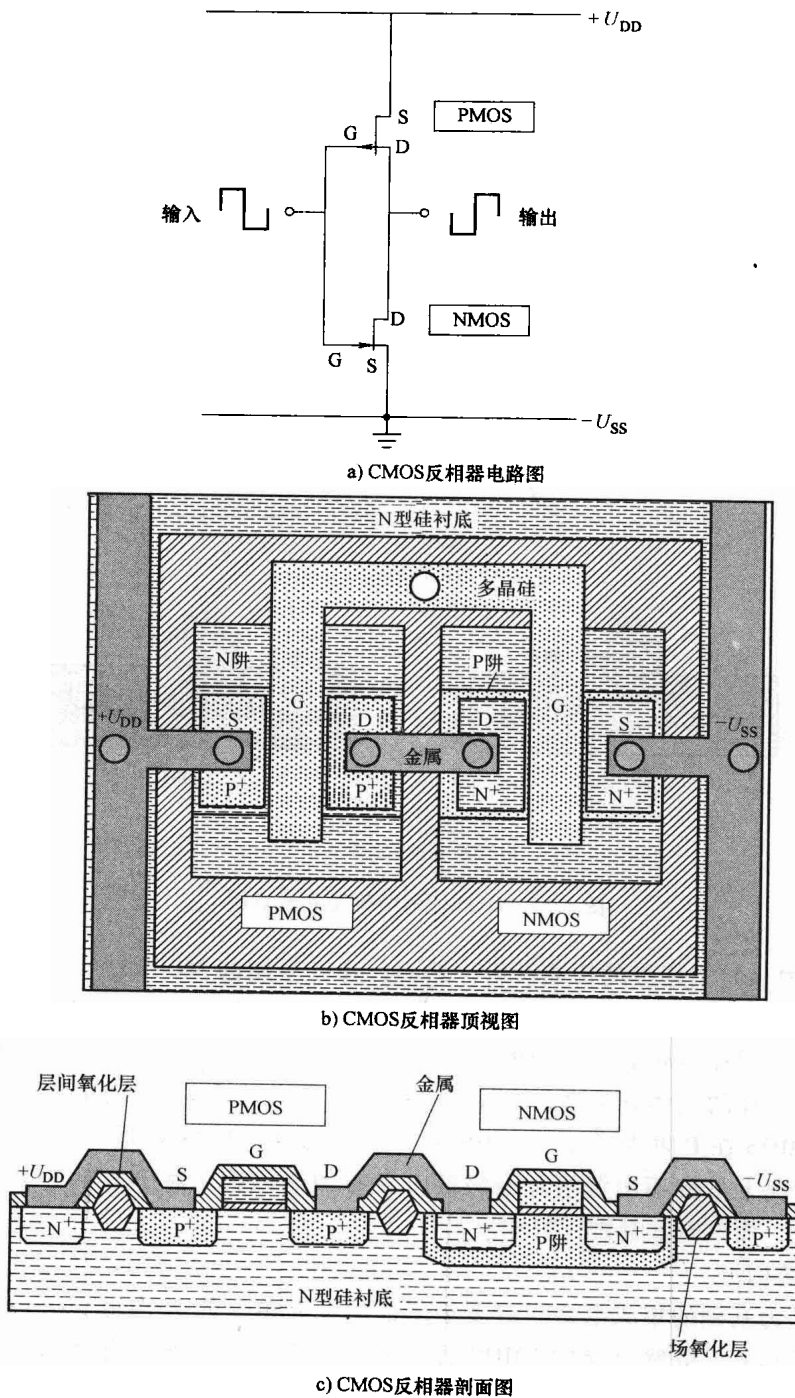


图 1-15 CMOS 反相器电路的电路图、顶视图和剖面图

为了将两种类型的 MOS 管做在同一硅片衬底上，就要先在硅衬底上形成一个 N 阱 (N-well) 或 P 阱 (P-well)，图 1-15 中 NMOS 制作在 P 阱中，而 PMOS 直接制作在衬底上。

一般双极型集成电路具有中等的速度，驱动能力强，模拟精度高，但功耗比较大。而 CMOS 集成电路具有低的静态功耗、宽的电源电压范围和宽的输出电压幅度，还具有高速、高密度潜力，可与 TTL 电路兼容，但电流驱动能力低。

1.3 半导体器件工艺的发展历史

1952 年肖克莱发明了生长型晶体管，其特点是在晶体生长过程中形成 NPN 型晶体管，生长型晶体管生长时的示意图如图 1-16 所示。

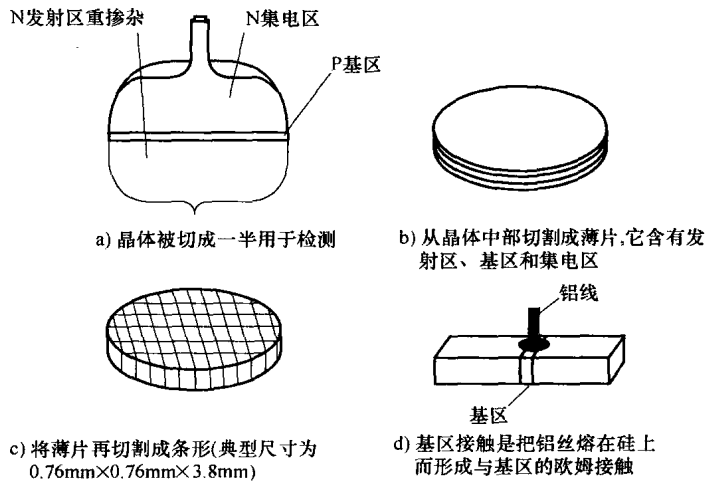


图 1-16 生长型晶体管生长示意图

同年萨拜提出了合金结型晶体管，其原理是将钢球放置在锗片的两边，在高温下溶解锗而形成两个 PN 结，具体过程如图 1-17 所示。

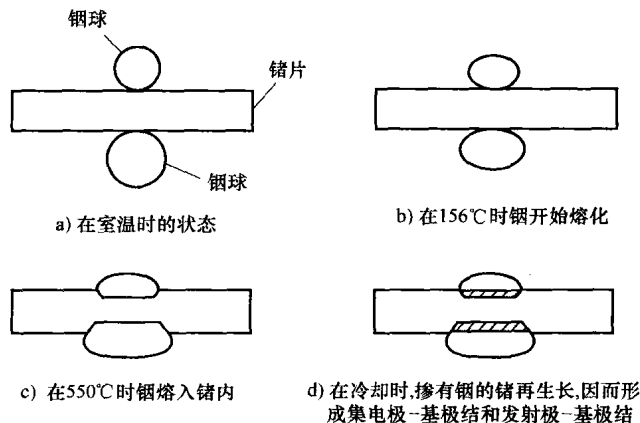


图 1-17 合金结型晶体管示意图

1954年贝尔实验室提出了采用气相扩散方法形成台面型结型晶体管，具体过程如图1-18所示。

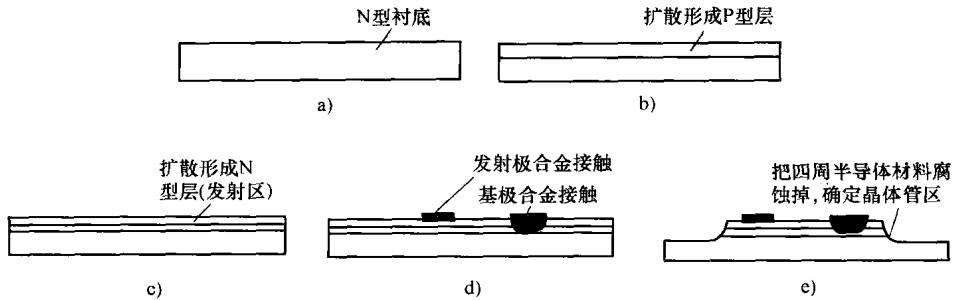


图 1-18 台面型结型晶体管示意图

但这三种工艺所制造出来的晶体管都有一个严重的缺陷，即它们的PN结都暴露在半导体表面，因而易造成PN结漏电。虽然采用各种不同的涂敷物来减少漏电，但效果都不理想。

对当代集成电路制造技术起着关键性贡献的是1960年10月硅平面结型晶体管的发明，它有效地解决了结保护问题，它是设法在硅的表面生长出一层二氧化硅层，结被掩藏在热生长出的二氧化硅层的下面，如图1-19所示。引入平面工艺后晶体管的可靠性得到了提高，成品率也明显有了改进，再加上硅材料具有本征的高温特性，而锗器件难以获得这些优点，因而锗器件的生产开始衰退，这就是当代集成电路不再采用锗材料的主要原因之一。

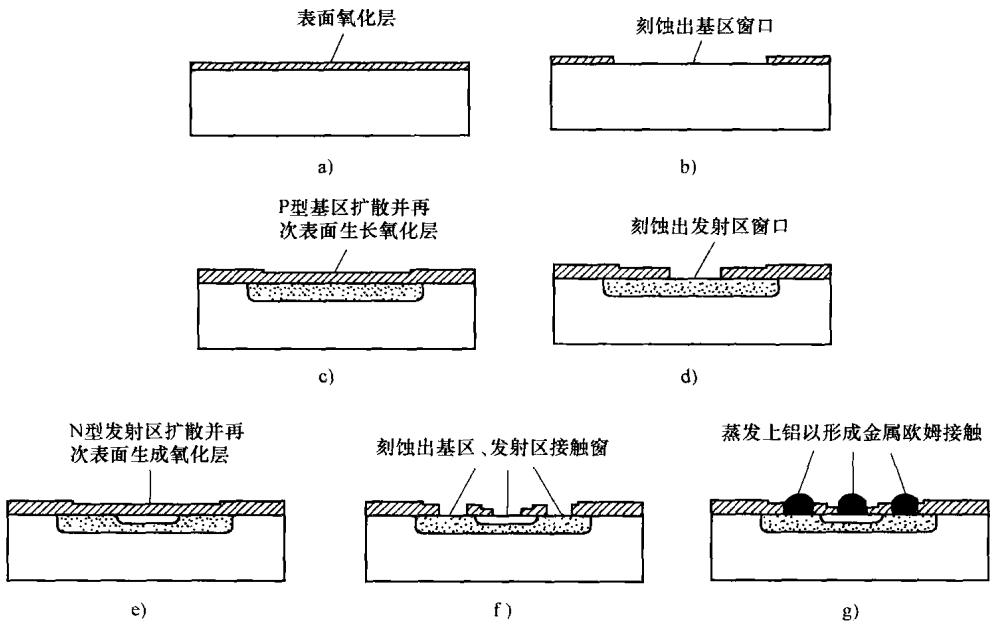


图 1-19 硅平面结型晶体管示意图

集成电路发明以前，所有电子电路都是将晶体管、二极管、电阻、电容、电感等分立元器件按一定要求用导线连接而成的，虽然经过简化制造，增加封装密度，增多印制电路板的