

Xilinx公司

推荐FPGA/CPLD培训教材



Xilinx

可编程逻辑器件 设计与开发

(基础篇)

■ 王春平 张晓华 赵翔 编著
Xilinx 公司 审校



人民邮电出版社
POSTS & TELECOM PRESS

Xilinx 公司

推荐 FPGA/CPLD 培训教材



Xilinx

可编程逻辑器件 设计与开发

(基础篇)

■ 王春平 张晓华 赵翔 编著
Xilinx 公司 审校

人民邮电出版社

北京

图书在版编目 (C I P) 数据

Xilinx可编程逻辑器件设计与开发. 基础篇 / 王春平, 张晓华, 赵翔编著. — 北京: 人民邮电出版社, 2011.5

ISBN 978-7-115-24699-8

I. ①X… II. ①王… ②张… ③赵… III. ①可编程序控制器 IV. ①TM571.6

中国版本图书馆CIP数据核字(2011)第027483号

内 容 提 要

本书介绍了 Xilinx 主流 FPGA 的结构与特点、Xilinx FPGA 的开发流程及其常用相关开发工具 (包括 IP 核生成器、FPGA Editor、RTL/Architecture 原理图查看器、ChipScope、PlanAhead 等工具) 的应用, 还介绍了业界使用最广泛的仿真工具 ModelSim, 最后介绍了 Xilinx 的 8 位微控制器 PicoBlaze。

本书配有 1 张光盘, 其中收录了本书所涉及的参考资料、完整工程、源代码等。

本书可作为高等院校通信工程、电子工程、计算机、自动化、微电子与半导体等专业的参考书, 也可作为硬件工程师、IC 设计者的实用工具书。

Xilinx 可编程逻辑器件设计与开发 (基础篇)

- ◆ 编 著 王春平 张晓华 赵 翔
审 校 Xilinx 公司
责任编辑 李永涛
- ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号
邮编 100061 电子邮件 315@ptpress.com.cn
网址 <http://www.ptpress.com.cn>
三河市潮河印业有限公司印刷
- ◆ 开本 787×1092 1/16
印张: 29 25
字数: 718 千字 2011 年 5 月第 1 版
印数: 1-4 000 册 2011 年 5 月河北第 1 次印刷

ISBN 978-7-115-24699-8

定价: 59.00 元 (附光盘)

读者服务热线: (010) 67132692 印装质量热线: (010) 67129223
反盗版热线: (010) 67171154

序

美国赛灵思 (Xilinx) 公司成立于 1984 年, 首创了现场可编程逻辑阵列 (FPGA) 技术, 在可编程逻辑领域一直处于领先水平。据 iSuppli 统计, 在 Xilinx 的 2009 年财政年度, 其销售额达到 18 亿美元, 可编程逻辑器件 PLD (Programmable Logic Device) 的市场占有率超过 50%。如今, Xilinx 公司在全球有约 3000 名员工, 超过 20000 个客户, 拥有 2000 多项发明专利。

25 年来, Xilinx 推出了一代又一代产品, 有早期的 XC3000/4000 系列、Spartan/2 系列、Virtex/VirtexII-Pro 系列, 有目前流行的 Spartan3/3E/3A/3AN/6 系列, 以及高端器件 Virtex-4/5/6 系列。如今的 FPGA 已不仅仅用于逻辑设计, 而越来越多地用于系统设计, 因为在 FPGA 内部, 不但拥有用于逻辑设计的可编程逻辑块, 还嵌入了更多的硬件资源, 如 BRAM、DSP、PCI-e、高速 Transceiver、TEMAC、MCB (Memory Controller Block) 等。

2009 年, 对 Xilinx 来说是创新的一年。它首先推出了基于 45nm 工艺的低成本 FPGA 产品——Spartan-6, 首次将高速 Transceiver、MCB、TEMAC 等硬核嵌入到低成本 FPGA 中。另外一个基于 40nm 工艺的高端 FPGA 产品——Virtex-6, 它是目前业界高性能的 FPGA, 适合于计算密集型、高速、高密度的 SOC (System On Chip) 系统的应用。在 2009 年, Xilinx 还提出了一个设计理念, 那就是目标设计平台 TDP (Targeted Design Platforms)。基于 TDP 设计, FPGA 的设计进度将极大地加速; FPGA 开发者只需要关注其产品本身的特性, 开发自己的应用程序, Xilinx 或者其合作伙伴已经帮助客户完成了大部分的基础性开发, 包括基本的设计平台 (Base TDP)——FPGA 器件、IP、逻辑工具、开发板以及参考设计, 基于某些领域的平台 (Domain TDP)——嵌入式、DSP、逻辑连接、FMC 子板, 基于某些市场的平台 (Market TDP)——IP、用户工具和开发板。我们可以将此概括为“两个产品, 一个思路”。

Xilinx 的可编程逻辑器件日新月异, 其设计软件也在不断地改进、更新, 最新版本为 ISE 11.x。本书在介绍 FPGA 器件的基础上, 介绍了 ISE 11.x 的开发流程以及一些常用的开发工具, 还介绍了 Xilinx 的 8 位微控制器 PicoBlaze、仿真工具 ModelSim 和 Xilinx 的特色开发工具 PlanAhead。

在此, 我向读者郑重推荐《Xilinx 可编程逻辑器件设计与开发 (基础篇)》和《Xilinx 可编程逻辑器件设计与开发 (高级篇)》。基础篇重点介绍了 Xilinx 的器件及常用开发工具, 高级篇重点介绍了一些设计方法、时序分析以及优化技术。希望通过这两本书的学习, 读者能够快速掌握 Xilinx 的 FPGA 的开发技术。

林世兆 (Octavius Lim)
Channel Sales Director
Xilinx, Inc.
2010 年

前言

FPGA 的设计工艺从 130nm 到 90nm, 从 90nm 到 65nm, 从 65nm 到 40nm, 其发展如此迅猛, 让人应接不暇。昨天看来还是新技术, 今天看来就已经过时。如今, 28nm 技术也跃跃欲试, 就要登上历史的舞台。随着 FPGA 设计工艺的日新月异, FPGA 的成本也越来越低, 越来越多地被应用在各个领域, 如通信、医疗、工业控制领域, 甚至在手机、多媒体播放器等消费类产品中也被广泛应用。10 年前说 FPGA, 它还比较神秘; 现在讲 FPGA, 几乎每一个硬件设计者都了解它, 掌握 FPGA 设计技术几乎是每一个硬件设计者的必备技能。

FPGA 领域几大厂商 (Xilinx、Altera、Lattice、Actel) 的产品几乎占领了全球 FPGA 的全部市场。作为全球 FPGA 市场的龙头老大, Xilinx 在全球 FPGA 市场占有率过半。国外介绍 Xilinx 的 FPGA 工程设计方法的书籍很多, 而国内的中文书籍非常匮乏。在这种情况下, 为了满足国内广大学生、电子设计爱好者、硬件设计工程师与 IC 设计工程师了解和掌握 Xilinx 的 FPGA 的设计技术的需要, 我们编写了《Xilinx 可编程逻辑器件设计与开发 (基础篇)》和《Xilinx 可编程逻辑器件设计与开发 (高级篇)》。

《Xilinx 可编程逻辑器件设计与开发 (基础篇)》(以下简称本书) 主要介绍了 Xilinx 的主流 FPGA 的结构与特点, 在介绍 Xilinx 的 FPGA 开发流程的基础上, 介绍了各种辅助开发工具、PlanAhead 工具和第三方仿真工具, 最后介绍了 Xilinx 的 8 位微控制器 PicoBlaze。

本书共分为 12 章, 各章内容如下。

- 第 1 章: 介绍 Xilinx 主流 FPGA 的结构与特点——SSpartan-3。
- 第 2 章: 介绍 Xilinx 主流 FPGA 的结构与特点——Spartan-6。
- 第 3 章: 介绍 Xilinx 主流 FPGA 的结构与特点——Virtex-4。
- 第 4 章: 介绍 Xilinx 主流 FPGA 的结构与特点——Virtex-5。
- 第 5 章: 介绍 Xilinx 主流 FPGA 的结构与特点——Virtex-6。
- 第 6 章: 介绍 Xilinx FPGA 的开发流程, 重点介绍 ISE 工具, 包括设计输入、综合、翻译、映射、布局布线、编程下载, 其中还简单介绍了约束的添加。
- 第 7 章: 介绍 ISE 的辅助开发工具, 包括 IP 核生成器、FPGA Editor 底层编辑器和 RTL/Architecture 原理图查看器。
- 第 8 章: 介绍 Xilinx FPGA 常用编程与配置方法。
- 第 9 章: 介绍用 Xilinx 的在线逻辑分析仪 ChipScope Pro 的使用方法。
- 第 10 章: 介绍 Xilinx 的特色工具——PlanAhead 的应用。
- 第 11 章: 介绍业界使用最为广泛的第三方仿真工具 ModelSim。
- 第 12 章: 介绍 Xilinx 的小巧易用的 8 位微控制器 PicoBlaze 的结构与特点, 并通过一个简单实例介绍其开发步骤。

本书大纲与目录由王春平组织编写。张晓华编写了第 1 章、第 2 章、第 4 章、第 5 章、第 9 章和第 7 章的 IP 核生成部分内容, 赵翔编写了第 3 章、第 8 章和第 7 章的 RTL/Architecture 等部分内容, 王春平编写了 6 章、第 10 章、第 11 章、第 12 章以及第 7 章的 FPGA Editor 部分内容。

在本书的编写过程中, 缘隆公司的吴继华先生给予了大力支持并提出了很多宝贵的意见, 在此表示衷心的感谢! 世健公司的吴勇先生对本书中的部分内容进行了审校, 在此也一并表示感谢! 这里要特别感谢 Xilinx 公司的亚太区分销经理林世兆先生在百忙之中亲自为本书撰序。感谢所有关心并支持本书的同仁佳友。

感谢您选择了本书, 如果您对本书有任何意见或建议, 请与我们联系。

电子函件: cp432@163.com (作者); liyongtao@ptpress.com.cn (责任编辑)。

作者

2010 年 12 月

目录

第 1 章 Spartan-3 系列 FPGA	1
1.1 Spartan-3 系列内部结构	2
1.1.1 可配置逻辑模块 (CLB)	2
1.1.2 时钟资源	7
1.1.3 数字时钟管理器 (DCM)	10
1.1.4 BRAM (Block RAM) 模块	13
1.1.5 嵌入式硬核乘法器	14
1.1.6 IOB 模块	15
1.2 Spartan-3 型 FPGA	18
1.3 Spartan-3E 型 FPGA	19
1.4 扩展 Spartan-3A 型 FPGA	19
1.5 小结	21
第 2 章 Spartan-6 系列 FPGA	22
2.1 Spartan-6 系列内部模块	23
2.1.1 可配置逻辑模块 (CLB)	23
2.1.2 时钟资源	27
2.1.3 时钟管理器 (CMT)	33
2.1.4 BRAM (Block RAM) 模块	41
2.1.5 DSP 模块 XtremeDSP	44
2.1.6 SelectIO 资源	47
2.1.7 MCB 模块	56
2.1.8 GTP 模块	56
2.1.9 PCIe 端点模块	57
2.2 Spartan-6 LX/LXT 型 FPGA	58
2.3 小结	58
第 3 章 Virtex-4 系列 FPGA	59
3.1 ASMBL 架构	60
3.2 Virtex-4 内部模块	61
3.2.1 可配置逻辑模块 (CLB)	61
3.2.2 时钟资源	66
3.2.3 数字时钟管理器 (DCM)	70
3.2.4 相位匹配时钟分频器 (PMCD)	71
3.2.5 BRAM (Block RAM) 模块	72
3.2.6 DSP 模块 XtremeDSP	74

3.2.7 SelectIO 模块	78
3.2.8 RocketIO 模块	86
3.2.9 以太网 (Ethernet MAC) 模块	88
3.2.10 处理器核 (PowerPC405)	91
3.3 Virtex-4 LX 型 FPGA	92
3.4 Virtex-4 SX 型 FPGA	92
3.5 Virtex-4 FX 型 FPGA	93
3.6 小结	94
第 4 章 Virtex-5 系列 FPGA	95
4.1 Virtex-5 系列器件内部逻辑结构	97
4.1.1 可配置逻辑模块 (CLB)	97
4.1.2 时钟资源	102
4.1.3 Select IO 技术	108
4.1.4 Rocket I/O 技术	114
4.1.5 嵌入式 DSP 模块	115
4.1.6 嵌入式 PCIe 模块	117
4.1.7 嵌入式 PowerPC 模块	118
4.2 Virtex-5 LX	119
4.3 Virtex-5 LXT	120
4.4 Virtex-5 SXT	120
4.5 Virtex-5 TXT	121
4.6 Virtex-5 FXT	122
4.7 小结	123
第 5 章 Virtex-6 系列 FPGA	124
5.1 Virtex-6 内部模块	125
5.1.1 可配置逻辑模块 (CLB)	125
5.1.2 时钟资源	130
5.1.3 混合模式时钟管理器 (MMCM)	135
5.1.4 BRAM (Block RAM) 模块	139
5.1.5 DSP 模块 XtremeDSP	140
5.1.6 SelectIO 模块	146
5.1.7 GTX 模块	152
5.1.8 GTH 模块	155
5.1.9 以太网 (Ethernet MAC) 模块	155
5.1.10 PCIe 端点模块	158
5.2 Virtex-6 LXT 型 FPGA	158
5.3 Virtex-6 SXT 型 FPGA	159

5.4 Virtex-6 HXT 型 FPGA	159
5.5 小结	161
第 6 章 Xilinx ISE 11.x 开发流程	162
6.1 设计输入	163
6.1.1 设计要求	163
6.1.2 认识 ISE 软件界面	168
6.1.3 创建工程	169
6.2 添加约束	172
6.2.1 引脚约束	173
6.2.2 时序约束	176
6.3 XST 综合	182
6.3.1 XST 综合属性设置	182
6.3.2 XST 综合流程	190
6.4 实现	192
6.4.1 翻译阶段	193
6.4.2 映射阶段	195
6.4.3 布局布线阶段	199
6.5 ISim 仿真	202
6.5.1 添加仿真文件	202
6.5.2 行为仿真	203
6.5.3 时序仿真	203
6.6 iMPACT 编程与配置	204
6.6.1 使用 iMPACT 生成 FPGA 配置文件	204
6.6.2 使用 iMPACT 生成 PROM 编程文件	204
6.6.3 使用 iMPACT 配置/编程	207
6.7 小结	209
第 7 章 ISE 11.x 的辅助设计工具	210
7.1 IP 核生成工具和结构化设计向导	210
7.1.1 用 Core Generator 建立一个工程	212
7.1.2 用 Core Generator 生成存储器	216
7.1.3 用 Core Generator 生成时钟管理单元	224
7.2 FPGA 底层编辑器 (FPGA Editor)	241
7.2.1 认识 FPGA Editor 底层编辑器	242
7.2.2 FPGA 底层编辑器设计实例	245
7.3 RTL 寄存器传输级原理图查看器	251
7.3.1 RTL 寄存器传输级原理图查看器的使用	251
7.3.2 RTL 寄存器传输级原理图查看器的使用技巧	256

7.4 Technology 门级原理图查看器.....	258
7.4.1 利用 Technology 原理图查看器进行层次分析.....	258
7.4.2 利用 Technology 原理图辅助时序分析.....	262
7.5 小结.....	265
第 8 章 编程与配置	266
8.1 Xilinx FPGA 的配置模式.....	266
8.1.1 主动串行模式.....	267
8.1.2 被动串行模式.....	270
8.1.3 主动并行模式.....	271
8.1.4 被动并行模式.....	272
8.1.5 边界扫描模式.....	275
8.1.6 高级配置模式——SPI.....	277
8.1.7 高级配置模式——BPI	281
8.1.8 高级配置模式——System ACE.....	283
8.2 Xilinx FPGA 器件的配置流程	283
8.3 Xilinx FPGA 器件配置的硬件方案	285
8.4 Xilinx 器件的配置文件.....	287
8.5 iMPACT 软件简介	290
8.6 小结.....	296
第 9 章 ChipScope Pro 调试设计	297
9.1 ChipScope Pro 相关 IP 核	299
9.2 ChipScope Pro 核生成器.....	302
9.2.1 ICON 属性	303
9.2.2 ILA 属性	304
9.2.3 VIO 属性.....	307
9.2.4 ATC2 属性	308
9.2.5 ChipScope Pro 内核生成器应用实例	311
9.3 ChipScope Pro 内核插入器.....	318
9.4 ChipScope Pro 分析仪.....	328
9.5 利用 FPGA Editor 修改 Chipscope Pro 核信号连接.....	335
9.6 小结.....	336
第 10 章 PlanAhead 工具应用	337
10.1 PlanAhead 开发流程	337
10.2 PlanAhead 输入、输出文件	338
10.3 用 PlanAhead 进行 RTL 代码开发与分析.....	340

10.4	应用 PlanAhead 进行 I/O 规划.....	354
10.5	PlanAhead 与时序分析	363
10.6	应用 PlanAhead 进行布局规划	368
10.7	PlanAhead 与 ChipScope.....	372
10.8	PlanAhead 导入导出功能	380
10.9	小结	380
第 11 章	第三方仿真工具 ModelSim.....	381
11.1	ISE 11.x 支持的仿真工具	382
11.2	ModelSim 仿真库的建立	382
11.3	认识 ModelSim 常用窗口	387
11.4	ModelSim 功能仿真	394
11.4.1	基于 Verilog 的功能仿真	394
11.4.2	基于 VHDL 的功能仿真	395
11.4.3	基本功能仿真流程	395
11.4.4	ModelSim 的项目管理	400
11.4.5	自定义仿真库	403
11.5	ModelSim 时序仿真	405
11.5.1	基于 Verilog 的时序仿真	405
11.5.2	基于 VHDL 的时序仿真	406
11.5.3	基本时序仿真流程	407
11.5.4	SDF 时序标注文件	409
11.6	ModelSim 波形编辑器与仿真	410
11.6.1	用波形编辑器创建激励的步骤	410
11.6.2	VCD 文件	412
11.7	用命令行方式进行仿真	414
11.7.1	常用命令介绍	414
11.7.2	命令行仿真实例	416
11.7.3	ModelSim 中的 do 文件	416
11.8	ISE 与 ModelSim 协同仿真	417
11.9	ModelSim 仿真存储器	420
11.10	VHDL/Verilog 混合仿真	425
11.11	仿真结果的存储	426
11.12	小结	428
第 12 章	PicoBlaze 8 位微控制器	430
12.1	PicoBlaze 特性	430
12.2	PicoBlaze 硬件基本结构	431
12.2.1	PicoBlaze 功能模块说明	431

12.2.2	PicoBlaze 接口信号	432
12.2.3	PicoBlaze 指令集.....	433
12.2.4	PicoBlaze 中断.....	437
12.2.5	PicoBlaze Scratchpad RAM——暂存器	438
12.2.6	PicoBlaze 输入/输出端口	440
12.2.7	PicoBlaze 指令存储器配置方式	443
12.3	PicoBlaze 性能.....	445
12.4	PicoBlaze 在 FPGA 设计中的应用	445
12.5	PicoBlaze 开发工具.....	447
12.5.1	KCPSM3 开发工具	447
12.5.2	Mediatronix pBlazIDE 开发工具	448
12.6	PicoBlaze 设计开发包	450
12.7	PicoBlaze 设计实例.....	451
12.8	小结	458

第1章 Spartan-3 系列 FPGA

Xilinx 在 1998 年推出 Spartan-3 系列 FPGA，这款 FPGA 以其灵活性和成本优势取得了很大成功。Xilinx Spartan-3 系列支持高达 26 种 I/O 标准，并结合其独特的电源配置功能和防克隆安全技术，目前已经成为全球应用最广泛的低成本 FPGA。本章我们重点介绍 Spartan-3 系列器件及其内部结构，以帮助设计者了解它，并在设计中灵活应用。

Spartan-3 系列有以下几个平台。

- (1) 扩展 Spartan-3A 平台。包括 Spartan-3A、Spartan-3AN 和 Spartan-3A DSP。

Spartan-3A 适用于桥接、差分信号接口和存储器接口。Spartan-3AN 是 Xilinx 推出的第一款非挥发性 (Non-volatile) FPGA，不需要配置器件，适用于 PCB 空间较小的应用。Spartan-3A DSP 是扩展 Spartan-3A 系列中密度较高的平台，而且内嵌的低成本、高性能 DSP48A 资源非常适合数字信号处理。

- (2) Spartan-3E 平台。适合对逻辑单元需求比较多的应用。

- (3) Spartan-3 平台。适合对逻辑单元和 I/O 数量要求都较多的应用。

Spartan-3 系列最早推出的是 Spartan-3 平台，Spartan-3 平台基于 Virtex-II FPGA 架构，采用 90nm 技术，8 层金属工艺，系统门数超过 500 万门，内嵌了硬核乘法器和数字时钟管理模块。从结构上看，Spartan-3 将逻辑、存储器、数学运算、数字处理器、I/O 以及系统管理资源完美地结合在一起，有了更高层次、更广泛的应用，获得商业上的成功，在中低端市场中占据了较大份额。

Spartan-3A 平台在 Spartan-3 和 Spartan-3E 平台的基础上，整合了各种创新特性，帮助客户极大地削减了系统成本。Spartan-3A 是业内首款具有电子序列号 (Device DNA) 的 FPGA，利用它，可以有效防止对 FPGA 设计的恶意篡改、克隆和过度设计。Spartan-3A 还具多启动 (Multi-boot) 特性，可以在同一片 FPGA 上实现多个不同的设计，而不需要修改 PCB，通过重新启动 FPGA 配置，引导存储器中不同区域的配置流即可。

基于以上特点，Spartan-3 系列目前已经被广泛应用于多种领域、多种产品中，包括数字显示、机顶盒、无线路由器等。

Spartan-3 结构中包含 5 个可编程的功能单元。

- 可配置逻辑块 (CLB): 包含实现逻辑功能的查找表和实现触发器/锁存器功能的存储单元。
- 输入/输出块 (IOB): 控制 I/O 引脚和内部逻辑的数据流。IOB 支持双向数据流和三态操作，支持多种信号标准，可以实现双倍数据速率 DDR/DDR2 功能。
- BRAM (Block RAM): 用于数据存储，它是完全双端口的同步 RAM 块，每个 BRAM 为 18Kbit。

- 硬件乘法器模块 (Multiplies): Spartan-3A DSP 平台包含一个特殊的 DSP 乘加模块 DSP48A, 而其他 Spartan-3 器件中都是 18×18 的硬核乘法器。
 - 数字时钟管理器 (DCM): 实现时钟的倍频/分频、相移等功能。
- 这 5 个功能单元在 Spartan-3 内部的排列如图 1-1 所示。

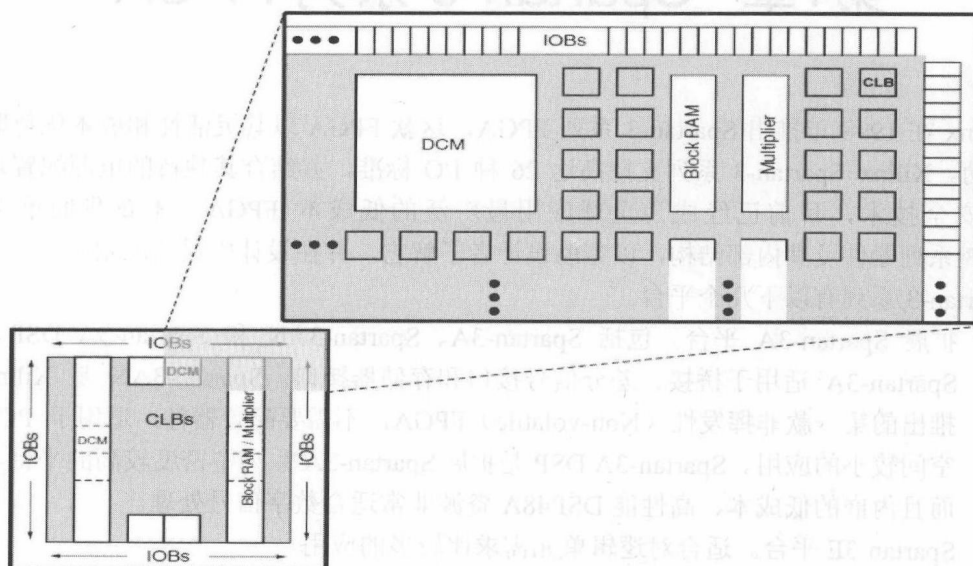


图1-1 Spartan-3 中各功能单元分布

1.1 Spartan-3 系列内部结构

本节将详细介绍 Spartan-3 系列器件的内部模块, 以便读者对 Spartan-3 系列 FPGA 内部模块有一个较深入的了解。只有深入了解 FPGA 的内部结构, 才能有效地利用它, 在很大程度上提高设计者的设计优化能力——用较少的资源, 实现较多的功能、较高的性能。

1.1.1 可配置逻辑模块 (CLB)

图 1-2 所示为 Spartan-3 的 CLB 示意图。1 个 CLB 包含 4 个 SLICE, 其中 2 个为 SLICEM (有 ROM、分布式存储器、移位寄存器和逻辑功能), 另外 2 个为 SLICEL (只可以实现 ROM 和逻辑功能)。1 个 SLICE 包含两个查找表 (Look Up Table, 简称 LUT)、2 个触发器, 还有多路复用器和快速先行进位链资源。由于 SLICEM 中的 LUT 具有存储器功能, 因此 1 个 CLB 可以实现 4 个 16 位可寻址移位寄存器, 而且还可以级联, 形成更大的移位寄存器。在 1 个 CLB 中可以实现 16 选 1 多路复用器, 在 2 个 CLB 中可以实现 32 选 1 多路复用器, 且只需 1 级逻辑, 具有较高的性能。CLB 与 CLB 之间通过开关矩阵 (Switch Matrix) 实现互连。

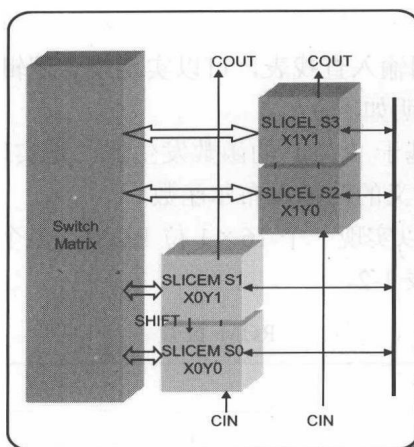


图1-2 CLB里的SLICE排列

CLB 可以实现表 1-1 所列的功能。

表 1-1

CLB 的可配置功能

SLICEM	Function (功能)	SLICEL
✓	Logic/ROM (逻辑/ROM)	✓
✓	Arithmetic/Carry (算术/进位)	✓
✓	Wide Mux (宽多路器)	✓
✓	Distributed RAM (分布式 RAM)	
✓	Shift Register (移位寄存器)	

SLICE 内部资源如图 1-3 所示。SLICE (SLICEL 和 SLICEM) 包含以下几部分。

- 2 个四输入函数发生器 F 和 G。
- 2 个存储单元。
- 2 个多路复用器 F5MUX 和 FiMUX。
- 进位链和算术逻辑。

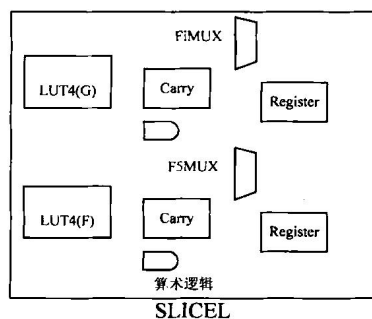
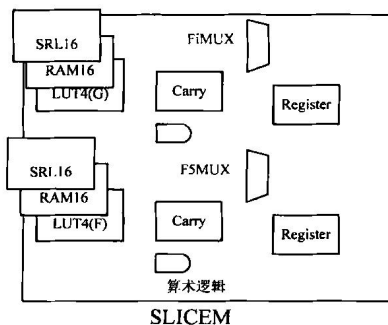


图1-3 SLICE 资源

所有 SLICE 都可以实现逻辑、算术和 ROM 功能，而 SLICEM 还可以实现如下两个功能。

- 16 × 1 分布式 RAM——RAM16。
- 16 位移位寄存器——SRL16。

一、查找表 (LUT)

Spartan-3 的查找表均为四输入查找表，可以实现组合逻辑、ROM、分布式 RAM 和移位寄存器等不同功能，分别说明如下。

- (1) 组合逻辑。LUT 是基于 RAM 的函数发生器，是实现逻辑功能的主要资源。LUT 可以实现任意定义的四输入布尔函数。
- (2) ROM。一个 LUT 可以实现一个 16×1 位 ROM，多个 LUT 可以级联成更宽、更深的 ROM，参见表 1-2。

表 1-2 ROM 配置

ROM	LUT 数目
16×1	1
32×1	2
64×1	4
128×1	8
256×1	16 (2 CLB)

- (3) 分布式 RAM (只能在 SLICEM 中使用)。SLICEM 中的 LUT 可以配置 16×1 位的同步 RAM。因为 SLICEM 均匀分布在 FPGA 内部，所以也称这种 RAM 为分布式 RAM。分布式 RAM 很适合做小的数据缓冲、FIFO。SLICEM 实现的 RAM 有以下几种形式。

- 4 个单端口 16×1 位 RAM。
- 2 个单端口 32×1 位 RAM。
- 1 个单端口 64×1 位 RAM。
- 2 个双端口 16×1 位 RAM。

RAM 的配置方式参见表 1-3。

表 1-3 分布式 RAM 配置

分布式 RAM	LUT 数目
$16 \times 1S$	1
$16 \times 1D$	2
$32 \times 1S$	2
$64 \times 1S$	4

分布式 RAM 从 16×1 位到 64×1 位，共有 4 个可用原语供设计者调用，参见表 1-4。

表 1-4 分布式 RAM 的原语

原语	RAM 位宽	类型	地址输入
RAM16×1S	16 位	单口	A3,A2,A1,A0
RAM32×1S	32 位	单口	A4,A3,A2,A1,A0
RAM64×1S	64 位	单口	A5,A4,A3,A2,A1,A0
RAM16×1D	16 位	双口	A3,A2,A1,A0

- (4) 移位寄存器（只能在 SLICEM 中使用）。SLICEM 的 LUT 还可配置成 16 位移位寄存器，无需使用 SLICE 中的触发器。以这种方法使用的 LUT 可以将串行数据延迟 1 到 16 个时钟周期。移位寄存器的移位输入 SHIFTIN 和移位输出 SHIFTOUT 用来将 LUT 级联成更大的移位寄存器，一个 CLB 中的 4 个 LUT 可以级联成实现最大延时 64 个时钟周期。在同步 FIFO 和内容可寻址存储器（CAM）设计中，这种移位寄存器也是很有用的。那么，如何应用这种移位寄存器呢？有多种方法，一是通过 Core Generator 工具产生移位寄存器，一是调用硬件原语 SRLC16。SRLC16 内部逻辑结构如图 1-4 所示。Xilinx 工具提供此类可用于 Spartan-3 系列 FPGA 的移位寄存器原语，如表 1-5 所示。

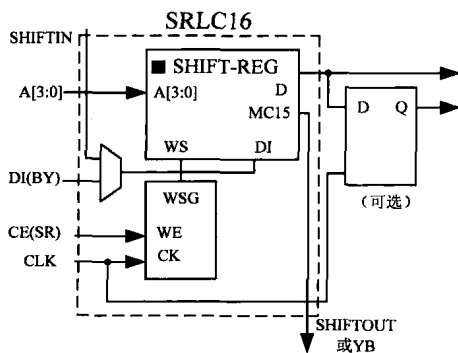


图1-4 SRLC16 内部逻辑

表 1-5

移位寄存器的原语

原语	长度	控制	地址输入	输出
SRL16	16 位	CLK	A3,A2,A1,A0	Q
SRL16E	16 位	CLK,CE	A3,A2,A1,A0	Q
SRL16_1	16 位	$\overline{\text{CLK}}$	A3,A2,A1,A0	Q
SRL16E_1	16 位	$\overline{\text{CLK}}, \text{CE}$	A3,A2,A1,A0	Q
SRLC16	16 位	CLK	A3,A2,A1,A0	Q,Q15
SRLC16E	16 位	CLK,CE	A3,A2,A1,A0	Q,Q15
SRLC16_1	16 位	$\overline{\text{CLK}}$	A3,A2,A1,A0	Q,Q15
SRLC16E_1	16 位	$\overline{\text{CLK}}, \text{CE}$	A3,A2,A1,A0	Q,Q15

二、存储元件

Spartan-3 的 SLICE 都有触发器，实现存储功能，可以将其配置成边沿触发的 D 触发器或电平敏感的锁存器。

三、多路复用器（MUX）

在 Spartan-3 中，有多种方法实现 MUX 功能：小的 MUX 可以用查找表实现，一个查找表可以实现一个 2：1 多路复用器；大的 MUX 可以调用专用的多路复用器实现。

- 一个 SLICE 实现 4：1 多路复用器。
- 一个 CLB 实现 16：1 多路复用器。

- 两个 CLB 实现 32：1 多路复用器。

Spartan-3 器件的 SLICE 包含一个 F5MUX 多路复用器和一个 FiMUX 多路复用器，如图 1-5 所示。FiMUX 可以是 F6MUX、F7MUX 或 F8MUX，如图 1-6 所示。

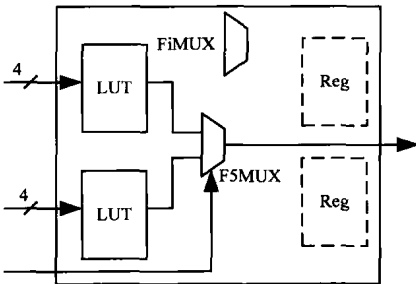


图1-5 SLICE 里的 LUT 和 F5MUX

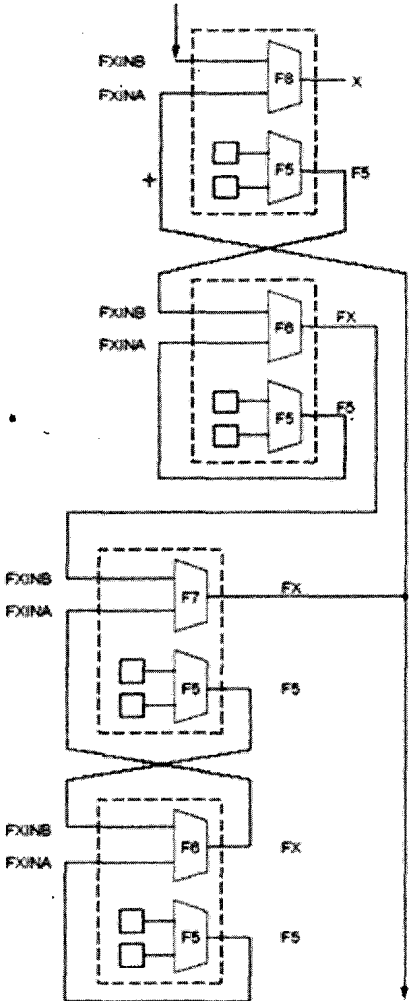


图1-6 FiMUX 多路复用器在 CLB 中的级联

F6MUX 之所以命名为 F6MUX 是因为它可以实现任意 6 输入函数，与此类似，F7MUX 实现任意 7 输入函数，F8MUX 实现任意 8 输入函数，如表 1-6 所示。

表 1-6 MUX 的功能

Mux	Usage	输入源	每个函数的总输入个数		
			任何函数	MUX	限制函数
FiMUX	F5MUX	LUT	5	6 (4 : 1 mux)	9
	F6MUX	F5MUX	6	11 (8 : 1 mux)	19
	F7MUX	F6MUX	7	20 (16 : 1 mux)	39
	F8MUX	F7MUX	8	37 (32 : 1mux)	79