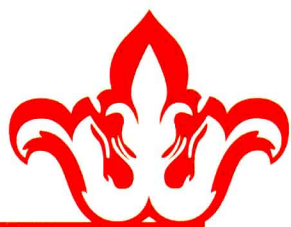




普通高等教育“十一五”国家级规划教材

教育部高等学校电子电气基础课程教学指导分委员会推荐教材
电子信息学科基础课程系列教材



集成电路设计

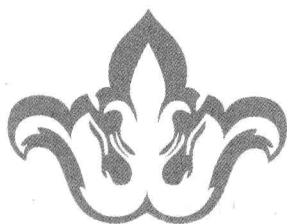
叶以正 来逢昌 主编
肖立伊 王进祥 主审

清华大学出版社



普通高等教育“十一五”国家级规划教材

教育部高等学校电子电气基础课程教学指导分委员会推荐教材
电子信息学科基础课程系列教材



集成电路设计

叶以正 来逢昌 主编
肖立伊 王进祥 主审

清华大学出版社
北京

内 容 简 介

本书比较全面深入地介绍了集成电路分析与设计的基础知识以及一些新技术的发展。其中,第1~4章介绍集成电路的发展、基本制造工艺、常用器件的结构及其寄生效应、版图设计基础知识、器件模型及SPICE模拟程序;第5~7章介绍双极型和CMOS型两大类数字集成电路和模拟集成电路基本单元分析与设计方法及其版图设计特点;第8~10章介绍数字集成电路自动化设计技术、测试技术、SoC/IP设计与验证技术及其发展趋势。

本书可以作为高等院校电子信息类本科生教材,也可作为相关领域研究生及工程师的参考用书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

集成电路设计/叶以正,来逢昌主编. —北京:清华大学出版社,2011.5

(电子信息学科基础课程系列教材)

ISBN 978-7-302-25090-6

I. ①集… II. ①叶… ②来… III. ①集成电路—电路设计—高等学校—教材

IV. ①TN402

中国版本图书馆CIP数据核字(2011)第047592号

责任编辑:文 怡

责任校对:焦丽丽

责任印制:王秀菊

出版发行:清华大学出版社

地 址:北京清华大学学研大厦A座

<http://www.tup.com.cn>

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62795954, jsjic@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

印 刷 者:清华大学印刷厂

装 订 者:北京市密云县京文制本装订厂

经 销:全国新华书店

开 本:185×260 印 张:29.5 字 数:675千字

版 次:2011年5月第1版 印 次:2011年5月第1次印刷

印 数:1~3000

定 价:45.00元

产品编号:024638-01

本书比较全面深入地介绍了集成电路分析与设计的基础知识以及一些新技术的发展,可以作为高等院校工科电子信息类本科生教材,也可作为相关领域研究生及工程师的参考用书。

本书的编写架构由主编叶以正、来逢昌组织编写人员讨论拟定,全书共分 10 章。第 1 章绪论,主要内容包括:集成电路的诞生、发展和分类,集成电路产业链及 EDA 技术发展概况;第 2 章集成电路工程基础,主要内容包括:集成电路基本制造工艺、集成电路中常用器件的结构及其寄生效应、集成电路版图设计基础知识;第 3 章集成电路器件模型,主要内容包括:二极管、双极型晶体管和 MOS 场效应晶体管的各种模型及主要模型参数;第 4 章 SPICE 模拟程序,主要内容包括:SPICE 模拟程序各种输入/输出语句格式、电路分析功能和举例;第 5 章双极型数字集成电路,主要内容包括:TTL 集成电路各种单元电路、单管逻辑门电路、ECL 和 I^2L 电路的分析、设计及其版图设计特点;第 6 章 CMOS 数字集成电路设计,主要内容包括:CMOS 反相器、传输门、标准 CMOS 静态逻辑、伪 NMOS 逻辑与差分级联电压开关逻辑、传输门逻辑与差动传输管逻辑、CMOS 动态逻辑、触发器、加法器、存储器等电路的分析与设计,以及 CMOS 集成电路版图设计特点和实现方法;第 7 章模拟集成电路设计,主要内容包括:电流镜电路、电流和电压基准源电路、单级及差分放大器电路、比较器电路、开关电容电路、DAC 和 ADC 电路的工作原理和主要特性的分析与设计,以及模拟集成电路版图设计特点;第 8 章数字集成电路自动化设计,主要内容包括:数字集成电路自动化设计方法和流程、行为建模与 Verilog 硬件描述语言、设计综合技术和设计验证技术;第 9 章集成电路的测试技术,主要内容包括:故障模型、测试向量生成、可测性设计、系统芯片的测试结构及标准;第 10 章 SoC 设计概论,主要内容包括:SoC 简介及 SoC 设计方法学、IP 核的设计与复用技术、SoC/IP 验证技术、基于片上网络互连的多核 SoC 以及 SoC 技术发展趋势。

编写分工为:叶以正编写第 1、10 章,来逢昌编写第 2、5、6 章,高志强编写第 3、4 章,王永生编写第 7、9 章,李晓明编写第 8 章。参加编写的人员还有:兰慕杰、罗敏、曹贝、付方发和周彬。喻明艳为教材架构的拟定提出了宝贵意见,全书由来逢昌整理、编辑成稿,由肖立伊和王进祥主审。

编写本书希望能够覆盖集成电路设计的基础知识并跟踪集成电路新技术的发展,但由于集成电路涉及的技术广泛、发展迅速,书中难免存在疏漏和错误,恳切希望广大读者批评指正。

编 者

2010 年 9 月

第 1 章 绪论	1
1.1 集成电路的诞生和发展	2
1.2 集成电路分类	4
1.3 集成电路产业链	7
1.4 集成电路设计与 EDA 技术	8
1.4.1 集成电路设计	8
1.4.2 集成电路设计自动化技术的发展	9
第 2 章 集成电路工程基础	11
2.1 平面工艺基础	12
2.1.1 薄膜的制备	12
2.1.2 光刻工艺和技术	16
2.1.3 掺杂技术	18
2.2 集成电路制造基本工艺流程	20
2.2.1 双极型集成电路制造工艺流程	20
2.2.2 CMOS 集成电路制造工艺流程	24
2.2.3 Bi-CMOS 集成电路制造工艺简介	28
2.3 集成电路中的元件	29
2.3.1 NPN 晶体管及其寄生效应	29
2.3.2 PNP 晶体管及其寄生效应	36
2.3.3 MOS 晶体管及其寄生效应	39
2.3.4 小尺寸 MOS 器件凸显的问题与按比例缩小理论	43
2.3.5 集成电路中的二极管	48
2.3.6 集成电路中的电阻器	51
2.3.7 集成电路中的电容器	55
2.3.8 集成电路中的电感器	59
2.4 集成电路版图设计基础	60
2.4.1 版图设计规则	60
2.4.2 版图布局	63

目录

2.4.3	版图布线	67
2.4.4	版图验证与数据提交	67
2.4.5	版图基本优化设计技术	69
第3章	集成电路器件模型	74
3.1	二极管模型	75
3.1.1	直流模型	75
3.1.2	大信号模型	76
3.1.3	小信号模型	76
3.1.4	PN 结二极管温度效应	77
3.2	双极型晶体管模型	78
3.2.1	EM 模型	78
3.2.2	GP 模型	81
3.3	MOS 场效应晶体管模型	85
3.3.1	MOSFET 电流方程模型	86
3.3.2	MOSFET 大信号模型	87
3.3.3	MOSFET 小信号模型	89
3.3.4	MOSFET 二阶及高阶效应模型	91
3.4	噪声模型	101
3.4.1	噪声源类型	101
3.4.2	集成电路器件噪声模型	104
第4章	SPICE 模拟程序	108
4.1	SPICE 简介	109
4.2	SPICE 电路描述语句	109
4.2.1	电路输入语句和格式	109
4.2.2	SPICE 的输出语句和输出变量	117
4.3	SPICE 电路分析功能介绍	119
4.3.1	直流分析	119
4.3.2	交流小信号分析	126
4.3.3	瞬态分析	131

4.3.4	傅里叶分析	132
4.3.5	通用参数扫描分析	133
4.3.6	蒙特卡罗分析	133
4.3.7	最坏情况分析	136
4.3.8	温度分析	136
4.3.9	噪声分析	137
4.3.10	其他常用的控制命令	138
第 5 章	双极型数字集成电路	141
5.1	简易 TTL 与非门	142
5.1.1	工作原理	142
5.1.2	电压传输特性与抗干扰能力	142
5.1.3	负载能力	143
5.1.4	瞬态特性	144
5.1.5	电路功耗	144
5.1.6	多发射极输入晶体管设计	145
5.2	TTL 与非门的改进形式	146
5.2.1	三管单元 TTL 与非门	146
5.2.2	四管单元 TTL 与非门	146
5.2.3	五管单元 TTL 与非门	147
5.2.4	六管单元 TTL 与非门	147
5.2.5	肖特基晶体管和 STTL 与非门	149
5.2.6	LSTTL 和 ALSTTL 与非门	151
5.3	TTL 与非门的逻辑扩展	152
5.3.1	TTL 基本门电路	153
5.3.2	TTL OC 门电路	156
5.3.3	TTL 三态门电路	158
5.3.4	TTL 施密特逻辑门电路	158
5.3.5	TTL 触发器电路	160
5.4	TTL 中大规模集成电路	163
5.4.1	中大规模集成电路的结构特点	163

目录

5.4.2	TTL 简化逻辑门	164
5.4.3	单管逻辑门电路	166
5.4.4	内部简化触发器	169
5.5	TTL 集成电路版图解析	171
5.5.1	TTL 与非门版图解析	171
5.5.2	LSTTL 或门版图解析	173
5.6	ECL 集成电路	174
5.6.1	ECL 基本门的工作原理	175
5.6.2	ECL 电路的逻辑扩展	177
5.6.3	ECL 电路版图设计特点	178
5.7	I ² L 集成电路	178
5.7.1	I ² L 基本单元的工作原理	179
5.7.2	I ² L 电路的逻辑组合	180
5.7.3	I ² L 电路版图设计特点	180
第 6 章	CMOS 数字集成电路设计	182
6.1	CMOS 反相器	183
6.1.1	工作原理	183
6.1.2	直流传输特性与噪声容限	184
6.1.3	瞬态特性	186
6.1.4	功耗特性	188
6.2	传输门	190
6.2.1	单沟 MOS 传输门	190
6.2.2	CMOS 传输门	191
6.3	CMOS 基本逻辑电路	192
6.3.1	标准 CMOS 静态逻辑门	192
6.3.2	伪 NMOS 逻辑与差分级联电压开关逻辑	198
6.3.3	CMOS 三态门	200
6.3.4	传输门逻辑和差动传输管逻辑	201
6.3.5	CMOS 动态逻辑	204
6.4	CMOS 触发器	209

6.4.1	R-S 触发器	209
6.4.2	D 触发器	211
6.4.3	CMOS 施密特触发器	216
6.5	加法器电路	218
6.5.1	全加器和半加器	218
6.5.2	逐位进位加法器	222
6.5.3	进位选择加法器	222
6.5.4	超前进位加法器	224
6.6	MOS 存储器	225
6.6.1	存储器概述	225
6.6.2	MASK ROM	227
6.6.3	可擦写 ROM	235
6.6.4	随机存取存储器	238
6.6.5	按内容寻址存储器	245
6.7	CMOS 集成电路版图设计特点	249
6.7.1	抗门锁设计	249
6.7.2	抗静电设计	250
6.8	集成电路实现方法	253
6.8.1	全定制设计方法	253
6.8.2	门阵列设计方法	254
6.8.3	标准单元设计方法	255
6.8.4	积木块设计方法	258
6.8.5	可编程逻辑器件方法	258
第 7 章	模拟集成电路设计	261
7.1	概述	262
7.2	电流镜	263
7.2.1	基本 MOS 电流镜	263
7.2.2	共源共栅电流镜	264
7.2.3	双极型电流镜	267
7.3	基准源	268

目录

7.3.1	电压基准源	269
7.3.2	电流基准源	273
7.4	CMOS 单级放大器	276
7.4.1	共源极放大器	276
7.4.2	共漏极放大器	277
7.4.3	共栅极放大器	278
7.4.4	共源共栅极放大器	280
7.4.5	四种典型结构的特点归纳	282
7.5	双极型单级放大器	283
7.5.1	共射极放大器	283
7.5.2	共集极放大器	284
7.5.3	共基极放大器	285
7.6	差动放大器	286
7.6.1	差动工作方式	286
7.6.2	基本差动对	287
7.6.3	共模响应	289
7.7	放大器的频率特性	290
7.7.1	密勒效应	290
7.7.2	共源极的频率特性	291
7.7.3	共漏极的频率特性	292
7.7.4	共栅极的频率特性	293
7.7.5	共源共栅极的频率特性	294
7.7.6	差动放大器的频率特性	294
7.8	噪声	295
7.8.1	噪声有关特性	295
7.8.2	电路中的噪声计算	296
7.9	运算放大器及频率补偿	298
7.9.1	性能参数	298
7.9.2	一级运放	301
7.9.3	两级运放	304
7.9.4	反馈及频率补偿	305

7.10	比较器	310
7.10.1	比较器的特性	310
7.10.2	比较器的类型	312
7.10.3	高速比较器的设计	314
7.11	开关电容电路	315
7.11.1	基本开关电容	315
7.11.2	基本单元	316
7.11.3	开关电容滤波器	318
7.12	数据转换电路	319
7.12.1	数模转换器 DAC	320
7.12.2	模数转换器 ADC	327
7.13	模拟电路的版图设计特点	340
7.13.1	晶体管	340
7.13.2	对称性	340
7.13.3	无源器件	341
7.13.4	噪声问题	342
第 8 章	数字集成电路自动化设计	345
8.1	数字集成电路设计方法学概述	346
8.1.1	层次化设计方法	346
8.1.2	电子设计自动化设计流程	348
8.2	Verilog 硬件描述语言	351
8.2.1	Verilog HDL 基础	351
8.2.2	Verilog HDL 门级建模	356
8.2.3	Verilog HDL 数据流建模	358
8.2.4	Verilog HDL 行为级建模	362
8.2.5	Verilog HDL 层次式建模	369
8.3	设计综合	373
8.3.1	行为综合	373
8.3.2	逻辑综合	374
8.3.3	版图综合	378

目录

8.4	设计验证	381
8.4.1	设计验证的基本内容	381
8.4.2	功能验证概述	382
8.4.3	基于模拟的验证	385
8.4.4	时序验证概述	392
第9章	集成电路的测试技术	393
9.1	故障模型	394
9.1.1	固定型故障	394
9.1.2	桥接故障	396
9.1.3	延迟故障	396
9.1.4	I_{DDQ} 故障	397
9.2	测试向量生成	397
9.2.1	异或法	398
9.2.2	布尔差分法	398
9.2.3	单路径敏化法	399
9.2.4	D 算法	399
9.2.5	FAN 算法	403
9.3	可测性设计	403
9.3.1	专用可测性设计技术	404
9.3.2	扫描测试技术	404
9.3.3	内建自测试技术	406
9.3.4	边界扫描技术	408
9.4	系统芯片的测试结构及标准	412
9.4.1	SoC 测试结构	412
9.4.2	内核测试标准 IEEE 1500	414
第10章	SoC 设计概论	418
10.1	SoC 简介	419
10.1.1	SoC 概述	419
10.1.2	SoC 结构	419

10.1.3	SoC 的技术特点	421
10.2	SoC 设计方法学	421
10.2.1	SoC 设计流程	421
10.2.2	基于平台的 SoC 设计方法	422
10.2.3	SoC 设计自动化技术的发展	424
10.3	IP 核的设计和复用	425
10.3.1	IP 核的几种形态	425
10.3.2	IP 核设计和复用技术	425
10.4	SoC/IP 验证技术	428
10.4.1	SoC 验证的特点	428
10.4.2	SoC 验证方法学	429
10.5	基于片上网络互连的多核 SoC	435
10.5.1	MPSoC 简介	435
10.5.2	MPSoC 片上通信结构的发展	435
10.5.3	片上网络技术	437
10.6	SoC 技术的发展	438
10.6.1	SoC 技术发展趋势	438
10.6.2	纳米工艺制程中 CMOS 器件技术的发展	440
10.6.3	纳米级集成电路材料和工艺设备的发展	444
参考文献		445

第1章 绪论



图 1-1 系统框图

图 1-2 系统框图

1.1 集成电路的诞生和发展

1947年,美国贝尔实验室(Bell Labs)的科学家威廉姆·肖克莱(William Shockley)、沃特·布拉顿(Walter Brattain)、约翰·巴丁(John Bardeen)发明了点接触型晶体管。他们发现:将两个金属探针接触到锗(Ge)晶片上(如图1-1所示),当一个探针电极的电流发生变化时,另一个探针电极的电流会成比例变化。1948年,美国专利局批准了晶体管发明专利。1949年,肖克莱提出一种两个平行PN结构成结型晶体管的设想(如图1-2所示),通过控制中间一层很薄的基极上的电流实现放大作用,并在1950年与斯帕克斯(M. Sparks)和皮尔逊(G. L. Pearson)合作,在锗单晶生长过程中通过改变掺杂得到两个相距很近的平行PN结,成功地制成具有放大功能的结型晶体管,从此开辟了电子技术的新纪元。1956年,肖克莱、巴丁和布拉顿因发明晶体管共同获得诺贝尔物理学奖。

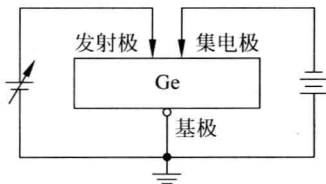


图 1-1 点接触晶体管

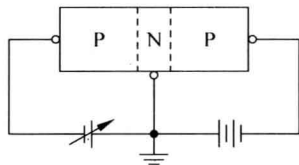


图 1-2 平行PN结晶体管

集成电路(integrated circuit, IC)是把多个器件(如晶体管、电阻、电容等)及其间的连线同时制作在一个芯片上,形成的一块独立的、具有一定功能的整体电路。

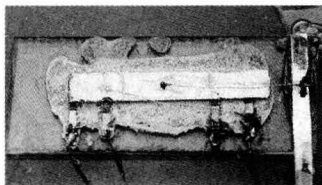


图 1-3 第一块锥形集成电路

1958年,美国德州仪器(TI)公司的杰克·基尔比(Jack Kilby)基于锗材料采用单管互连方法制作了世界上第一块雏形集成电路(如图1-3所示),1959年申请了小型化的电子电路专利,并于2000年获得诺贝尔物理学奖。1959年提出的PN结隔离技术和平面工艺技术奠定了半导体集成电路技术的基础,美国仙童(Fairchild)公司在1959年推出平面型晶体管之后,1961年推出了用平面工艺制造出的第一块双极型集成电路,从此掀开了集成电路的新篇章。另一方面,1960年John Atalla和Dawon Kahng发明了MOS场效应晶体管,1962年美国RCA公司研制出MOS场效应晶体管,并于1963年研制出第一块MOS集成电路。

晶体管和集成电路的发明及平面技术的实现,是20世纪以来人类科技发展史上最具有重大影响的事件之一,它开创了微电子时代,推动社会进一步信息化,为人类社会进步和经济发展做出了巨大贡献。今天,超过世界人口总数——60多亿个晶体管可以集成到一个芯片上。

仙童公司的戈登·摩尔(Gordon Moore)1965年提出了著名的摩尔(Moore)定律,1975年又进行了确定:每一代(2~3年)硅芯片的集成度翻一番,加工工艺的特征尺寸缩

小30%。集成度是指单个芯片上集成的元器件数;特征尺寸通常可以认为是芯片上光刻图形的最小尺寸,目前确切的定义是指芯片上光刻图形最小节距(pitch)的一半,即最小半节距。芯片上的最小节距通常是第一层金属(metal1)或多晶硅(poly)的节距。图1-4给出了节距定义的示意图。

按恒定电场等比例缩小原理,CMOS 集成电路的特征尺寸等有关尺寸缩小 α 倍($\alpha>1$),电路速度可增加 α 倍,单元电路的功耗降低 α^2 倍,同样面积芯片上集成度增加 α^2 倍,而单位芯片面积的功耗可保持不变。

微电子技术领域采用特征尺寸值来度量集成电路工艺水平。1987年集成电路特征尺寸缩小到 $1\mu\text{m}$ 以下,其工艺称为“亚微米级”(sub micron, SM);1992年工艺达到 $0.5\mu\text{m}$,称为“深亚微米级”(deep sub micron, DSM);1998年工艺达到 $0.25\mu\text{m}$,称为“超深亚微米级”(very deep sub micron, VDSM);2004年工艺线宽达到90nm,称为“纳米级”(nano micron, NM)。近50年来,集成电路的发展基本遵循着摩尔(Moore)定律。同时,保持按摩尔定律的规律发展已成为微电子科学与技术界努力发展集成电路技术和生产水平的目标,直到晶体管特征尺寸达到物理极限或制造平面晶体管的光刻掩膜版和工艺制造成本使尺寸进一步缩小失去经济意义。美国半导体行业协会(SIA)分别于1992年、1994年和1997年编写了美国半导体技术发展路线图(NTRS)。1999年与一些国家和地区联合编纂发表了第一版国际半导体技术发展路线图(ITRS)。之后,在每偶数年份进行更新,单数年进行全面修订。ITRS的整体目标是提供被工业界广泛认同的对未来15年内研发需求的最佳预测,它具有重要的指导作用。ITRS 2009版本预测2024年特征尺寸将达到9nm。表1-1给出集成电路按Moore定律发展及预测情况。

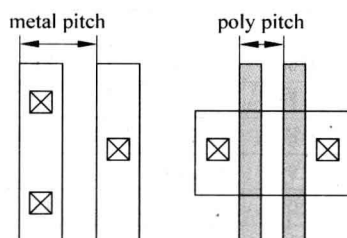


图1-4 节距(pitch)的定义

表1-1 2003—2022 集成电路按摩尔定律发展及预测情况

年份	技术节点 (nm)	芯片特征 尺寸(nm)	DRAM		ASIC		芯片频率 (GHz)
			bits/芯片	芯片面积 (mm ²)	晶体管 个数/芯片	芯片面积 (mm ²)	
2003		100	4.29G	485	0.810G	572	2
2004	90	90	4.29G	383	1.020G	572	2.5
2005		80	8.59G	568	1.286G	572	3.125
2006		70	8.59G	419	1.620G	572	3.906
2007	65	65	17.18G	568	3.061G	858	4.700
2008		57	17.18G	449	3.857G	858	5.063
2009		50	34.36G	711	4.859G	858	5.454
2010	45	45	34.36G	563	6.122G	858	5.875
2011		40	34.36G	446	7.713G	858	6.329
2012		36	68.72G	706	9.718G	858	6.817
2013	32	32	68.72G	560	12.244G	858	7.344

续表

年份	技术节点 (nm)	芯片特征 尺寸(nm)	DRAM		ASIC		芯片频率 (GHz)
			bits/芯片	芯片面积 (mm ²)	晶体管 个数/芯片	芯片面积 (mm ²)	
2014		28	68.72G	444	15.427G	858	7.911
2015		25	68.72G	351	19.436G	858	8.522
2016	22	22	137.44G	557	24.488G	858	9.180
2017		20	137.44G	442	30.853G	858	9.889
2018		18	137.44G	350	38.873G	858	10.652
2019	16	16	274.88G	555	48.977G	858	11.475
2020		14	274.88G	440	61.707G	858	12.361
2021		13	274.88G	349	77.746G	858	13.315
2022	11	11	549.76G	553	195.906G	1716	14.343

1.2 集成电路分类

由于集成电路的高速、高可靠、高集成度、低功耗、低成本等优点具有普遍需求性,使其在产生之后得到了迅猛发展,品种层出不穷。集成电路有多种分类方式。

(1) 按芯片规模分类

随着集成电路工艺水平和设计能力的提高,集成度不断提高,即集成电路规模不断增大。集成电路按规模可分为小规模集成电路(small scale integration, SSI)、中规模集成电路(middle scale integration, MSI)、大规模集成电路(large scale integration, LSI)、超大规模集成电路(very large scale integration, VLSI)、特大规模集成电路(ultra large scale integration, ULSI)和巨大规模集成电路(gigantic scale integration, GSI)。表 1-2 给出了集成电路不同规模的定义及其初次实现产品的年份。实际上,各种规模之间并没有非常严格的界限,而且由于不同工艺和不同电路类型的复杂度区别,有关规模的定义也不完全一致。

表 1-2 集成电路不同规模的定义及其初次实现产品的年份

	SSI	MSI	LSI	VLSI	ULSI	GSI
集成度	$<10^2$	$10^2 \sim 10^3$	$10^3 \sim 10^5$	$10^5 \sim 10^7$	$10^7 \sim 10^9$	$>10^9$
初次实现产品的年份	1961	1966	1971	1980	1990	2000

(2) 按器件结构分类

根据组成集成电路的器件结构不同,可以将其分为双极型集成电路、MOS 集成电路、Bi-CMOS 集成电路及其他特殊集成电路。

双极型集成电路(bipolar IC): 由双极型晶体管及与其工艺兼容的电阻、电容等器件组成。具有速度快、驱动能力强的优点,缺点是功耗较大、集成度较低。适用于一些功率较大的中小规模数字和模拟集成电路。