

Broadview
www.broadview.com.cn

电子设计自动化丛书

IDEAS BROUGHT TO LIFE

权威专著 · 技术典藏



Cadence系统级封装设计

——Allegro SiP/APD设计指南

王辉 黄冕 李君 编著 陈兰兵 万里兮 审校



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

电子设计自动化丛书

Cadence系统级封装设计

——Allegro SiP/APD设计指南

王辉 黄冕 李君 编著 陈兰兵 万里兮 审校

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内容简介

Allegro SiP和APD的软件是Cadence公司的重要产品之一,并于2009年11月推出了SPB16.3版,功能更加强大,本书是基于SPB16.3的基础写作的。本书主要是结合书中的具体实例,通过实际操作来熟悉系统级封装设计的过程和方法。本书需要的实验数据可以到 www.pcbbs.com 和 www.cadence.com.cn 网站下载。

本书主要介绍系统级封装的设计方法。本书共分为11章:第1章系统级封装设计介绍,介绍系统级封装的历史和发展趋势,以及对SiP、RFSiP、PoP等封装的展望。第2章封装设计前的准备,主要结合工具,了解一些常见的命令和工作环境,本章中有部分内容,可以在学完本书后再进行练习。第3章系统级封装设计基础知识,主要是了解一些设计的数据,如芯片(Die)、BGA、基板厂所用的参数。第4章建立芯片零件封装,主要介绍如何创建Die的零件库。第5章建立BGA零件库,介绍如何创建BGA的零件库。第6章导入网表文件,可以根据实际情况建立DIE和BGA之间的连线关系。第7章电源铜带和键合线设置,主要介绍建立电源铜带、建立引线键合线等内容。第8章约束管理器,介绍了使用约束管理器建立物理约束和间距约束等。第9章布线和铺铜,包括使用手动布线命令和自动布线命令进行布线等。第10章后处理和制造输出,介绍了为铺铜区域添加degassing孔、为Bond Finger建立阻焊开窗等。第11章协同设计,包括独立式协同设计、实时的协同设计。

本书适合从事系统级封装设计相关工作的人员参考学习,也可作为高等院校相关专业师生的参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

Cadence 系统级封装设计: Allegro SiP/APD 设计指南/王辉,黄冕,李君编著.

北京:电子工业出版社,2011.2

ISBN 978-7-121-11870-8

I. ①C… II. ①王… ②黄… ③李… III. ①印刷电路—计算机辅助设计—应用软件, Allegro SiP/APD IV. ①TN410.2

中国版本图书馆CIP数据核字(2010)第184418号

责任编辑:胡辛征

印刷:北京东光印刷厂

装订:三河市皇庄路通装订厂

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编:100036

开本:787×1092 1/16 印张:15.75 字数:403.2千字

印次:2011年2月第1次印刷

印数:3500册 定价:46.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

作者简介: [REDACTED]



王 辉 Cadence SPB平台中国区技术经理，主要负责Cadence公司的封装、系统级封装、PCB、信号完整性工具的技术支持。



黄 冕 助理研究员，广东企业科技特派员，任职于中国科学院微电子研究所电子系统总体技术研究室。工作期间主要从事System-in-Package系统级封装技术、MCM技术等电子系统小型化技术的研究与应用工作，在国家科技重大专项、国家863计划等多项课题中担任重要研究工作。



李 君 西南交通大学电磁场与微波技术研究所博士研究生，中国科学院微电子研究所博士后。主要研究方向为系统级封装(SIP)中的信号完整性和电源完整性。

内容介绍:

本书基于系统级封装设计的流程，详细地介绍了封装设计的方法和步骤。从实际使用的角度，通过一个三维堆叠的封装，一步一步地介绍封装设计的流程。本书可作为工程师的入门教材。

后续出版:

- Cadence印刷电路板设计
——Allegro PCB Editor设计指南
- Cadence信号完整性设计
——Allegro SI/PI设计指南
- Cadence原理图设计
——Allegro DE-HDL/FSP/ASA/ADW设计指南

随着计算机、通信和消费类电子的发展，电子产品遍及了我们生活的方方面面，电子工业在全球得到了长足的发展，电子工业的发展也带动了电子设计自动化技术。电子设计自动化技术(EDA)是在电子CAD技术基础上发展起来的计算机软件系统，是指以计算机为工作平台，融合了应用电子技术、计算机技术、信息处理及智能化技术的最新成果，进行电子产品的自动设计。利用电子设计自动化工具，电子工程师可以从概念、算法、协议等开始设计电子系统，大量工作可以通过计算机完成，并可以将电子产品从系统设计、电路设计、性能分析到设计出IC版图、封装或PCB板图的整个过程在计算机上自动处理完成。新的工艺决定了电子设计自动化工具的发展，同时，电子设计自动化工具也决定了电子设计的周期和设计的复杂度。好的设计工具可以帮助客户节约大量的时间，帮助客户减少产品成熟的周期。

对今天的电子设计来说，电子产品朝着小型化、绿色设计和更加时尚的方式在发展。iPhone 4、iPad、云计算、4G等产品的出现，带来了更多的技术挑战。USB 3.0的传输速率是4.8Gbps，USB 2.0的传输速率是480Mbps，可见新技术发展之快是难以想象的，采用USB 3.0传输同样大小的数据速度是USB 2.0的10倍。新产品、新技术的出现，带动了电子工业的发展。随着电子工业的发展，整个电子工业向小型化、低功耗、高性能方向的转变，对电子自动化设计工具要求越来越高。如何培养电子工程师，能够满足电子设计各个环节的需要是当前电子设计领域的迫切任务。“电子设计自动化丛书”丛书，主要通过实例、设计的流程的介绍和Cadence EDA工具的应用，来说明封装和印刷电路板电子设计的整个过程，帮助读者快速进入系统级封装和PCB设计领域。

本系列丛书的主要特点：

- 内容完整，体系性强：本系列丛书包括从封装设计到原理图设计、印刷电路板设计的整个硬件开发流程，并包括信号完整性分析、企业硬件设计流程数据库管理平台的建设，以及FPGA的协同设计。
- 理论与实践相结合：本系列丛书不仅包括实际工具的应用、设计案例和相关基础理论的论述，还结合实际的制造工艺要求、实际工程进行针对性的介绍。

邱善勤博士

2010年12月

电子设计自动化丛书 编委会

丛书主编：陈兰兵

副主编：万里兮

审稿人员：

王 辉 黄 冕 李 君

陈春章 周佳永 孙皖平 代文亮

王战义 吴声誉 叶秀芹 李英娜

胡洪章 孔令文

电子封装是电子产品的后段加工过程，传统的封装主要完成三大功能：一是对电子核心功能部分进行保护，使其免受外界影响或破坏；二是将电子功能部分与外界互连，实现电子器件的功能；三是物理尺度兼容，因为一般电子功能部分都很小，而它连接的部分都远大于其本身，所以必须通过封装来使功能部分与外系统板相互连接。随着集成电路的出现，尤其是大规模、超大规模集成电路，以及 20 世纪 90 年代后期出现的系统级封装，使电子封装有了崭新的内涵。除了传统的三大功能外，多功能、小型化、高可靠、高密度等特殊功能都要通过封装来实现。系统级封装(System-on-Package, SoP 或 System-in-Package, SiP)技术是在单个封装内集成多个裸片及外围器件，完成一定系统功能的高密度集成技术。裸片可以采用堆叠、平铺、基板内埋置方法，外围器件采用薄膜形式埋置在基板内和表面安装技术，实现电子系统小型化、高性能、多功能、高可靠性和低成本等特点。自从系统级封装(SoP/SiP) 20 世纪 90 年代提出到现在，经过了学术讨论和理论准备，政府、企业和学术界大规模投入资源进行技术基础研究与应用研究，现在已经到了实际大规模应用的阶段，业界广泛认为它代表了今后电子技术发展方向之一。相对系统级芯片设计技术(System On Chip, SOC)而言，系统级封装技术可在同一个封装内集成多个采用不同半导体工艺的芯片，具备兼容多种 IC(Integrated Circuit)工艺的优势，同时也具有缩短研发周期的优势。相对 PCB 设计来说，系统级封装技术由于采用更加紧密的器件布局、更短的信号线长度，可以降低系统功耗和提高信号性能。

由于系统级封装涉及面相当广，而且还有很多技术正在研发中，不可能在一本书中全面且详尽地对该技术进行描述。本书只是针对目前常用的三维芯片堆叠形式的系统级封装介绍通用的设计流程。通过一个三维堆叠的裸芯片，全流程设计一个系统级封装实际案例，用户可以完整地实现系统级封装设计。

本书第 1~3、5、11 章由王辉编写，第 4、6、7 章由李君编写，第 8~10 章由黄冕编写；对于本书的编写孙皖平（北京耀创）、王战义、吴声誉、刘彬（东好科技）提供了协助和审阅了部分章节；本书 IC 设计数据由李涛提供。在此一并表示感谢。

本书由陈兰兵（Cadence 研发总监）、万里兮教授（中科院微电子所）审校。

读者对本书内容有任何问题，请发邮件至 sip.apd@gmail.com 联系。

万里兮

2010 秋于北京

中科院微所封装研究室

目 录

第 1 章 系统级封装设计介绍	1
1.1 系统级封装的发展趋势	1
1.2 系统级封装研发流程	2
1.3 系统级封装基板设计流程	3
1.4 Cadence 公司的 SiP 产品	4
第 2 章 封装设计前的准备	6
2.1 SiP 的基本工作界面	6
2.2 SiP 的环境变量	10
2.3 Skill 语言和菜单的配置	12
2.4 基本命令	13
第 3 章 系统封装设计基础知识	34
3.1 封装设计的常见类型	34
3.2 新的设计	35
3.3 层叠的设置	37
3.4 创建焊盘 (PADSTACK)	39
3.5 DXF 文件的导入	46
第 4 章 建立芯片零件封装	48
4.1 建立芯片零件封装 5 种方法应用介绍	48
4.2 Die Text-In Wizard 方法	49
4.3 Die Generator 方法	52
4.4 Die Symbol Editor 方法	55
4.4.1 Create die symbol	55
4.4.2 Die Symbol Editor	60
4.5 D.I.E 格式文件导入方法	61
4.6 DEF 格式文件导入方法	62
第 5 章 建立 BGA 零件库	64
5.1 创建 BGA 零件库	64
5.2 带向导的 BGA 零件库	67
5.3 BGA Generator	72
5.4 BGA Text-In Wizard	76

第 6 章 导入网表文件	80
6.1 网表文件介绍.....	80
6.2 Login in 方法.....	80
6.3 Netlist-in Wizard 方法.....	82
6.4 Auto assign Net 方法.....	84
6.5 Creat Net、Assign Net 和 Deassign Net 方法.....	85
6.5.1 Create Net 方法.....	85
6.5.2 Assign Net 方法.....	86
6.5.3 Deassign Net 方法.....	86
6.6 编辑网络的其他方法.....	87
6.6.1 Multi-Net Assignment 方法.....	87
6.6.2 布线自动分配网络.....	88
6.6.3 Purge Unused Nets 方法.....	89
第 7 章 电源铜带和键合线设置	90
7.1 区域设置.....	90
7.2 建立电源铜带.....	91
7.3 建立引线键合线.....	95
7.3.1 键合线限制条件.....	95
7.3.2 设置键合线线型.....	97
7.3.3 添加键合线.....	98
7.3.4 编辑键合线设置.....	102
7.4 Interposer.....	118
7.5 Spacer.....	120
7.6 Die Stacks.....	120
7.7 3D viewer.....	122
第 8 章 约束管理器 (Constraint Manager)	126
8.1 约束管理器 (Constraint Manager) 介绍.....	126
8.2 物理约束 (Physical Constraint) 与间距约束 (Spacing Constraint).....	130
8.2.1 Physical 约束和 Spacing 约束介绍.....	130
8.2.2 建立 Net Class.....	131
8.2.3 为 Class 添加对象 (Assigning Objects to Classes).....	131
8.2.4 设置 Physical 约束的 Default 规则.....	133
8.2.5 建立扩展 Physical 约束.....	134
8.2.6 为 Net Class 添加 Physical 约束.....	135

Contents

8.2.7	设置 Spacing 约束的 Default 规则	136
8.2.8	建立扩展 Spacing 约束	136
8.2.9	为 Net Class 添加 Spacing 约束	137
8.2.10	建立 Net Class-Class 间距规则	138
8.2.11	层间约束 (Constraints By Layer)	138
8.2.12	Same Net Spacing 约束	139
8.2.13	区域约束	139
8.2.14	Net 属性	142
8.2.15	Component 属性和 Pin 属性	142
8.2.16	DRC 工作表	143
8.2.17	设计约束	143
8.3	实例: 设置物理约束和间距约束	144
8.3.1	Physical 约束设置	145
8.3.2	Spacing 约束设置	147
8.4	电气约束 (Electrical Constraint)	148
8.4.1	Electrical 约束介绍	148
8.4.2	Wiring 工作表	149
8.4.3	Impedance 工作表	150
8.4.4	Min/Max Propagation Delays 工作表	150
8.4.5	Relative Propagation Delay 工作表	151
8.4.6	Total Etch Length 工作表	152
8.4.7	Differential Pair 工作表	152
8.5	实例: 建立差分线对	156
第 9 章 布线和铺铜		161

9.1	布线 (Routing)	161
9.1.1	手动布线 (Manual Routing)	161
9.1.2	自动布线 (Auto Routing)	171
9.1.3	添加泪滴 Add fillets	179
9.2	Power and Gnd layer shape	183
9.2.1	正片与负片	183
9.2.2	添加 Shape	184
9.2.3	Shape 参数设置	186
9.2.4	复制 Shape	190
9.2.5	编辑 Shape	190
9.3	实例: 建立正片动态 Shape	193
9.4	实例: 分割平面	194

第 10 章 后处理和制造输出	197
10.1 Degassing	197
10.2 Bond Finger Soldermask	199
10.3 Plating Bar 的建立和删除	200
10.4 Plating Bar Check	201
10.5 Report	201
10.6 钻孔文件	203
10.6.1 建立钻孔图	204
10.6.2 Drill Customization Spreadsheet	205
10.6.3 建立 NC 参数文件	207
10.6.4 输出 NC Drill 文件	208
10.7 光绘	208
10.7.1 光绘介绍	208
10.7.2 添加 Photoplot Outline	209
10.7.3 光绘参数设置	210
10.7.4 建立底片控制记录	213
10.7.5 输出光绘文件	215
10.7.6 查看光绘文件	216
10.8 输出 DXF 文件	217
10.9 实例：制造输出	219
10.9.1 输出 NC Drill 文件	221
10.9.2 输出光绘文件	224
第 11 章 协同设计	230
11.1 协同设计概述	230
11.2 独立式协同设计	231
11.3 实时协同设计	237
参考资料	239

第 1 章 系统级封装设计介绍

本章导读:

- 系统级封装的发展趋势
- 系统级封装的研发流程
- 系统级封装的设计流程

1.1 系统级封装的发展趋势

系统级封装从 20 世纪 90 年代提出概念到现在, 已经进入多家学术机构和企业大规模投入资源进行研究与应用的阶段, 代表着今后电子技术发展的主要方向之一。系统级封装技术 (System in Package, SiP) 是一种把多个有源器件 (芯片) 和无源器件 (电阻、电容、电感等) 集成在一个封装的设备中的高密度集成技术。用户采用系统级封装技术可把原来需要用 PCB 来实现的系统缩小为一个高密度封装, 以满足用户对系统小型化、多功能、低功耗、高可靠性的要求。相对于系统级芯片设计技术 (System On Chip, SOC) 而言, 系统级封装技术可在同一个封装内集成多个采用不同半导体工艺的芯片, 兼容多种 IC (Integrated Circuit) 工艺的优势, 同时也具有缩短研发周期的优势。相对 PCB 设计来说, 系统级封装技术由于采用更加紧密的器件布局、更短的信号线长度, 可降低系统功耗和提高信号性能。系统级封装具有如下优点。

1. 高密度

由于采用高密度基板工艺和高密度集成技术, SiP 封装跟采用普通 PCB 设计的系统相比, SiP 封装面积更小, 集成度更高。

2. 高性能

随着集成电路技术的发展, 系统时钟频率越来越高, 传输速率越来越快, 比如目前 USB 3.0 传输速率达到 4.8Gbps。随着 DDRIII 和 USB 3.0 等新的技术方案采用, 留给工程师在 PCB 设计时的余量越来越小, 同时单芯片封装的寄生参数又对信号完整性、电磁兼容性产生影响。因此随着系统级封装工艺技术的发展, 越来越多的工程师进行系统设计时会选择系统级封装这种实现方法。

3. 低功耗

目前，绿色制造是对很多设计的基本要求。低功耗对设计来说非常关键。系统级封装相对于 PCB 而言，在一些设计中可降低 30%~50%的功耗。

4. 低成本

系统级封装在成本上要比 PCB 高，但比 SOC 动辄成百上千万元的成本来说还是便宜了许多。

5. 更短的设计周期

现在，电子产品竞争激烈，产品若能尽早上市会给企业带来更多的利润。SiP 设计相对 SOC 设计简单，可直接采用现有的 IC 裸片和无源器件搭建具备一定功能的系统，无须专门进行 SOC 设计；而对 SOC 而言，如果采用 45 纳米的工艺技术，则以前的各个 IP 芯片设计都要改成 45 纳米的工艺技术，这样一来，采用 SiP 设计比 SOC 设计节约很多的时间。

6. 灵活性

SiP 设计相对于 SOC 设计更加灵活。特别对于有射频电路和射频芯片的系统设计来说，系统级封装技术提供了在同一个封装内集成 RF、模拟电路和高速数字电路的灵活性，可有效地解决在芯片内设计 RF 元件的问题。除此之外，用户采用系统级封装技术可将部分器件埋入高密度封装基板内，完成一定的系统功能。

1.2 系统级封装研发流程

系统级封装流程如图 1-1 所示。

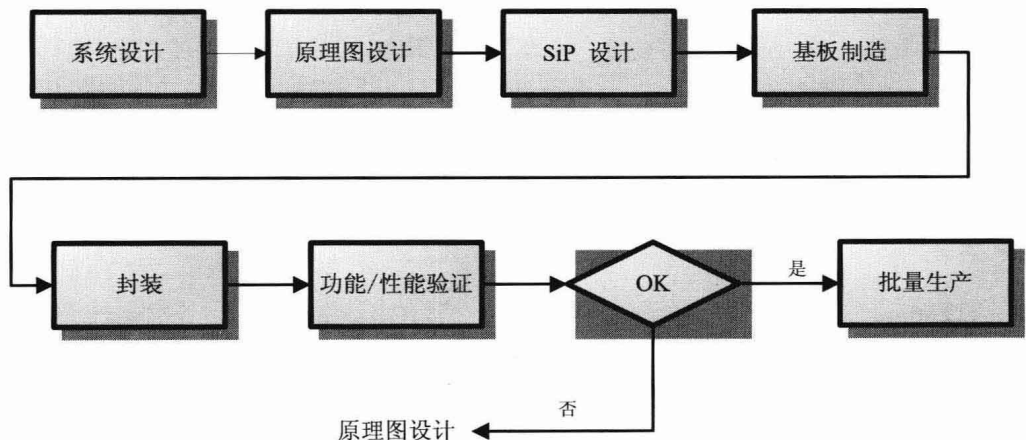


图 1-1 系统级封装研发的流程

1. 系统设计

定义 SiP 封装的功能和性能。

2. 原理图设计

为系统工程师提供独特的环境来浏览和定义系统的连接功能。一般单芯片的封装设计没有原理图设计这一环节，但对于系统级封装设计来说，原理图设计是必需的。工程师通过原理图设计来确保系统互连的正确性。

3. SiP 设计

约束和规则驱动的基板设计。①进行三维的 Die 的创建和编辑；②实现 IC 和封装的连接和优化，以达到最佳的信号完整性和最小层的使用；③通过倒装焊工艺的自动扇出和布线，减少设计时间；④进行三维的设计规则检查。

4. 基板制造

用户完成设计后，向基板厂家提供基板光绘文件和钻孔文件进行基板的生产。

5. 封装

在封装厂完成芯片及其他器件的贴装、键合及塑封过程。

6. 功能和性能的验证

这一环节完成功能和性能的验证，看 SiP 封装是否符合设计的要求。如果可以，就进行批量生产。

1.3 系统级封装基板设计流程

系统级封装基板的设计流程如图 1-2 所示。

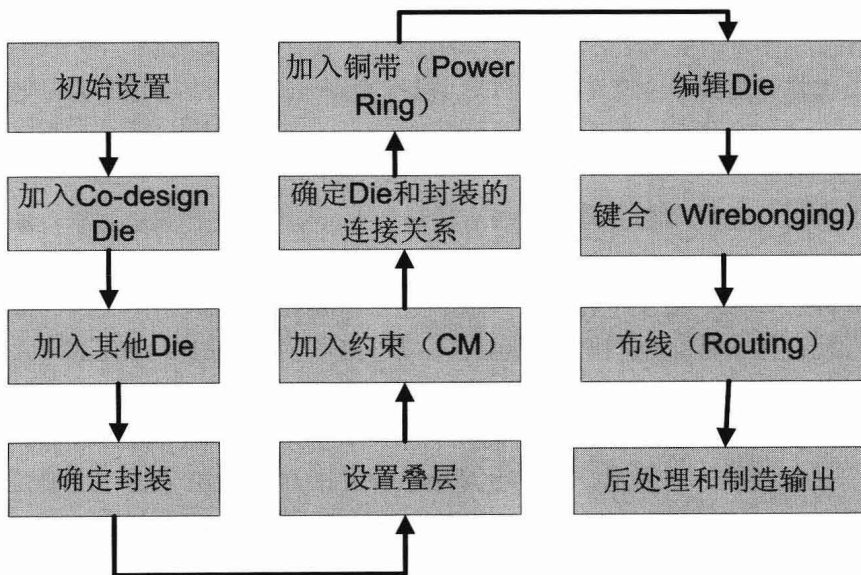


图 1-2 系统级封装基板的设计流程

- (1) 初始设置。确定设计的产品的需求。选择合适的封装。常见的封装有 BGA、陶瓷封装等。
- (2) 加入 Co-design Die。
- (3) 加入其他 Die。
- (4) 根据加入的 Die，确定封装的选择。确定所选择的封装能不能实现设计的目的。
- (5) 确定是否要采用堆叠 Die 的方式来实现。
- (6) 确定工艺，是否需要采用倒装的工艺或者引线键合工艺。
- (7) 建立新的设计，创建零件库，并定义基板的大小。
- (8) 设置叠层。根据信号完整性和电源完整性结合工艺确定基板板层。
- (9) 设置约束。加入线宽间距的约束和 Bonding 线的规则。
- (10) 输入网络。
- (11) 加入 Power Rings。
- (12) 设置堆叠 Die。
- (13) 设置键合线。
- (14) 手动或自动布线。
- (15) 后处理和制造输出。

1.4 Cadence 公司的 SiP 产品

Cadence 公司的 Allegro 平台是从芯片设计，到封装设计再到 PCB 设计一个完整的设计平台。它把芯片级的 I/O 可行性和规划功能，集成电路的封装，以及业界领先的 PCB 工具集合在一起，完成协同设计，完全颠覆了传统的 IC 设计流程。传统的 IC 设计先设计芯片，然后进行封装设计和封装制造，最后通过销售渠道卖出芯片。而今天的 IC 设计，先设计系统方案，根据芯片设计确定封装，根据封装确定 PCB 设计，并提取整个环节的链路来仿真。根据仿真结果来优化芯片、封装设计和 PCB 设计。Cadence 公司的 SiP 产品，是芯片到 PCB 的中间环节，正是这个环节，使得芯片设计和 PCB 设计连接起来。系统工程师能够平衡电气与物理设计。

从学习上来说也比较容易，因为该产品是从 Allegro 产品延伸来的，基本的界面非常相似。从设计的流程上说，又是同印刷电路板设计软件完全不同的设计方法。Cadence 的 SiP 软件有两个流程，一个是数字电路设计流程，另一个是模拟电路设计流程。从本质上讲，两个流程在基板设计上是完全相同的，但在模拟电路中要用到很多 Virtuoso 平台的模拟电路的仿真工具，例如 Spectre、Spectre RF 等。在模拟电路中还会涉及嵌入式元器件的设计，所以要选用模拟电路设计流程。相对于模拟电路，数字电路的选用流程较简单，主要有两个方向，一个是物理设计的要求，另一个是电气设计的要求。电气设计主要是要建立虚拟的系统，即提取 PCB 和封装中的 SPICE 或 S-parameter 模型，然后建立拓扑结构、进行仿真，来确定设计的时序能不能满足系统的需求和如何减少信号完整性的问题。物理设计主要是要考虑如何完成制造和生产，如何节约成本。对于今天的设计来说，随着设计余量的

减少，需要直接采用系统级封装来实现系统设计。图 1-3 所示是两个流程图。

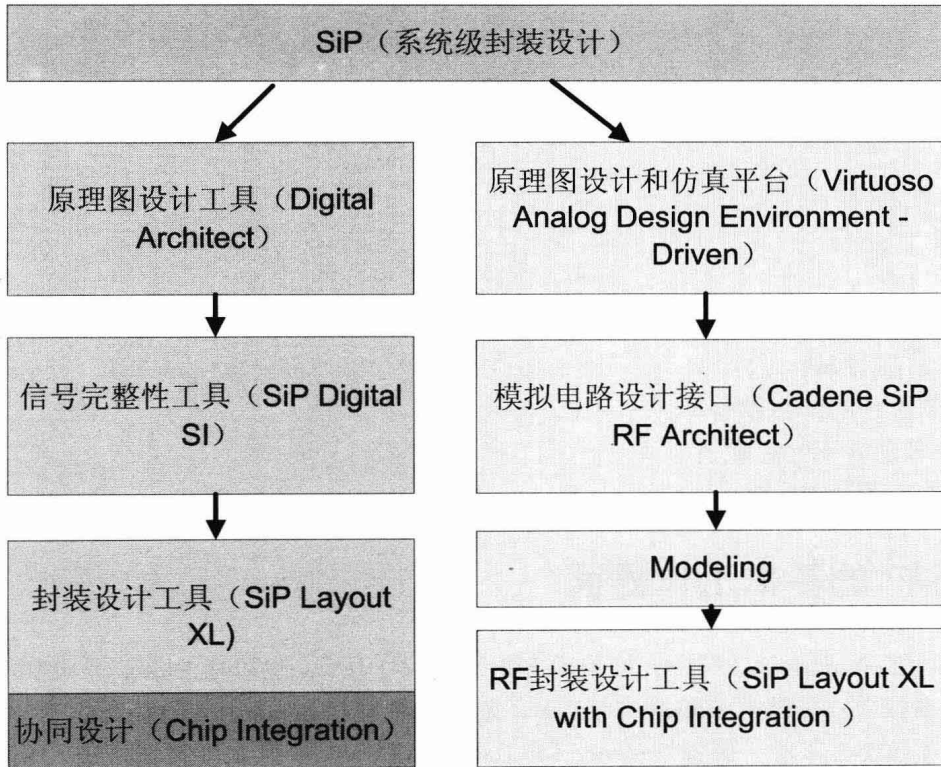


图 1-3 系统级封装流程