Altera 公司推荐 FPGA/CPLD 培训教材

QUARTUS II
Design Software

Altera FPGA/CPLD 设计

（高级篇）（第2版）

EDA 先锋工作室 吴继华 蔡海宁 王诚 编著
Altera 公司 审校

赠 Altera Quartus II Web 版软件

DVD

人民邮电出版社
POSTS & TELECOM PRESS

Altera公司推荐FPGA/CPLD培训教材

Altera FPGA/CPLD设计

（高级篇）（第2版）

EDA先锋工作室 吴继华 蔡海宁 王诚 编著
Altera公司 审校

人民邮电出版社
北京

图书在版编目（CIP）数据

Altera FPGA/CPLD设计. 高级篇 / 吴继华, 蔡海宁, 王诚编著. -- 2版. -- 北京 : 人民邮电出版社, 2011.2
ISBN 978-7-115-24666-0

Ⅰ. ①A… Ⅱ. ①吴… ②蔡… ③王… Ⅲ. ①可编程序逻辑器件－系统设计 Ⅳ. ①TP332.1

中国版本图书馆CIP数据核字(2010)第258343号

内 容 提 要

本书结合作者多年工作经验，深入地讨论了 Altera FPGA/CPLD 的设计和优化技巧。在讨论 FPGA/CPLD 设计指导原则的基础上，介绍了 Altera 器件的高级应用；引领读者学习逻辑锁定设计工具，详细讨论了时序约束与静态时序分析方法；结合实例讨论如何进行设计优化，介绍了 Altera 的可编程器件的高级设计工具与系统级设计技巧。

本书附带光盘中收录了 Altera Quartus II Web 版软件，读者可以安装使用，同时还收录了本书所有实例的完整工程、源代码和使用说明文件，便于读者边学边练，提高实际应用能力。

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体等专业的教材，也可作为硬件工程师和 IC 工程师的实用工具书。

Altera FPGA/CPLD 设计（高级篇）（第 2 版）

◆ 编　　著　EDA 先锋工作室　吴继华　蔡海宁　王　诚
审　　校　Altera 公司
责任编辑　李永涛

◆ 人民邮电出版社出版发行　　北京市崇文区夕照寺街 14 号
邮编　100061　　电子函件　315@ptpress.com.cn
网址　http://www.ptpress.com.cn
三河市海波印务有限公司印刷

◆ 开本：787×1092　1/16
印张：21.5
字数：524 千字　　2011 年 2 月第 2 版
印数：1- 4 000 册　　2011 年 2 月河北第 1 次印刷

ISBN 978-7-115-24666-0

定价：49.00 元（附光盘）

读者服务热线：(010)67132692　印装质量热线：(010)67129223
反盗版热线：(010)67171154
广告经营许可证：京崇工商广字第0021号

工作室简介

EDA 先锋工作室是与人民邮电出版社紧密合作的一支电子设计领域专业书籍创作队伍。该工作室的成员都是国内外著名电子、通信、半导体行业的资深研发人员、技术支持、市场销售、信息咨询和管理人员。

本工作室的宗旨为：联合国内外 EDA 设计人才，培养 EDA 设计专业队伍，推动我国 EDA 技术的发展。本工作室的主要工作范围为：创作 EDA 相关技术图书，培养国内 EDA 设计专业人才，设计研发电子产品。EDA 先锋工作室擅长的技术领域有 FPGA/CPLD 设计、ASIC 设计、高速 PCB 设计和嵌入式系统设计等。EDA 先锋工作室愿意与各界有识之士开展积极的合作！

已出版书籍

- 《Altera FPGA/CPLD 设计（基础篇）》
- 《Altera FPGA/CPLD 设计（高级篇）》
- 《设计与验证——Verilog HDL》
- 《Cadence Concept HDL & Allegro 原理图与 PCB 设计》
- 《Xilinx ISE 9.x FPGA/CPLD 设计指南》
- 《FPGA/CPLD 设计工具——Xilinx ISE 使用详解》

EDA 先锋工作室非常重视您的批评和建议，您可以通过电子函件以及网站反馈您的需求、建议与指正。

电子函件：alterabook@gmail.com。

EDA 先锋工作室

主　编： 王　诚

副主编： 吴继华　薛小刚　钟信潮

编　委： 李　楠　蔡海宁　赵延宾　庞　健　袁　园
范丽珍　葛毅敏　由武军　周海涛　薛　宁
路　远　梁晓明　侯小辉　寿开宇　吴　蕾
胡安琪　吴卫旋　张伟平

Preface

Founded in 1983, Altera Corporation is headquartered in Silicon Valley and has over 2,600 employees in 19 countries. As the pioneer in System-on-a-Programmable-Chip(SOPC), Altera offers innovative custom logic solutions to its 12,000 customers by combining programmable logic device(PLD)and ASIC technologies, fully integrated software design tools, hardware development kits, optimized intellectual property (IP) cores, versatile embedded processors and comprehensive technical support.

Since inventing the world's first reprogrammable logic device in 1984, Altera has been the leader in innovative custom logic solutions, addressing a range of customer needs such as low power consumption, high performance, flexibility, quick time-to-market and low cost in a wide variety of industries including automotive, broadcast, computer & storage, consumer, industrial, medical, military, test & measurement, wireless and wireline communications.

Altera's offering includes:

- Industry-leading FPGA and CPLD products as well as unique HardCopy® ASIC series which provide the lowest risk path to high volume ASIC production.
- Powerful software development tools that offer the industry's greatest ease-of-use, best quality of results and highest productivity.
- A complete portfolio of optimized IP cores.
- Customizable embedded soft processors.
- Off-the-shelf development kits.

As end-market requirements evolve, the complexity of our customers' products, and in turn the capability of our custom logic solutions, is growing rapidly. As a result, design engineers lack sufficient knowledge of design methodologies to tackle these increasing demands. Reference materials and guidelines developed locally in China are highly beneficial for designers looking to adopt the latest custom logic solutions and leverage Altera's leading products and technologies.

I'm pleased to recommend the second editions of ***Altera® FPGA/CPLD Designs (Entry Level)*** and ***Altera® FPGA/CPLD Designs (Advanced Level)***. Compared with the first editions, the second editions have updated the content to reflect the latest Altera devices and design tools. These two books contain not only an introduction of traditional PLD technologies and design skills, but also explain the System-on-a-Programmable-Chip(SOPC)concept, the highly popular Nios® and Nios® II embedded processors and the innovative HardCopy® ASIC technology.

These two books take a unique approach to explain design methodologies and help build advanced PLD design skills while introducing Altera's devices and Quartus® II design software. They are rich in design examples which facilitate a deep understanding of the concepts presented and help to develop good design habits through hands-on practice.

I hope you enjoy these excellent books and wish you success in your programmable logic designs!

Erhaan Shaikh

Vice President & Managing Director, Asia Pacific

Altera International Limited

序

Altera 公司成立于 1983 年，总部位于硅谷，2600 多名员工分布在 19 个国家。作为可编程芯片系统（SOPC）的创始企业，Altera 结合了可编程逻辑器件（PLD）和 ASIC 技术，实现了软件设计工具、硬件开发套件、知识产权（IP）内核、通用嵌入式处理器的全面集成，为 12000 多家用户提供创新定制逻辑方案，以及广泛的技术支持。

自从 1984 年发明世界上第一款可编程逻辑器件以来，Altera 一直是创新定制逻辑解决方案的领先者，满足了汽车、广播、计算机和存储、消费类、工业、医疗、军事、测试测量、无线和固网通信等各行各业的多种客户需求，例如低功耗、高性能、灵活性、产品迅速面市和低成本等。

Altera 的产品包括：

- 业界领先的 FPGA 和 CPLD 产品以及独特的 HardCopy ASIC 系列，该系列为大批量 ASIC 产品提供低风险途径。
- 功能强大的软件开发工具，是业界最容易使用、结果质量最佳、效能最高的工具。
- 全系列优化 IP 内核。
- 可定制嵌入式软核处理器。
- 可立即使用的开发套件。

随着最终市场需求的发展，用户产品越来越复杂，我们的定制逻辑容量也随之快速增长。结果，设计工程师没有足够的设计方法和知识来满足需求的增长。设计人员在采用最新定制逻辑解决方案以及 Altera 前沿产品和技术时，可以充分利用我们在中国本地开发的参考材料和指南。

我非常荣幸地向您推荐第二版的《Altera FPGA/CPLD 设计（基础篇）》和《Altera FPGA/CPLD 设计（高级篇）》。与第一版相比，第二版对内容进行了更新以反映 Altera 最新器件和设计工具。这两本书不仅介绍了传统 PLD 技术和设计技巧，而且还解释了可编程芯片系统（SOPC）概念，非常流行的 Nios 和 Nios II 嵌入式处理器以及创新的 HardCopy ASIC 技术。

这两本书以独特的视角解释了设计方法，帮助您掌握高级 PLD 设计技巧，还介绍了 Altera 器件和 Quartus II 设计软件。这些书有丰富的设计实例，通过实际练习，能帮助您深入理解概念，养成良好的设计习惯。

希望您能够从这些优秀的书中受益，预祝您的可编程逻辑设计获得成功!

Erhaan Shaikh
亚太区副总裁兼总经理
Altera 公司

关于本书

内容和特点

FPGA/CPLD、DSP 和 CPU 被称为未来数字电路系统的 3 块基石，也是目前硬件设计研究的热点。与传统电路设计方法相比，FPGA/CPLD 具有功能强大，开发过程投资小、周期短，可反复编程修改，保密性能好，开发工具智能化等特点，特别是随着电子工艺的不断改进，低成本 FPGA/CPLD 器件推陈出新，这一切促使 FPGA/CPLD 成为当今硬件设计的首选方式之一。可以说 FPGA/CPLD 设计技术是当今高级硬件工程师与 IC 工程师的必备技能。

我国可编程逻辑器件设计技术落后于国外，目前立足工程实践，系统地介绍最新 FPGA/CPLD 设计工具的中文书籍较为贫乏。在这种情况下，为了满足广大工科在校生了解业界流行的高效FPGA/CPLD设计技术的需要，提高硬件工程师与IC工程师的工程实践技巧，我们编写了《Altera FPGA/CPLD 设计（基础篇）》和《Altera FPGA/CPLD 设计（高级篇）》。这两本书出版以来，广受读者好评，但随着技术的不断发展，器件型号和软件版本的不断更新，原有图书的内容和知识体系已经不适应目前的读者需求，为此我们根据 Altera 推出的一系列新型 FPGA，以及新版 Quartus II 软件的特性，对上述两本书进行了改版升级。

升级后的图书涵盖了 Altera 主流 FPGA/CPLD 的硬件结构与特性，详尽地讨论了 Quartus II 与第三方 EDA 工具的设计方法，系统地阐述了 Altera 可编程逻辑设计优化技术。

本书共 7 章，各章内容简要介绍如下。

- 第 1 章　探讨了可编程逻辑设计的基本原则和常用思想与技巧，并详细地讨论了 Altera 推荐的 Coding Style。
- 第 2 章　分别介绍了 Altera 器件的时钟管理、片内存储器、数字信号处理、片外高速存储器、差分接口与 DPA、高速串行收发器等高级硬件特性与应用方法。
- 第 3 章　重点介绍 LogicLock 设计方法。
- 第 4 章　在介绍时序分析的基本概念与常用约束方法的基础上，讨论了高级时序分析的技巧。
- 第 5 章　介绍资源利用率优化、I/O 时序优化、最高频率优化等设计优化的实用技术，并讨论了如何使用 DSE 进行优化的方法。
- 第 6 章　介绍 Tcl 脚本、HardCopy、Nios II 处理器、DSP Builder 等高级工具的使用方法。
- 第 7 章　重点讨论了信号完整性、电源设计、功耗分析与热设计、SERDES 与高速系统设计等系统级设计技巧。

本书的主要特点介绍如下。

- 全面系统：涵盖了 Altera 软、硬件设计技术，基础与高级设计工具，全面系统地论述了 Altera 可编程设计技术。
- 实用价值高：本书的作者都有丰富的 FPGA/CPLD、数字 ASIC 设计经验，本书立足于工程实践的需要，对工程设计有显著的指导意义。
- 内容新颖：本书的作者长期工作在可编程逻辑设计的最前沿，与 FPGA 器件制造公司和 EDA 软件设计公司联系紧密，所以有幸能够在第一时间内使用最新

版本的 FPGA/CPLD 设计工具。书中涉及的所有工具均根据较新资料撰写，使图书介绍的内容新颖。

- 剖析深刻：书中对 FPGA/CPLD 设计的基本原理、方法有较为详尽的论述，对各种设计工具的介绍并不局限于操作方法，而是结合作者多年的工作经验与心得，从较深的层面对各个工具的特点进行剖析。

读者对象

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体学等理工专业的教材，也可作为硬件工程师和 IC 工程师的实用工具书。

附盘内容

配套光盘提供了书中所有示例的完整工程文件、设计源文件和说明文件。

每个工程示例都包括了该工程的项目文件、源文件、报告文件和生成结果等文件，读者可以用 Quartus II 或相应的软件直接打开。设计源文件根据设计输入类型分为源代码或原理图等，请读者将设计源文件复制到计算机硬盘上，并按照书中的操作步骤自行操作练习。示例说明文件包含了示例的详细信息和操作指南。

另外，经 Altera 公司特别授权，光盘中收录了新版 Altera Quartus II Web 版软件、相关器件手册和技术文档。新的 Altera Quartus II Web 版软件不需要申请 License。在此，我们对 Altera 公司的强力支持表示真挚的感谢！

本书约定

为了方便读者阅读，书中设计了 4 个小图标，它们代表的含义如下。


行家指点：用于介绍使用经验和心得，或罗列重要的概念。


注意事项：用于提醒读者应该注意的问题。


多学一招：用于介绍实现同一功能的不同方法。


操作实例：用于引出一个操作题目和相应的一组操作步骤。

本书的主要章节由王诚和吴继华执笔，全书由 Altera 资深应用工程师蔡海宁统一修改整理。

Altera 南中国区应用工程经理郭晶先生，Altera 北中国区应用工程经理李健先生，资深高速技术专家韦俊伟先生，高速应用工程师宋建、路增援先生，软件应用工程师阮臻、杨卿先生对全书进行了审校。中国区大客户销售总监钟屹先生，亚太区应用工程总监罗炜亮先生，亚太区技术支持总监邓海涛先生，亚太区技术支持经理罗小锋、曹烨、袁亚东先生对本书提出了许多建设性意见，并给予作者多方面的帮助。Altera 亚太区市场部经理陈国裕先生，罗嘉莺女士、林少青女士，积极参与本书出版工作的组织与协调，在此一并表示衷心的感谢。在这里要特别感谢 Altera 亚太区副总裁 Erhaan Shaikh 先生在百忙之中亲自为本书撰写序言，

并由亚太区市场部经理 Jennifer Lo 女士翻译成中文。感谢所有关心并支持本书的同仁佳友！

感谢您选择了本书，如果您对书中内容有任何困惑和建议，请与我们联系。

电子函件：alterabook@gmail.com（作者），liyongtao@ptpress.com.cn（责任编辑）。

如果您需要得到 Altera 更全面的服务与技术支持，请访问 http://www.altera.com.cn。

EDA 先锋工作室

2010 年 12 月

目 录

第1章 可编程逻辑设计指导原则

本章旨在探讨可编程逻辑设计的一些基本规律。FPGA/CPLD 的设计规律与方法是一个非常大的课题，在此不可能面面俱到，希望通过本章提纲携领的粗浅介绍，引起读者的注意。如果大家能在日后的工作实践中不断积累，有意识地用 FPGA/CPLD 的基本设计原则、设计思想作为指导，将取得事半功倍的效果。

本章主要内容如下。

- 可编程逻辑基本设计原则。
- 可编程逻辑常用设计思想与技巧。
- Altera 推荐的 Coding Style。

1.1 可编程逻辑基本设计原则

可编程逻辑设计有许多内在规律可循，总结并掌握这些规律对于较深刻地理解可编程逻辑设计技术非常重要。本章从 FPGA/CPLD 的基本概念出发，总结出 4 个基本设计原则，这些指导原则范畴非常广，希望读者不仅仅是学习它们，更重要的是理解它们，并在今后的工作实践中充实、完善它们。

(1) 面积和速度的平衡与互换原则。提出了 FPGA/CPLD 设计的两个基本目标，并探讨了这两个目标的对立统一的矛盾关系。

(2) 硬件原则。重点在于提醒读者转化软件设计的思路，理解 HDL 语言设计的本质。

(3) 系统原则。希望读者能够通过从全局、整体上把握设计，从而提高设计质量，优化设计效果。

(4) 同步设计原则。设计时序稳定的基本要求，也是高速 PLD 设计的通用法则。

1.1.1 面积和速度的平衡与互换原则

这里的“面积”是指一个设计所消耗 FPGA/CPLD 的逻辑资源数量：对于 FPGA，可以用所消耗的触发器（FF）和查找表（LUT）来衡量；对于 CPLD，常用宏单元（MC）衡量。用设计所占用的等价逻辑门数来衡量设计所消耗 FPGA/CPLD 的逻辑资源数量也是一种常见的衡量方式。“速度”指设计在芯片上稳定运行时所能够达到的最高频率，这个频率由设计的时序状况决定，与设计满足的时钟周期、PAD to PAD Time、Clock Setup Time、Clock Hold Time 和 Clock-to-Output Delay 等众多时序特征量密切相关。面积（Area）和速度（Speed）这两个指标贯穿着 FPGA/CPLD 设计的始终，是设计质量评价的终极标准。这里

我们就讨论一下设计中关于面积和速度的基本原则：面积和速度的平衡与互换。

面积和速度是一对对立统一的矛盾体。要求一个设计同时具备设计面积最小，运行频率最高，这是不现实的。科学的设计目标应该是在满足设计时序要求（包含对设计最高频率的要求）的前提下，占用最小的芯片面积，或者在所规定的面积下，使设计的时序余量更大，频率更高。这两种目标充分体现了面积和速度的平衡思想。关于面积和速度的要求，我们不应该简单地理解为工程师水平的提高和设计完美性的追求，而应该认识到它们是与产品的质量和成本直接相关的。如果设计的时序余量比较大，运行的频率比较高，则意味着设计的健壮性更强，整个系统的质量更有保证；另一方面，设计所消耗的面积更小，则意味着在单位芯片上实现的功能模块更多，需要的芯片数量更少，整个系统的成本也随之大幅度削减。

作为矛盾的两个组成部分，面积和速度的地位是不一样的。相比之下，满足时序、工作频率的要求更重要一些，当两者冲突时，采用速度优先的准则。

面积和速度的互换是 FPGA/CPLD 设计的一个重要思想。从理论上讲，一个设计如果时序余量较大，所能跑的频率远远高于设计要求，那么就能通过功能模块复用减少整个设计消耗的芯片面积，这就是用速度的优势换面积的节约；反之，如果一个设计的时序要求很高，普通方法达不到设计频率，那么一般可以通过将数据流串并转换，并行复制多个操作模块，对整个设计采取“乒乓操作”和“串并转换”的思想进行处理，在芯片输出模块处再对数据进行“并串转换”。从宏观上看，整个芯片满足了处理速度的要求，这相当于用面积复制换取速度的提高。面积和速度互换的具体操作技巧很多，比如模块复用、“乒乓操作”、“串并转换”等，需要大家在日后工作中不断积累。下面举例说明如何使用“速度换面积”和“面积换速度”。

【例1-1】 如何使用“速度的优势换取面积的节约”？

在 WCDMA（宽带码分多址）系统中，使用到了快速哈达码（FHT）运算，FHT 由 4 步相同的算法完成，如图 1-1 所示。

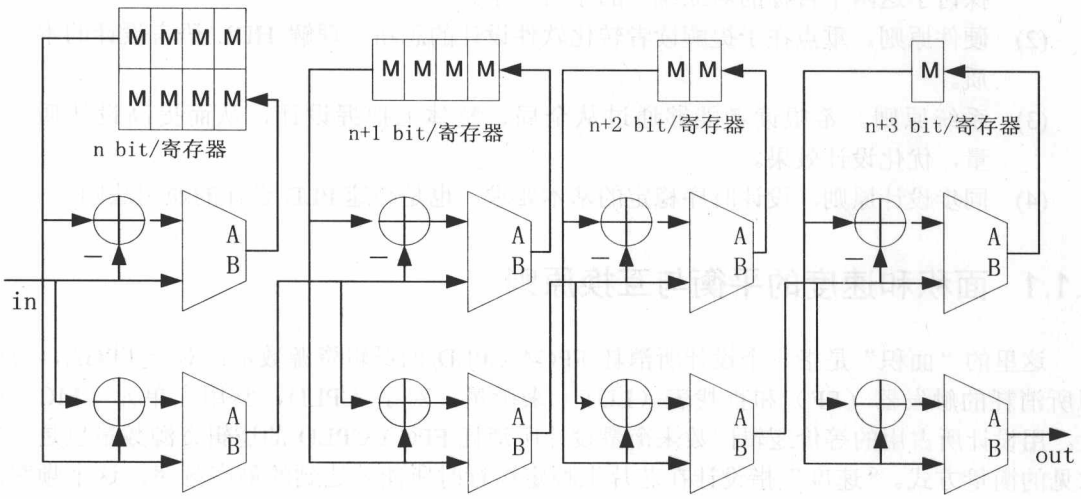

图1-1　FHT 原理图

FHT 的单步算法如下：