



国家示范性高职院校建设项目成果
中国电子教育学会推荐教材
全国高职高专院校规划教材·精品与示范系列

国家精品课
配套教材

FPGA/CPLD应用技术 (Verilog语言版)

◎ 王静霞 主编

◎ 余 菲 温国忠 副主编

- 数字系统设计开发环境
 - 组合逻辑电路设计
 - 数字系统的验证
 - 数字系统设计实践
 - Verilog设计基础
 - 时序逻辑电路设计
- | | | | |
|--------------|-----------|---------|------|
| ◆ 数据比较器 | ◆ 数据选择器 | ◆ 三人表决器 | |
| ◆ 一位加法器 | ◆ 3-8译码器 | ◆ 多路选择器 | |
| ◆ LED数码管显示电路 | ◆ D触发器 | ◆ 计数器 | |
| ◆ 分频器 | ◆ 流水灯 | ◆ 序列检测器 | ◆ 跑表 |
| ◆ 多彩霓虹灯 | ◆ 多功能数字钟 | ◆ 自动售货机 | |
| ◆ 交通灯控制器 | ◆ 多功能密码锁等 | | |

- ◆ 根据职业岗位要求，结合多年的教学改革经验与工学结合实践设计课程内容
- ◆ 以工作任务为导向，通过灵活多样的教学方法，介绍数字系统设计开发的知识与技能
- ◆ 设置有24个工作任务，体现做中学、学中练的教学思路与职业教育特色
- ◆ 配有电子教学课件、习题参考答案、Verilog HDL代码及精品课程链接网址



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>



中国高等院校电子信息与电气工程类专业
主干课程规划教材



FPGA/CPLD应用技术 [Verilog语言版]

第二版

王 健 王 强 王 明 编



本书可作为高等院校电子信息与电气工程类专业主干课程规划教材，也可供从事该领域工作的工程技术人员参考。
本书可作为高等院校电子信息与电气工程类专业主干课程规划教材，也可供从事该领域工作的工程技术人员参考。

清华大学出版社

国家示范性高职院校建设项目成果
中国电子教育学会推荐教材
全国高职高专院校规划教材·精品与示范系列

国家精品课
配套教材

FPGA/CPLD 应用技术

(Verilog 语言版)

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书按照最新的职业教育教学改革要求,结合国家示范院校建设课程改革成果,以及作者多年的校企合作经验进行编写。全书以工作任务为导向,系统地介绍了数字系统设计开发环境、可编程逻辑器件的结构和开发工具软件、Verilog HDL 语言及其应用、组合逻辑电路设计、时序逻辑电路设计、数字系统的验证、数字系统设计实践等。

全书共安排了 24 个工作任务,由工作任务入手,引入相关的知识点,通过技能训练引出相关概念、设计技巧,体现做中学、学中练的教学思路与职业教育特色。

本书内容精炼,易于教学,可作为高职高专院校电子信息类、计算机类、自动化类专业课程教材,也可作为应用型本科、成人教育、函授学院、电视大学、中职学校相关课程的教材,也是电子工程技术人员的一本好参考书。

本书配有电子教学课件、习题参考答案和 Verilog HDL 代码文件,详见前言。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

FPGA/CPLD 应用技术: Verilog 语言版/王静霞主编. —北京:电子工业出版社,2011.1

全国高职高专院校规划教材·精品与示范系列

ISBN 978-7-121-12254-5

I. ①F… II. ①王… III. ①可编程序逻辑器件—系统设计—高等学校:技术学校—教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2010)第 221691 号

策划编辑:陈健德(E-mail:chenjd@phei.com.cn)

责任编辑:毕军志

印 刷: 北京季蜂印刷有限公司
装 订:

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:22 字数:563.2 千字

印 次:2011 年 1 月第 1 次印刷

印 数:4 000 册 定价:35.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zlts@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

职业教育 继往开来(序)

自我国经济在新的世纪快速发展以来,各行各业都取得了前所未有的进步。随着我国工业生产规模的扩大和经济发展水平的提高,教育行业受到了各方面的重视。尤其对高等职业教育来说,近几年在教育部和财政部实施的国家示范性院校建设政策鼓舞下,高职院校以服务为宗旨、以就业为导向,开展工学结合与校企合作,进行了较大范围的专业建设和课程改革,涌现出一批示范专业和精品课程。高职教育在为区域经济建设服务的前提下,逐步加大校内生产性实训比例,引入企业参与教学过程和质量评价。在这种开放式人才培养模式下,教学以育人为目标,以掌握知识和技能为根本,克服了以学科体系进行教学的缺点和不足,为学生的顶岗实习和顺利就业创造了条件。

中国电子教育学会立足于电子行业企事业单位,为行业教育事业的改革和发展,为实施“科教兴国”战略做了许多工作。电子工业出版社作为职业教育教材出版大社,具有优秀的编辑人才队伍和丰富的职业教育教材出版经验,有义务和能力与广大的高职院校密切合作,参与创新职业教育的新方法,出版反映最新教学改革成果的新教材。中国电子教育学会经常与电子工业出版社开展交流与合作,在职业教育新的教学模式下,将共同为培养符合当今社会需要的、合格的职业技能人才而提供优质服务。

近期由电子工业出版社组织策划和编辑出版的“全国高职高专院校规划教材·精品与示范系列”,具有以下几个突出特点,特向全国的职业教育院校进行推荐。

(1) 本系列教材的课程研究专家和作者主要来自于教育部和各省市评审通过的多所示范院校。他们对教育部倡导的职业教育教学改革精神理解得透彻准确,并且具有多年的职业教育教学经验及工学结合、校企合作经验,能够准确地对职业教育相关专业的知识点和技能点进行横向与纵向设计,能够把握创新型教材的出版方向。

(2) 本系列教材的编写以多所示范院校的课程改革成果为基础,体现重点突出、实用为主、够用为度的原则,采用项目驱动的教学方式。学习任务主要以本行业工作岗位群中的典型实例提炼后进行设置,项目实例较多,应用范围较广,图片数量较大,还引入了一些经验性的公式、表格等,文字叙述浅显易懂。增强了教学过程的互动性与趣味性,对全国许多职业教育院校具有较大的适用性,同时对企业技术人员具有可参考性。

(3) 根据职业教育的特点,本系列教材在全国独创性地提出“职业导航、教学导航、知识分布网络、知识梳理与总结”及“封面重点知识”等内容,有利于老师选择合适的教材并有重点地开展教学过程,也有利于学生了解该教材相关的职业特点和对教材内容进行高效率的学习与总结。

(4) 根据每门课程的内容特点,为方便教学过程对教材配备相应的电子教学课件、习题答案与指导、教学素材资源、程序源代码、教学网站支持等立体化教学资源。

职业教育要不断进行改革,创新型教材建设是一项长期而艰巨的任务。为了使职业教育能够更好地为区域经济和企业服务,我们殷切希望高职高专院校的各位职教专家和老师提出建议,共同努力,为我国的职业教育发展尽自己的责任与义务!

中国电子教育学会

前 言



随着微电子技术的快速发展,可编程逻辑器件应用技术得到了广泛应用,社会对专业技术人员的要求逐步提高。它作为现代电子设计最新技术的结晶,融合了应用电子技术、计算机技术、信息处理及智能化技术的最新成果,由计算机自动完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真,直至对特定目标芯片的适配编译、逻辑映射和编程下载等工作,从而实现电子产品设计的自动化。这一技术极大地提高了电路设计的效率和可靠性,减轻了设计者的劳动强度,加快了当今社会向数字化社会的进程,许多院校根据行业发展需要都开设了这门课程。

深圳职业技术学院可编程逻辑器件应用技术课程组的教师经过多年的教学改革实践与校企合作,于2008年将该课程建设成为国家电子教指委精品课程。作为精品课程建设的成果之一,本书基于工作任务进行内容设计,共安排了24个工作任务,由工作任务入手,引入相关的知识点,通过技能训练引出相关概念、设计技巧,体现做中学、学中练的教学思路与职业教育特色。实践部分有理论分析,理论部分以实践作为依托,理论与实践融为一体,互相补充,循环深入。这种按照认识规律,用实际工作任务引导,而不是靠理论体系的逻辑关系引导的叙述体系,是本书的最大特点。

所有任务均采用 Verilog HDL 语言设计代码实现。目前,电子设计行业常用的两种硬件描述语言是 VHDL 和 Verilog HDL,这两种语言都应用得比较广泛,其中,Verilog HDL 的语言规则非常接近 C 语言,大多数工程师都可以迅速上手,因而拥有更多的用户,本书就是采用 Verilog HDL 完成所有的设计任务的。

本书任务设计逐层递进、由易到难,体现了可操作性和扩展性,根据难度和综合性可划分为四个层次。第一层包括第1章,它是本书与传统数字电路知识的衔接部分,两个任务均采用传统的原理图设计方法,并引入了现代数字系统设计环境,包括可编程逻辑器件硬件系统和常用 EDA 软件设计平台,通过硬件设计载体和软件设计平台的学习,了解各种可编程逻辑器件的电路结构、工作原理,掌握 EDA 工具软件的使用方法,是 EDA 技术学习的第一步;第二层包括第2章,在第1章的基础之上,把设计任务改为采用硬件描述语言进行数字系统设计,在任务中引入硬件描述语言的概念及语法知识点;第三层包括第3~5章,以大量的任务和实例介绍了采用 Verilog 语言进行数字系统设计的基本步骤和方法;第四层次包括第6章,从综合应用的角度,给出了6个综合设计项目,具有很强的实践性和可操作性。以上四个层次,从内容上看,实例引导,前后呼应;从结构上看,层层递进,深入浅出。

本书内容精炼,避免长篇大论;语言通俗易懂,引入了与实践相关的图、表、提示、警告等内容,易于教学,实用性强。本书通过24个工作任务,主要介绍了数字系统设计开发环境、可编程逻辑器件的结构和开发工具软件、Verilog HDL 语言及其应用、组合逻辑电路

设计、时序逻辑电路设计、数字系统的验证、数字系统设计实践任务等内容。参考学时约为 80 学时，在使用时可根据具体教学情况取舍部分内容和适当增减学时。

本书由王静霞任主编，对本书进行总体策划、编写指导及全书统稿；余菲和温国忠任副主编，协助完成以上工作。具体编写分工为王静霞编写第 1 章，刘俐编写第 2 章，余菲编写第 3 章和第 6 章的任务 20、23 和 24，温国忠编写第 4、5 章，深圳信息职业技术学院的王颖编写第 6 章的任务 19、21、22 和 23。

为了方便教师教学，本书配有电子教学课件、习题参考答案和 Verilog HDL 代码文件等，请有此需要的教师登录华信教育资源网（www.hxedu.com.cn）免费注册后进行下载，有问题时请在网站留言或与电子工业出版社联系（E-mail: hxedu@phei.com.cn）。读者也可通过该精品课程链接网址浏览和参考更多的教学资源，网址：<http://jpke1.szpt.edu.cn/2008/ljqj/>。

由于时间紧迫和编者水平有限，书中的错误和缺点在所难免，热忱欢迎读者对本书提出批评和建议。

编 者

2010 年 9 月



目 录



第 1 章 认识数字系统设计开发环境	1
教学导航	1
任务 1 基于原理图实现的基本门电路设计	2
1.1 Quartus II 集成开发环境	16
1.1.1 认识 Quartus II 集成开发环境	16
1.1.2 Quartus II 集成开发环境的设计流程	17
1.1.3 常用可编程逻辑器件开发环境	18
任务 2 基于原理图实现的 2 选 1 数据选择器设计	19
1.2 可编程逻辑器件	23
1.2.1 什么是可编程逻辑器件	23
1.2.2 简单可编程逻辑器件	25
1.2.3 高密度可编程逻辑器件	28
1.2.4 可编程逻辑器件主要厂商	41
1.3 EDA 技术	42
1.3.1 电子系统设计方法	42
1.3.2 FPGA/CPLD 进行电路设计的一般流程	44
知识梳理与总结	46
习题 1	46
第 2 章 Verilog 设计基础	48
教学导航	48
任务 3 基于 HDL 实现的基本门电路设计	49
2.1 什么是 HDL	53
2.1.1 HDL 及其特点	53
2.1.2 Verilog 电路模块的一般结构	54
2.1.3 基于 Verilog 的系统设计流程	59
任务 4 基于 HDL 实现的 2 选 1 数据选择器设计	62
2.2 数据类型及常量变量	66
2.2.1 标识符	66
2.2.2 常量	67
2.2.3 变量及其数据类型	69
2.3 连续赋值语句及“?:”语句	71
2.3.1 持续赋值语句	71

2.3.2 “?:” 语句	72
2.4 运算符及表达式	74
2.4.1 运算符	74
2.4.2 表达式	79
任务5 2位二进制数据比较器的设计	80
2.5 条件语句	86
2.5.1 if 条件语句	86
2.5.2 case 条件语句	90
2.6 循环语句	93
2.6.1 for 语句	93
2.6.2 repeat 语句	95
2.6.3 while 语句	95
2.6.4 forever 语句	95
任务6 4选1数据选择器的设计	96
2.7 Verilog HDL 的模块调用	99
知识梳理与总结	102
习题2	103

第3章 组合逻辑电路设计 105

教学导航	105
任务7 三人表决器设计	106
3.1 组合逻辑电路设计基础	113
3.1.1 组合逻辑电路的定义和基本特征	114
3.1.2 标准 CMOS 组合逻辑电路结构	114
3.1.3 典型组合逻辑电路设计方法	117
3.2 理解 Verilog 的并行语句	118
任务8 一位加法器的设计	121
3.3 运算部件及其设计方法	129
3.3.1 加法器	129
3.3.2 乘法器与除法器	132
任务9 3-8译码器的设计	135
3.4 Verilog 语言的过程及用法	143
3.4.1 过程块和过程语句	143
3.4.2 过程中的阻塞赋值与非阻塞赋值	145
3.4.3 基于过程块的组合逻辑建模标准	149
任务10 基于三态门的双向端口设计	150
3.5 三态门的原理及其应用	157
3.5.1 三态门电路	157
3.5.2 三态门电路应用——多路选择器设计	159
任务11 七段 LED 数码管显示电路设计	161
3.6 LED 数码管显示电路及其设计方法	167

3.6.1 LED 数码管及其显示电路	167
3.6.2 动态 LED 数码管显示电路设计	171
知识梳理与总结	173
习题 3	174
第 4 章 时序逻辑电路设计	176
教学导航	176
任务 12 上升沿检测电路设计	177
4.1 时序逻辑电路基本概念	180
4.1.1 时序逻辑电路设计中的等效模型	180
4.1.2 触发器的建立时间和保持时间	181
4.1.3 时序分析基础	181
4.1.4 同步电路设计规则	182
任务 13 带异步复位/同步置位端的 D 触发器设计	183
4.2 D 触发器及其设计方法	186
任务 14 计数器设计	190
4.3 计数器及其设计方法	193
4.3.1 计数器基本概念	193
4.3.2 计数器设计方法	193
任务 15 分频器设计	197
4.4 分频器及其设计方法	200
4.4.1 2 的整数次幂的分频器设计	201
4.4.2 偶数分频电路设计	201
4.4.3 占空比为 1:15 的分频电路设计	202
4.4.4 奇数分频电路设计	203
任务 16 流水灯设计	205
4.5 数据寄存器及其设计方法	209
4.5.1 数据寄存器设计	210
4.5.2 移位数据寄存器设计	210
任务 17 采用状态机实现序列检测器设计	214
4.6 状态机及其设计方法	220
4.6.1 状态机的基本概念	220
4.6.2 状态机的几种描述方法	222
知识梳理与总结	227
习题 4	227
第 5 章 数字系统的验证	230
教学导航	230
任务 18 跑表的设计及验证	231
5.1 Modelsim 仿真工具	239

5.2 使用 Modelsim 进行功能仿真	244
5.2.1 Modelsim 的运行方式	244
5.2.2 Modelsim 仿真步骤	245
5.3 Testbench 设计方法	250
5.3.1 Testbench 基本结构	250
5.3.2 简单 CPU 接口激励产生方式	251
5.3.3 仿真结果分析	251
5.3.4 常用产生激励描述方式	252
5.4 常用的 Verilog 测试语句	255
知识梳理与总结	257
习题 5	257
第 6 章 数字系统设计实践	259
任务 19 简易数字钟设计	260
任务 20 可编程多彩霓虹灯设计	273
任务 21 多功能数字钟设计	287
任务 22 交通灯控制器设计	301
任务 23 多功能密码锁设计	312
任务 24 自动售货机设计	326

第1章

认识数字系统设计 开发环境

教学导航

教	知识重点	1. Quartus II 集成开发环境使用 2. Quartus II 软件设计流程 3. 可编程逻辑器件基本概念 4. 可编程逻辑器件基本结构 5. EDA 基本概念及现代数字系统设计方法
	知识难点	1. Quartus II 软件的使用 2. 可编程逻辑器件基本结构
	推荐教学方式	从工作任务入手,通过最简单的门电路设计,让学生从实践中了解现代数字系统设计所需要的硬件、软件开发环境,并逐渐学会运用 Quartus II 软件进行数字电路设计,同时让学生在实践中由外到内、从直观到抽象,逐渐理解可编程逻辑器件及相关概念
	建议学时	10 学时
学	推荐学习方法	动手完成指定任务是学习数字系统设计的第一步,再举一反三,完成相应的课外任务,进一步巩固所学知识,并熟练开发环境的使用,对后面的学习非常有帮助。对软件的熟悉需要时间,不要有急躁心理,本章内容可以作为 Quartus II 软件使用方法的资料,在以后的操作中反复查询。对于可编程逻辑器件结构,可以以简单器件结构为主进行学习,对于高密度可编程逻辑器件结构以理解为主,抓住共同点,对于难以理解的部分,可以先忽略,不用死记硬背
	必须掌握的技能	Quartus II 集成开发环境的使用

本章从最简单的数字系统设计任务入手,让读者对数字系统设计环境有一个感性的认识,对常用的数字系统开发软件有一个大致的了解,并逐渐熟悉 Quartus II 软件的使用方法及设计流程。



任务 1 基于原理图实现的基本门电路设计

任务分析

基本门电路主要用来实现输入/输出之间的逻辑关系，包括与门、或门、非门、与非门、或非门、异或门、同或门等，这里以 2 输入端与非门为例介绍基本门电路的设计方法。

实现与非逻辑运算的电路称为与非门，通常作为数字系统电路的一个独立单元使用。2 输入端与非门的逻辑符号如图 1.1 所示，有两个输入端 A 、 B 和一个输出端 F 。

2 输入端与非门真值表如表 1.1 所示。

表 1.1 2 输入端与非门真值表

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

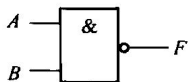


图 1.1 与非门逻辑符号

小资料

基本门电路逻辑符号如表 1.2 所示。

表 1.2 基本门电路逻辑符号

门 电 路	国家标准 (IEC)	国 外 符 号	逻辑表达式
与门 (AND)			$F = AB$
或门 (OR)			$F = A + B$
非门 (NOT)			$F = \bar{A}$
与非门 (NAND)			$F = \overline{AB}$
或非门 (NOR)			$F = \overline{A + B}$
异或门 (XOR)			$F = A \oplus B$



任务实现

采用可编程逻辑器件进行2输入端与非门电路的设计, 首先必须要准备软件和硬件设计环境。

所需软件环境: Quartus II 集成开发环境。

所需硬件环境: 计算机和 EDA (Electronic Design Automation, 电子设计自动化) 教学实验开发系统。

小提示

如果读者没有 EDA 教学实验开发系统, 就不能将设计电路下载到可编程逻辑器件中进行实际验证, 但可以在 Quartus II 软件中对设计进行仿真, 利用仿真波形来验证设计电路的逻辑关系是否正确。

采用原理图输入法的2输入与非门电路的设计步骤如下:

1. 新建工程

(1) 启动 Quartus II 软件, 出现如图 1.2 所示的 Quartus II 的启动界面。

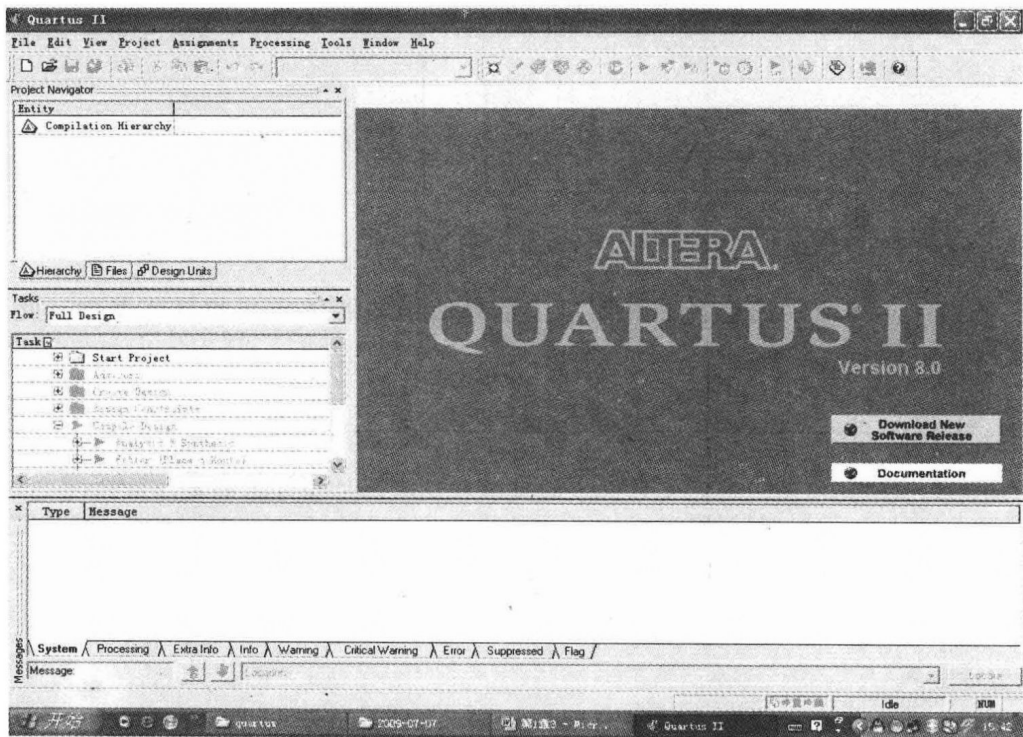


图 1.2 Quartus II 启动界面

(2) 创建工程 NAND2, 在“File”下拉菜单中选取“New Project Wizard”选项, 出现如图 1.3 所示的工程向导窗口, 在该窗口中指定工作目录、工程名称和顶层模块名称。



小提示

- ① 在默认情况下,工程名与顶层模块名是相同的。
- ② 顶层模块名不能与 Quartus II 中已经提供的逻辑函数名或模块名相同,例如, nand2,在编译时会出现错误提示。
- ③ 如果要在新建立的工程中使用以前建立的工程中的设置,可以单击“Use Existing Project Setting”按钮(这里不用)。

(3) 在图 1.3 中单击“Next”按钮,则会出现如图 1.4 所示的“Add Files”添加文件窗口,可以将已经存在的输入文件添加到新建的工程中,该步骤也可以在后面完成,这里直接单击“Next”按钮,出现如图 1.5 所示的选择器件窗口。

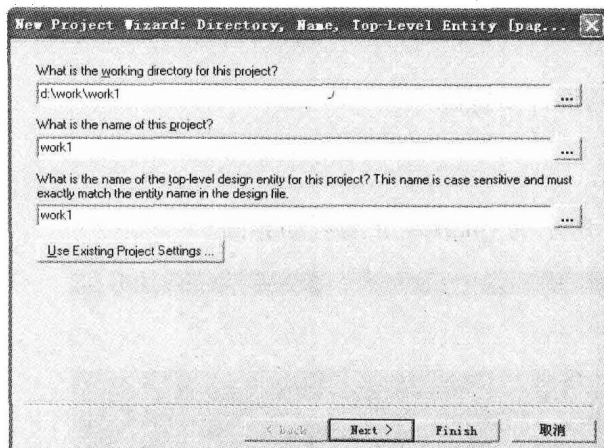


图 1.3 建立工程向导窗口

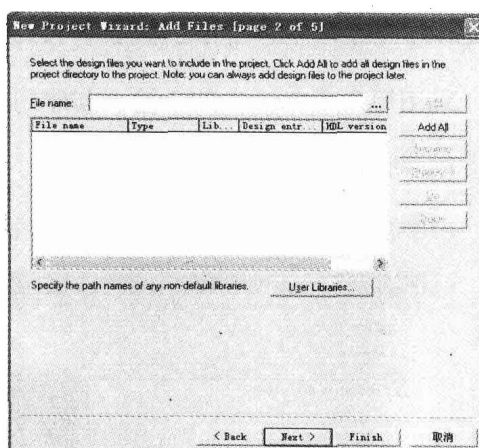


图 1.4 添加文件窗口

(4) 在如图 1.5 所示的选择器件窗口中选择使用的器件系列和具体器件,此处选择 ACEX 系列器件 EP1K100QC208-3 作为示例。

小提示

读者要根据具体使用的开发系统中的可编程逻辑器件型号来确定。

(5) 在图 1.5 中单击“Next”按钮,出现如图 1.6 所示的窗口,在该窗口中单击“Next”按钮,出现如图 1.7 所示的窗口,单击“Finish”按钮完成工程建立。

2. 设计输入

(1) 在“File”下拉菜单中选择“New”选项,出现如图 1.8 所示的设计输入类型选择窗口,选择设计输入类型为“Block Diagram/Schematic File”,出现如图 1.9 所示的原理图编辑窗口。



第1章 认识数字系统设计开发环境

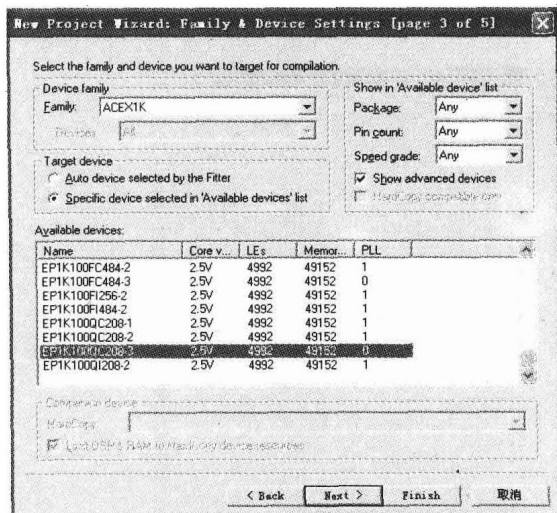


图 1.5 选择器件窗口

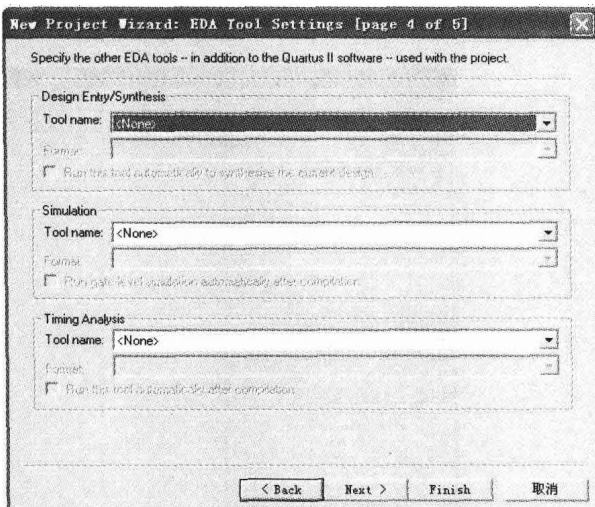


图 1.6 EDA 工具设置

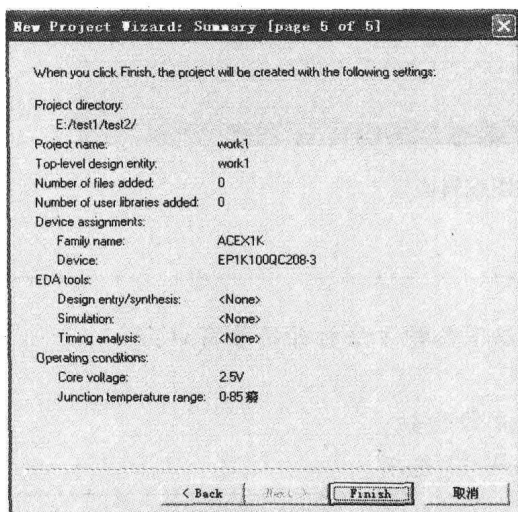


图 1.7 工程建立完成窗口

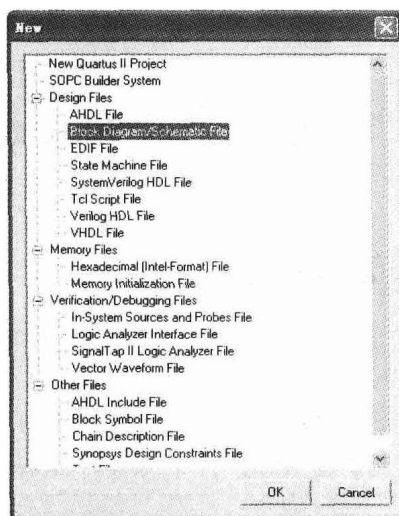


图 1.8 设计输入类型选择窗口

小知识

在图 1.8 中我们可以看到 Quartus II 软件可以提供以下不同的输入方式：

- ① AHDL File: Altera 硬件描述语言 (AHDL) 设计文件, 扩展名为 .tdf。
- ② Block Diagram/Schematic File: 结构图 / 原理图设计文件, 扩展名为 .bdf。
- ③ EDIF File: 其他 EDA 工具生成的标准 EDIF 网表文件, 扩展名为 .edf 或 .edif。
- ④ SOPC Builder System: 可编程片上编译器系统输入。
- ⑤ State Machine File: 状态机文件输入。
- ⑥ Verilog HDL File: Verilog HDL 设计源文件, 扩展名为 .v 或 .vlg 或 .verilog。
- ⑦ VHDL File: VHDL 设计源文件, 扩展名为 .vh 或 .vhl 或 .vhd。

本书只涉及原理图输入和 Verilog 文本输入两种输入类型。



(2) 在图 1.9 所示的原理图编辑窗口中双击鼠标左键, 出现如图 1.10 所示的符号窗口。

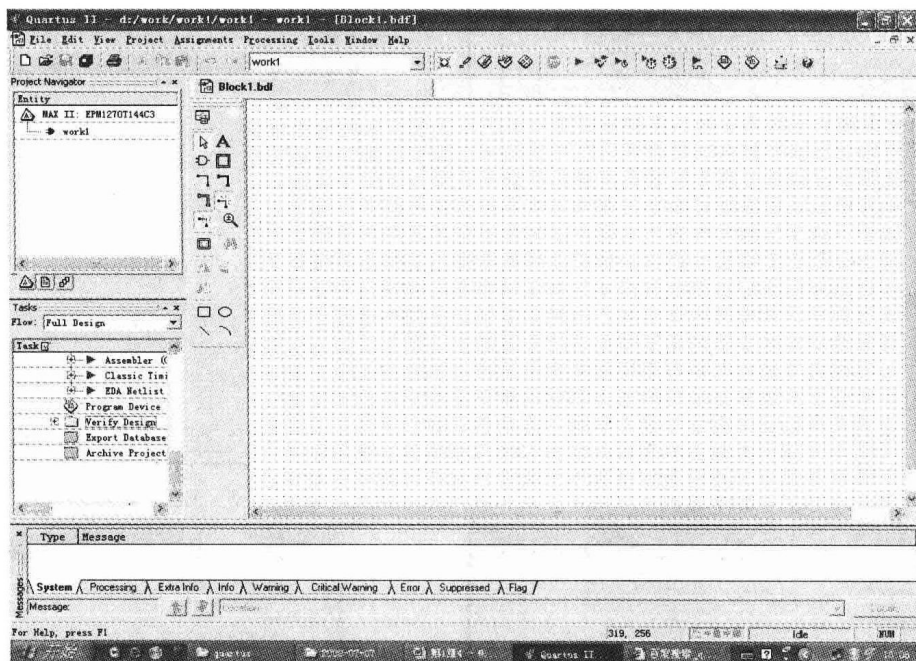


图 1.9 原理图编辑窗口

小提示

在图 1.9 所示的原理图编辑窗口中, 有以下几种方法打开符号窗口:

- ① 在图形窗口内双击鼠标左键;
- ② 单击左侧快捷工具栏中的 Symbol Tool 按钮;
- ③ 在“Edit”下拉菜单中选择“Insert Symbol”选项。

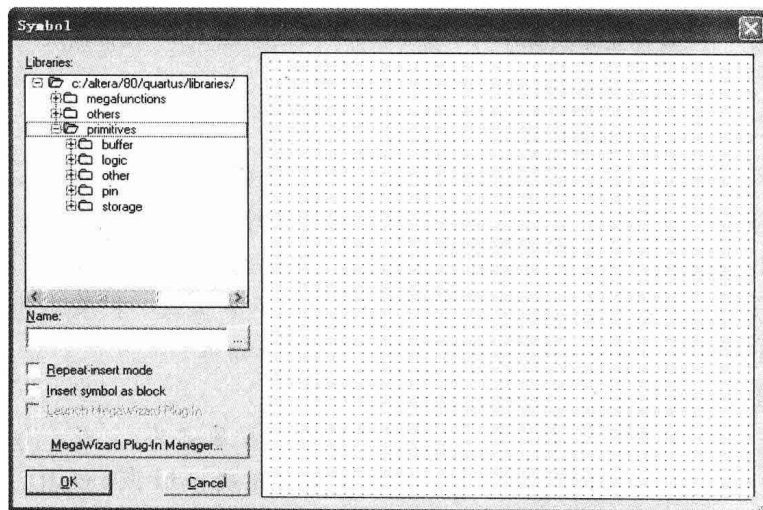


图 1.10 符号窗口