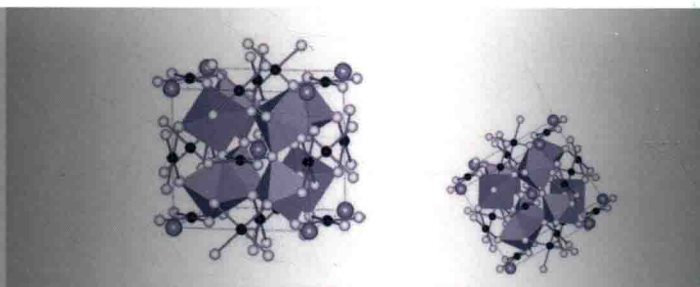


钛酸铜镧基巨介电材料的 结构与电学性能

■ 刘展晴 著



张外借



科学出版社

钛酸铜镧基巨介电材料的结构 与电学性能

刘展晴 著

北 京

内 容 简 介

巨介电材料已成为大容量陶瓷电容器及元器件小型化发展的关键材料。本书主要阐述制备技术及A位离子调控对 $\text{La}_{2/3}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 基巨介电陶瓷材料结构及电学行为的影响。本书首先阐述了巨介电材料发展的重要性、巨介电材料产生的巨介电机理、材料的制备方法以及材料掺杂改性等方面的内容。其次介绍 $\text{La}_{2/3}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 基巨介电材料的制备过程、溶胶条件和烧结条件对陶瓷微观结构和电学性能的影响,分析溶胶-凝胶法和固相法制备 $\text{ACu}_3\text{Ti}_4\text{O}_{12}$ ($\text{A}=\text{La}_{2/3}$ 和 $\text{Na}_{0.5}\text{La}_{0.5}$)陶瓷微观结构和电学性能的差异性。最后介绍不同A位离子(La^{3+} 、 Li^+ 、 Na^+ 、 K^+ 和 Na_xLa_y)及A位离子含量变化对 $\text{ACu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷的微观结构和电学性能的影响,并对其产应的原因和机制进行详细阐述。

本书可作为科技工作者和高校师生了解巨介电陶瓷材料相关知识的参考书。

图书在版编目(CIP)数据

钛酸铜镧基巨介电材料的结构与电学性能 / 刘展晴著. —北京: 科学出版社, 2018.3

ISBN 978-7-03-056876-2

I. ①钛… II. ①刘… III. ①高介陶瓷-半导体陶瓷-研究 IV. ①TM281②TM283

中国版本图书馆CIP数据核字(2018)第048958号

责任编辑: 祝 洁 王良子 / 责任校对: 郭瑞芝

责任印制: 张 伟 / 封面设计: 迷底书装

科学出版社 出版

北京东黄城根北街16号

邮政编码: 100717

<http://www.sciencep.com>

北京中石油彩色印刷有限责任公司 印刷

科学出版社发行 各地新华书店经销

*

2018年3月第 一 版 开本: 720×1000 B5

2018年3月第一次印刷 印张: 8 5/8

字数: 173 000

定价: 80.00 元

(如有印装质量问题, 我社负责调换)

前 言

随着电子信息技术的高速发展,电子元器件的集成化、小型化已成为现代信息领域一个重要的研究课题之一。高介电常数材料凭借高储能密度的特点,在大容量电容器及器件小型化方面的潜在应用受到了广泛的关注。为了进一步提高存储器的存储密度,采用巨介电常数材料是一个比较实际并且非常有效的解决措施之一。因此,寻找和开发具有巨介电常数的电介质材料成为目前非常迫切的研究工作。

目前,国内外关于高介电常数介质材料研究多为钙钛矿结构钛酸钡系 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ 和锆钛酸铅系 $\text{Pb}(\text{Zr} \text{ 和 } \text{Ti})\text{O}_3$ (含有害金属铅) 铁电材料,其介电常数在 1000 以上,甚至可达 30000^[3]。但由于该类铁电材料在居里温度发生铁电-顺电相变,使铁电材料的介电常数强烈地受到温度的影响,从而导致器件的稳定性变差并限制其应用。2000 年,一种具有类钙钛矿结构的 $\text{CaCu}_3\text{Ti}_4\text{O}_{12}$ (CCTO) 材料由于具有极高的介电常数,以及良好的温度稳定性,受到了广泛关注,但这种材料同时也具有较高的介电损耗,难以获得实际应用。近几年,研究者们对这种材料的研究主要集中在两方面,一是采用不同离子取代 CCTO 陶瓷的 A 位 Ca^{2+} 来获得与 CCTO 结构相似的 $\text{ACu}_3\text{Ti}_4\text{O}_{12}$ (ACTO) 材料,从而改善 CCTO 的性能;二是采用新型的制备技术,优化制备参数,制备介电性能优异的 $\text{ACu}_3\text{Ti}_4\text{O}_{12}$ 材料。 $\text{La}_{2/3}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ (LCTO) 是 $\text{ACu}_3\text{Ti}_4\text{O}_{12}$ 家族的一员,但到目前为止,有关 $\text{La}_{2/3}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷的文献报道较为罕见,且由溶胶-凝胶法制备 LCTO 陶瓷的微观结构和电学性能也罕见报道。对于由溶胶-凝胶法和固相法制备 $\text{ACu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷电学行为的差异也尚未进行对比研究。

本书以获得高介电常数、低损耗且温度稳定好的巨介电材料为研究目标,以溶胶-凝胶法制备 $\text{ACu}_3\text{Ti}_4\text{O}_{12}$ ($\text{A}=\text{La}_{2/3}$ 和 Na_xLa_y) 陶瓷为研究对象,详细研究溶胶条件和烧结条件对陶瓷微观结构和电学性能的影响,优化制备工艺,制备和筛选出介电性能优越的巨介电材料;分析溶胶-凝胶法和固相法制备的 $\text{ACu}_3\text{Ti}_4\text{O}_{12}$ ($\text{A}=\text{La}_{2/3}$ 和 $\text{Na}_{0.5}\text{La}_{0.5}$) 陶瓷微观结构和电学性能的差异性,并探讨其原因;分析

研究不同 A 位离子(La^{3+} 、 Li^{+} 、 Na^{+} 、 K^{+} 和 Na_xLa_y)及 A 位离子含量变化对 $\text{ACu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷的微观结构和电学性能的影响,并探讨其机制。

本书中的主要内容是在导师杨祖培教授的悉心指导下完成的,谨借本书向杨祖培教授表示衷心的感谢。

由于作者水平和经验有限,书中不足之处在所难免,恳请同行专家和广大读者批评指正。

作 者

2017 年 11 月

目 录

前言

第 1 章 绪论	1
1.1 电介质基础知识	2
1.1.1 电介质的极化与介电常数	2
1.1.2 介电损耗	4
1.1.3 介电弛豫	4
1.2 新型巨介电陶瓷的结构和巨介电性机制	5
1.3 改善巨介电陶瓷电学性能的方法与技术	8
1.3.1 陶瓷的制备技术	8
1.3.2 ACTO 陶瓷掺杂取代	9
1.4 LCTO 基陶瓷研究的意义及内容	10
1.4.1 LCTO 基陶瓷研究的意义	10
1.4.2 LCTO 基陶瓷的研究内容	11
第 2 章 $\text{ACu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷的制备、结构与性能的表征	13
2.1 陶瓷粉体的制备工艺	13
2.2 陶瓷样品的制备工艺	15
2.3 陶瓷粉末及陶瓷结构的表征方法	16
2.4 陶瓷样品电学性能的测试	17
第 3 章 $\text{La}_{2/3}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷的制备、结构与电学性能的研究	19
3.1 溶胶条件对 LCTO-SG 粉末结构及陶瓷介电性能的影响	19
3.1.1 溶胶条件对 LCTO-SG 粉末相结构的影响	19
3.1.2 溶胶条件对 LCTO-SG 粉末微观结构的影响	20
3.1.3 溶胶条件对 LCTO-SG 陶瓷介电性能的影响	22
3.2 LCTO 陶瓷制备工艺的研究及对结构、介电性能的影响	25
3.2.1 烧结温度对 LCTO-SG 陶瓷微观结构和介电性能的影响	25
3.2.2 保温时间对 LCTO-SG 陶瓷微观结构和介电性能的影响	26
3.2.3 LCTO-SS 陶瓷制备工艺的研究及对介电性能的影响	28
3.3 溶胶-凝胶法与固相法制备 LCTO 陶瓷结构的对比研究	28
3.3.1 LCTO-SG 和 LCTO-SS 粉末的相结构	28

3.3.2	LCTO-SG 干凝胶和 LCTO-SS 原料粉的热分析	29
3.3.3	LCTO-SG 和 LCTO-SS 粉末和陶瓷的微观结构	30
3.4	溶胶-凝胶法与固相法制备 LCTO 陶瓷电学性能的对比研究	32
3.4.1	LCTO-SG 和 LCTO-SS 陶瓷介电频谱图的分析	32
3.4.2	LCTO-SG 和 LCTO-SS 陶瓷阻抗图谱的分析	33
3.4.3	LCTO-SG 和 LCTO-SS 陶瓷电导频谱图的分析	35
3.4.4	LCTO-SG 和 LCTO-SS 陶瓷介电温谱图的分析	35
3.4.5	LCTO-SG 和 LCTO-SS 陶瓷电模量的分析	37
3.4.6	LCTO-SG 和 LCTO-SS 陶瓷晶界电导特征的分析	39
3.5	本章小结	42
第 4 章	$\text{Na}_{1/2}\text{La}_{1/2}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷的制备、结构和电学性能的研究	44
4.1	溶胶条件对 NLCTO-SG 陶瓷介电性能的影响	44
4.2	NLCTO 陶瓷制备工艺的研究及对结构、介电性能的影响	46
4.2.1	烧结温度对 NLCTO-SG 陶瓷微观结构和介电性能的影响	46
4.2.2	保温时间对 NLCTO-SG 陶瓷微观结构和介电性能的影响	48
4.2.3	NLCTO-SS 陶瓷制备工艺的研究及对介电性能的影响	49
4.3	溶胶-凝胶法与固相法制备 NLCTO 陶瓷结构的对比研究	50
4.3.1	NLCTO-SG 和 NLCTO-SS 粉末的相结构	50
4.3.2	NLCTO-SG 干凝胶和 NLCTO-SS 原料粉的热分析	51
4.3.3	NLCTO-SG 和 NLCTO-SS 粉末和陶瓷的微观结构	52
4.4	溶胶-凝胶法与固相法制备 NLCTO 陶瓷电学性能的对比研究	53
4.4.1	NLCTO-SG 和 NLCTO-SS 陶瓷介电频谱图的分析	53
4.4.2	NLCTO-SG 和 NLCTO-SS 陶瓷阻抗图谱的分析	54
4.4.3	NLCTO-SG 和 NLCTO-SS 陶瓷电导频谱图的分析	55
4.4.4	NLCTO-SG 和 NLCTO-SS 陶瓷介电温谱图的分析	56
4.4.5	NLCTO-SG 和 NLCTO-SS 陶瓷电模量的分析	58
4.4.6	NLCTO-SG 和 NLCTO-SS 陶瓷晶界(或畴界)电导特征的分析	59
4.5	本章小结	62
第 5 章	Li^+ 、 Na^+ 和 K^+ 取代 $\text{La}_{2/3}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷 A 位离子的结构与电学性能的研究	63
5.1	LLCTO 和 KLCTO 陶瓷制备工艺的研究及对介电性能的影响	63
5.1.1	LLCTO 陶瓷制备工艺的研究及对介电性能的影响	63
5.1.2	KLCTO 陶瓷制备工艺的研究及对介电性能的影响	66
5.2	Li^+ 、 Na^+ 和 K^+ 取代对 LCTO 陶瓷结构的影响	70

5.2.1 LCTO、LLCTO、NLCTO 和 KLCTO 陶瓷的相结构	70
5.2.2 LCTO、LLCTO、NLCTO 和 KLCTO 干凝胶的热分析	71
5.2.3 LCTO、LLCTO、NLCTO 和 KLCTO 陶瓷的微观结构	72
5.3 Li^+ 、 Na^+ 和 K^+ 取代对 LCTO 陶瓷电学性能的影响	73
5.3.1 LCTO、LLCTO、NLCTO 和 KLCTO 陶瓷介电频谱图的分析	73
5.3.2 LCTO、LLCTO、NLCTO 和 KLCTO 陶瓷阻抗图谱的分析	75
5.3.3 LCTO、LLCTO、NLCTO 和 KLCTO 陶瓷电导频谱图的分析	77
5.3.4 LCTO、LLCTO、NLCTO 和 KLCTO 陶瓷介温谱图的分析	77
5.3.5 LCTO、LLCTO、NLCTO 和 KLCTO 陶瓷电模量的分析	79
5.3.6 LCTO、LLCTO、NLCTO 和 KLCTO 陶瓷晶界(或畴界)电导特征的分析	82
5.4 本章小结	84
第 6 章 $\text{Na}_{0.5-x}\text{La}_{0.5+x}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷结构与电学性能的研究	86
6.1 $\text{Na}_{0.5-x}\text{La}_{0.5+x}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷结构的研究	86
6.1.1 陶瓷的相结构	86
6.1.2 陶瓷的微观结构	87
6.2 $\text{Na}_{0.5-x}\text{La}_{0.5+x}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷电学性能的研究	88
6.2.1 陶瓷介电频谱图的分析	88
6.2.2 陶瓷阻抗图谱的分析	90
6.2.3 陶瓷电导频谱图的分析	91
6.2.4 陶瓷介温谱图的分析	92
6.2.5 陶瓷电模量的分析	94
6.2.6 陶瓷晶界(或畴界)电导特征的分析	96
6.3 本章小结	100
第 7 章 $\text{Na}_x\text{La}_{(2-x)/3}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷结构与电学性能的研究	101
7.1 $\text{Na}_x\text{La}_{(2-x)/3}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷结构的研究	101
7.1.1 陶瓷的相结构	101
7.1.2 陶瓷的微观结构	102
7.2 $\text{Na}_x\text{La}_{(2-x)/3}\text{Cu}_3\text{Ti}_4\text{O}_{12}$ 陶瓷电学性能的研究	103
7.2.1 陶瓷介电频谱图的分析	103
7.2.2 陶瓷阻抗图谱的分析	105
7.2.3 陶瓷电导频谱图的分析	106
7.2.4 陶瓷介电温谱图的分析	107
7.2.5 陶瓷电模量的分析	108
7.2.6 陶瓷晶界(或畴界)电导特征的分析	111

7.3 本章小结.....	113
第8章 总结与展望.....	115
8.1 总结	115
8.2 展望	119
参考文献	121

第 1 章 绪 论

随着电子信息技术的飞速发展,电子元器件的集成化、小型化已成为现代信息领域一个重要的研究课题之一。其中,具有高介电常数的材料凭借其高储能密度,在大容量电容器及器件小型化方面的潜在应用而受到了广泛的关注。为了进一步提高存储器的存储密度,采用巨介电常数材料是一个比较实际并且非常有效的解决措施之一^[1]。因此,寻找和开发具有巨介电常数的电介质材料成为目前非常迫切的研究工作。

自从集成电路发明以来,微电子技术发展十分迅速。以此为基础的微电子产业已经成为国民经济中最重要的支柱产业之一。基于提高市场占有率和新的应用要求及竞争力的需要,必须不断提高集成电路性能和性价比。因此,缩小器件的尺寸,提高芯片的集成度,增加硅片的面积,将成为微电子技术高速发展的主要途径之一。电子信息工业的迅猛发展带动了电子元器件的快速发展。例如,动态随机存储器(dynamic random access memory, DRAM)是目前计算机中用量最大的存储器,并且是半导体工业中最重要的组成部分,而每个 DRAM 由一个电容器和一个晶体管组成^[2, 3]。随着集成度的提高,要求信息存储在更小的面积上,促使 DRAM 的存储密度更高。30 年期间,DRAM 芯片的存储容量提高了大约六个数量级,如此大的突破主要是通过半导体芯片集成度的大幅度提高,器件尺寸的缩小和新的巨介电常数材料来实现。为了进一步改善存储器件的存储能力,研究者提出了三种可能的方法来提高 DRAM 的存储能力^[3-5]: ①改变电容器的电极结构,即通过增大现行存储电介质的面积,主要是将电容器的两维平面结构改为三维立体结构,其优点在于可以继续使用传统的成熟工艺,但电容器改变后的立体结构在实际应用中比较困难,而且成本比较高。②根据电容公式可知,减小存储电介质层的厚度,将可以增大 DRAM 的存储密度。但是过多地减小电介质层厚度将会导致漏导电流的增加,结果将会增加器件的能量损耗,影响器件的工作稳定性。③DRAM 电容器单元的存储电介质可以选用介电常数高的材料。在保持电容相同的情况下,采用介电常数更高的新电介质材料,一是可以提高器件的存储密度,二是可以避免以上其他方法造成不利的一面。因此,在这三种解决提高存储密度的方法中,只有寻求和开发高介电常数、低介电损耗且工作稳定性好的新型巨介电材料,才是一个有效的解决途径。依据上述分析,开发和研究具有高介电常数的电介质材料已成为目前非常重要的一项研究工作。

另外, 多层陶瓷电容器 (multi-layer ceramic capacitors, MLCC) 作为基础电子元件, 在民用电子设备、航空航天电子设备、军用移动通讯设备和军事信号监控等军用电子设备方面已被广泛应用^[6]。在全世界所有电器中, MLCC 大约占据了电容器市场中的半壁江山, 2010 年全球产量更是达到了惊人的 25000 亿只。随着电子产品的不断更新换代, MLCC 向着大容量化、集成化及小型化的方面快速发展^[7, 8]。评估 MLCC 性能水平优越的一个重要指标就是它的存储能力及温度稳定性, 而提高 MLCC 存储能力的核心就是器件存储电介质材料的介电常数要高、介电损耗要低且工作稳定性好。因此, 开发具有良好温度稳定性的高介电常数, 低介电损耗的电介质材料已成为提高 MLCC 器件性能水平的一个关键。为了提高 DRAM 中电容的存储量和 MLCC 电容器的高存储能力、高温稳定性, 目前常用的高介电常数介质材料多为钙钛矿结构铁电陶瓷材料, 如钛酸钡系 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ^[9, 10] 和钛酸铅系 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ^[11, 12] 材料, 介电常数在 1000 以上, 甚至可达 30000, 其高介电常数主要来源于铁电材料晶体结构和非线性的介电现象, 但由于该类铁电材料在居里温度发生铁电-顺电相变, 使得铁电材料的介电常数强烈地受温度的影响, 从而导致器件的温度稳定性变差并限制其应用。而对于 Pb 基材料, 由于其含有铅元素, 而铅元素是一种有毒的金属元素, 在含铅材料的制备和实用过程, 不可避免地给环境和人类健康带来损害。因此, 研制开发一种非铅基的, 且拥有高介电常数、低损耗和良好热稳定性的新型巨介电材料是目前一个具有实际应用价值的重要课题。

1.1 电介质基础知识

1.1.1 电介质的极化与介电常数

电介质是在电场作用下产生极化并在内部出现电场的一种物质。其以正、负电荷重心不重合而产生的电极化方式进行传递、存储或记录电响应的作用与影响^[3]。对于电介质极化的程度, 通常使用相对介电常数这一基本宏观参数描述。电介质在电场作用下的极化能力越强, 其相对介电常数值越大。在相同尺寸的电极系统中, 高介电常数的电介质组成电容器的电容相应的也越大。在保证电容大小的情况下, 电容器使用的电介质材料介电常数越大, 那体积就越小, 这对于提高电子器件小型化有着重要的意义。一般而言, 介电常数是综合表征电介质极化能力的宏观物理量, 它在本质上是物质内部微观极化率的宏观表现, 组成宏观物质的结构粒子都是一些复合粒子, 如分子、离子和原子等, 这些微观粒子的极化才是电介质极化的根源。电极化主要有如图 1-1 所示的以下四种微观机制^[13-15]。

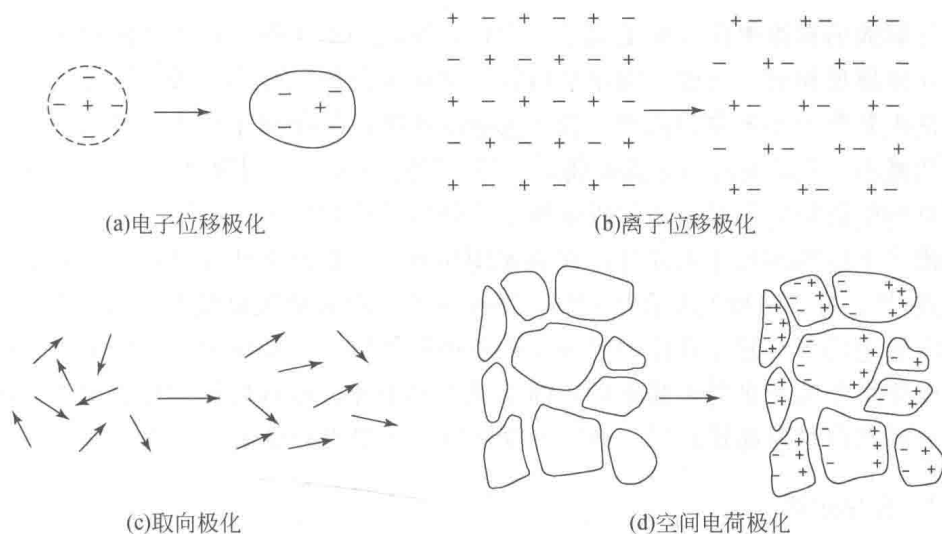


图 1-1 电极化机制模型图

(1) 电子位移极化：在外电场作用下，原子、分子和离子的电子云相对于原子核发生偏离，从而形成了感应偶极矩，这种极化形式称为电子位移极化^[13-15]。电子位移极化主要与原子的半径有关，电介质的极化率随着原子半径的增加而增大，这种极化形式与温度变化没有关系。在电子位移极化中，发生相对偏离的电子主要是价电子。电子位移极化对外场的响应时间，即电子位移极化建立或消失所需要的时间是非常短的，为 $10^{-16} \sim 10^{-14} \text{s}$ ^[13-15]。

(2) 离子位移极化：离子晶体和玻璃等无机电介质，在外电场作用下，除本身产生电子位移极化之外，离子本身还将发生弹性位移。正离子和负离子分别沿电场正反方向发生移动，由于这些正负离子发生相对位移，从而产生了感应偶极矩，把这种极化形式称为离子位移极化。离子位移极化对外电场的响应时间也非常短，为 $10^{-13} \sim 10^{-12} \text{s}$ ，比电子位移极化要慢 2~3 个数量级。由于离子间的距离随着温度的升高而增大，其相互之间的作用力就会减弱。因此，离子位移极化随着外部温度的增加而增大，但是增加的幅度不大^[13-15]。

(3) 取向极化：对于偶极矩的极性分子，在不施加外电场作用情况下，由于热运动的作用，使得偶极分子或者链节混乱排布，分子的偶极矩沿各个方向取向几率相同，对外不呈现极性。当给极性分子施加外电场，偶极分子或链节就会沿某一电场方向取向，极性分子对外显示极性。通常这种极化形式随外电场的响应时间比较长，为 $10^{-8} \sim 10^{-2} \text{s}$ ，并且受温度影响较大，温度越高，极化率越小^[13-15]。

(4) 空间电荷极化：空间电荷极化又称为界面极化，一般在不均匀的介质中，存在各种缺陷区（晶格畸变、晶界、相界、夹层、气泡、杂质等），而这些缺陷区

均有可能成为自由电荷（间隙离子、空位和引入的电子等）移动的障碍区，自由电荷在障碍处积聚，形成空间电荷极化。空间电荷极化能力一般随温度升高而降低。这主要是由于温度升高时，离子的运动加剧，促使离子更容易扩散，因而空间电荷减小，空间电荷极化强度随之下降。空间电荷产生和建立需要较长的时间，因而空间电荷极化只对直流和极低频下的介电性质有影响^[13-15]。

除了上述四种极化机制外，在高聚物和凝聚态材料中还可能存在着更复杂的极化形式^[16]。对于具体的电介质材料，往往可能出现多种极化机制同时存在。在不同频率的电场下，起主导作用的极化机制也不一样。当频率为零或频率很低时，所有极化机制都能参与电场响应。随着频率的增加，慢极化机制便会退出频率响应，介电常数呈阶梯状降低，且每种极化机制的退出伴随着一个损耗峰。

1.1.2 介电损耗

电介质在电场作用下，把部分电能转变成热能使介质发热，在单位时间内因发热而消耗的能量称为损耗功率或简称为介电损耗。引起介电损耗主要原因有：①漏导损耗。通常所说的电绝缘材料，实际都不是完全理想的电介质，在外电场的作用下，通常介质中一部分带电质点就会发生移动，由于这带电质点的移动，从而引起漏导电流，而这种电流经过介质时，介质会产生发热现象，而出现电能损耗。这种由于电导而引起的介质损耗称为“漏导损耗”。②电介质中发生的慢极化（取向极化、热离子极化和空间电荷极化）中微观离子之间的能量交换在宏观上表现的介电损耗。一切介质在电场中均会呈现极化现象，对于电子、离子弹性位移极化，基本上不消耗能量。而对于缓慢极化（如松弛极化、空间电荷极化等），在极化缓慢建立的过程中都会因为克服阻力而引起能量的损耗，这种损耗一般称为极化损耗。极化损耗与外电场频率和工作温度密切相关，在高温、高频时有较大的损耗。③原子、离子或电子振动所产生的，并伴随有色散现象的共振效应而引起的能量损耗。在以上所述的各种损耗机制中，慢极化引起的介电损耗占主导地位^[13-15]。

1.1.3 介电弛豫

电场与电介质相互作用过程中，出现极化响应会落后于外电场的变化的现象，称为弛豫。在一些弛豫模型中，德拜弛豫理论模型是目前被认为比较成熟的理想电介质极化理论。在交变电场作用下，介电常数通常用复介电常数 ϵ^* 来表示， ϵ^* 由两部分组成，一部分是实部 ϵ' ，另一部分是虚部 ϵ'' 。在低频下，电场变化很慢，它的变化周期比弛豫时间要长得多，弛豫极化完全来得及随电场发生变化，此时电介质所表现出的行为与静电场时表现出的行为相接近，因此 ϵ' 趋近于静态介电

常数,此时材料表现出的介电损耗小。当频率升高,电场的变化周期缩短,周期缩短到与极化的弛豫时间相同时,极化慢慢落后于电场的变化,此时材料表现出的介电损耗变得明显。随着频率进一步升高, ϵ' 几乎从静态介电常数降到光频介电常数,同时介电损耗 $\tan\delta$ 也出现极大值,并以热的形式散发出来。当频率很高时,电场变化很快,它的变化周期与弛豫时间相比要短得多,此时弛豫极化完全落后电场的变化,这时只有发生瞬时极化, ϵ' 才接近于光频介电常数,介电损耗 $\tan\delta$ 很小,这时瞬时极化不发生损耗。 $\tan\delta$ 与频率的变化关系类似于 ϵ'' 的情况,只不过其极值频率 ω_m 大于 $\tan\delta$ 的极值频率^[17]。

大多数情况下材料的介电响应都可以归结为德拜型的极化弛豫过程。各向异性的电介质材料由于各部分介电常数和电导率不同,因此显示不同的电特性。在外电场作用下,电荷会在介质内部出现聚集现象,且对外加交变电场作出响应,以贡献介电常数,这种现象称为 Maxwell-Wagner (M-W) 效应^[18],这类材料包括半导晶粒与绝缘晶界构成的多晶陶瓷^[19, 20]、复相材料^[21]和超晶格薄膜^[22]等。Maxwell-Wagner 体系也能表现出类似德拜弛豫的性质。在 Maxwell-Wagner 公式中,其介电常数实部随频率的变化和德拜弛豫是一样的,通过介电常数的实部,不能区分是空间电荷还是偶极子的极化^[23, 24]。但是可以通过分析介电常数的虚部与频率的变化规律,区分 Maxwell-Wagner 和德拜弛豫行为。当频率接近零时,在德拜公式中,介电常数的虚部接近零,然而在 Maxwell-Wagner 行为中介电常数无穷大。基于 Maxwell-Wagner 效应的内部阻挡层电容器(internal barrier layer capacitor, IBLC)模型可以用来表征更为复杂的实际情况^[25]。

1.2 新型巨介电陶瓷的结构和巨介电性机制

通过对器件制作工艺和材料介电性能的分析 and 总结,如果进一步提高存储器的存储密度,采用巨介电常数材料才是一个比较实际并且非常有效的解决措施之一。所谓巨介电常数,通常定义为介电常数高于或等于 10^4 或 10^5 数量级。近年来,一些非铁电或弛豫铁电体的无铅巨介电常数材料引起研究者的关注,如陶瓷/聚合物、金属/陶瓷以及金属/聚合物等复合材料^[26-28]。例如, Ni-BaTiO_3 金属/绝缘复合物的巨介电常数可以达到 80000^[29],比 BaTiO_3 陶瓷的介电常数高出 20 倍左右^[30-32]。但是这些复合材料在制备过程中表现出的局限性有待进一步的研究突破,如制备要求较高,较低温度下的制备阻碍了复合材料介电常数的提升等。

Subramanian 以及他的工作小组于 2000 年 3 月 3 日首次在 *Journal of Solid State Chemistry* 上报道具有巨介电常数的 $\text{CaCu}_3\text{Ti}_4\text{O}_{12}$ (CCTO) 材料^[33],这种材料在温度为 100K 到 550K 时,具有很高的介电常数($>10^4$),且这种材料的温度系数

很小。而且在很宽的温度范围内，没有结构相变和铁电相变，CCTO 材料具有反常的巨介电常数和热稳定性高等良好的综合性能而引起了极大的关注；同时，CCTO 材料的烧结温度远低于 BaTiO_3 和 SrTiO_3 的烧结温度，且具有优异的介电性能。因此，这种材料为在电子行业的应用提供了良好的前提条件，在 DRAM 和 MLCC 等电子元器件中将会有着巨大的应用潜力。

通过高分辨 X 射线衍射和中子散射实验对 CCTO 材料的晶体结构作细致地分析，发现 CCTO 材料为体心立方钙钛矿结构，属于 $\text{Im}\bar{3}$ 空间点群，常温下晶格常数为 $7.391 \text{ \AA}$ 。如图 1-2 所示，晶胞中各原子坐标为：Ca (0, 0, 0)，Cu (0, 1/2, 1/2)，Ti (1/4, 1/4, 1/4)，O (0.3038, 0.1797, 0)。晶体中 1/4 的 A 位被 Ca^{2+} 占据，3/4 的 A 位被 Cu^{2+} 占据， Ti^{4+} 原子处于氧八面体中。 Cu^{2+} 由于与近邻的 4 个 O^{2-} 形成 CuO_4 的正方形平面，使 TiO_6 八面体发生了倾斜^[34, 35]。通过对键长数据的分析，CCTO 材料中半径大的 A 位离子起到对晶格扩张起到很大作用。当晶格被扩充，Ti—O 键将会被拉伸，从而使 TiO_6 八面体中的极化率增加，这些结果从晶体结构的角度在一定程度上可以解释 CCTO 陶瓷的巨介电常数的原因。但是 Cu^{2+} 四方形平面配位的结构使得 TiO_6 八面体发生扭转，抑制了 Ti—O 键的拉伸，因此 CCTO 材料的巨介电常数与正常铁电体中因结构产生的高介电常数有着本质的区别^[34, 35]。

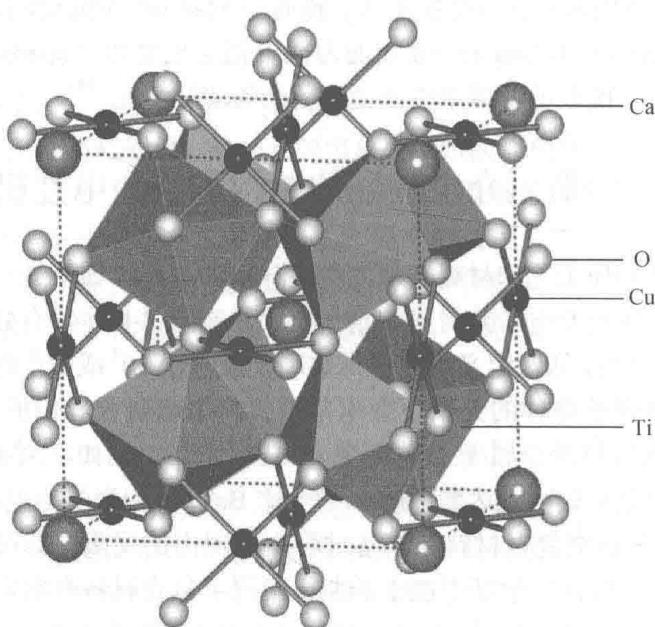


图 1-2 CCTO 材料的晶格结构示意图

CCTO 材料独特的介电性能也引起了广大学者对其机理的探讨。对于其巨介

电性起源的认识,一方面是本征机制,另一方面是非本征机制。在本征机制方面,Homes 等^[36]认为 CCTO 材料的高介电性取决于其晶格的结构,可能归因于 Ti^{4+} 的中心偏离引起相关的局域性电偶极矩,并推断介电常数所表现出急剧变化可能是由于纳米尺寸畴内与弛豫体类似的偶极起伏的动态慢化效应引起的,即所谓的内在机制解释。研究人员通过将 CCTO 材料的晶格结构与 BaTiO_3 进行对比,CCTO 材料中的 Ca^{2+} 阳离子处于更加狭小的空间,CCTO 材料中的 $\text{Ti}-\text{O}$ 键承受着较大的张力,而这种张力促使晶体的极化能力增强,从而介电常数得到提高^[33]。然而对于 CCTO 材料而言,第一性原理的计算结果表明其静态介电常数仅仅只有 40 左右,与陶瓷、薄膜或单晶的实验数据相差甚远,因此有些研究者认为是外因所造成。

目前比较公认的一个非本征机制为 Sinclair 等^[37]提出的内部阻挡层电容模型。该模型认为 CCTO 材料是由具有绝缘性的晶界和具有半导性的晶粒所组成,晶粒内部还存在畴界,绝缘性晶界、畴界与半导体晶粒之间发生了较强的 Maxwell-Wagner 极化,形成阻挡层电容器导致高介电常数^[38-42]。2002 年, Sinclair 等^[37]采用交流阻抗谱对 CCTO 材料进行了研究。发现介电常数和 CCTO 材料的显微结构有密切的关系,介电常数随晶粒尺寸的增加而明显提高。进一步的利用交流阻抗谱分析,他们认为在室温下 CCTO 材料在低频区的巨介电效应来自陶瓷的电学性能的不均匀性,即 IBLC 模型。认为 CCTO 材料是由具有半导性的晶粒和绝缘性的晶界所组成。当有电流通过时,这样位于两个半导体晶粒之间的绝缘性晶界起到了静电势垒的作用,在晶界两边聚集了大量的电荷,形成了一个由晶粒-晶界-晶粒所组成的小电容,这些小电容通过并联和串联的方式连接在一起,从而使整个材料表现出巨介电效应。虽然 IBLC 模型得到了广泛的认可,但是无法解释 CCTO 材料中单晶的巨介电效应,并且对于 CCTO 材料中晶粒半导性产生的原因至今也没有一个合理的解释。

2004 年和 2005 年 Fang 等^[43, 44]采用 TEM 和 SEM 等先进技术手段,并结合阻抗分析,认为在 CCTO 材料中应该存在四种区域,两种半导化区域——晶粒和晶畴,两种绝缘性区域——晶界和畴壁。认为畴壁的厚度明显小于晶界的厚度,且其电阻也小,因此认为 CCTO 材料巨介电性能主要来自于畴界做出贡献。然而在后期的一些工作中,发现其畴壁的作用很小,但是晶畴和畴壁的发现,可以有效地利用 IBLC 模型来解释 CCTO 材料单晶的巨介电效应。这一发现为 IBLC 模型在解释 CCTO 材料的巨介电效应提供了有力的实验支撑。虽然 IBLC 模型在很多情况下能很好地解释 CCTO 材料的巨介电效应,但是最近的研究表明,也不能排除内部因素对其介电常数的贡献。

虽然 CCTO 材料具有 10^4 数量级以上的高介电常数,但是同时 CCTO 材料也

表现出高的介电损耗,这很大程度限制了其应用。在大量理论研究的基础上,研究者们尝试着对 CCTO 材料进行性能的改善,希望能够在保持其高介电常数的基础上,降低介电损耗,使其能都达到实用化的要求。

1.3 改善巨介电陶瓷电学性能的方法与技术

近几年来,对 CCTO 材料的研究主要集中在两方面,一方面采用新型的制备技术,优化制备参数,制备性能优异的 CCTO 材料;另一方面根据 IBLC 模型,掺杂及加入新组分元素,从而改善 CCTO 材料的性能,再进一步探讨 CCTO 材料和掺杂改性 CCTO 材料产生巨介电效应物理机制问题。

1.3.1 陶瓷的制备技术

电子元器件及其应用的发展,取决于电子元器件材料种类的更新和性能的提高。为了改进元器件的微观结构,提高材料的性能,研究者积极开展高技术陶瓷及其粉体制备工艺的研究和生产。对于电子陶瓷来说,陶瓷材料结构一般出现的缺陷往往是由于粉料结构不理想而造成的^[45-51]。陶瓷粉末是陶瓷材料的基础,其性能是影响陶瓷结构和性能的重要因素,因此制备出优质陶瓷粉体是获得优质陶瓷材料的必要条件。选择适当的陶瓷粉末制备方法是改善陶瓷介电性能的有效途径之一^[45-51]。因此,人们投入极大精力去开发优质陶瓷粉末的制备技术,如固相法^[52-55]、溶胶-凝胶法^[56-60]、共沉淀法^[61]、聚合络合法^[62, 63]、自蔓延燃烧法^[64]和熔盐法^[65]等。在这些方法中,有机溶胶-凝胶法等是制备优质多元成分陶瓷粉体较好的方法。传统的固相法是国内外制备陶瓷粉体普遍使用的一种方法,具有工艺简单,成本低廉的特点。但是该方法制备得到的粉体活性低、元素组成与粒径大小不均匀、固相反应温度高,并且制备过程需要多次球磨混合和细化,容易引入外来杂质。目前,国内外大部分对 CCTO 陶瓷材料的研究工作主要采用固相法。熊利蓉^[66]采用固相法制备了 CCTO 陶瓷材料,在 1kHz 时,陶瓷的介电常数约为 61400,介电损耗为 0.044。王玉梅^[67]也采用固相法制备 CCTO 陶瓷材料,介电损耗最小为 0.076。

从以上结果可以看出,固相法制备的 CCTO 陶瓷材料虽能够获得较高的介电常数,但是介电损耗过大,不能满足实际应用的需要。因此,研究者开始尝试采用一些其他制备方法来获得 CCTO 陶瓷材料,其目的是降低介电损耗,希望获得具有较好介电性能的陶瓷材料。

陶瓷粉体颗粒的表面能是陶瓷粉体烧结的推动力,烧结过程主要受晶界迁移控制,烧结速率随晶粒尺寸减小而变大。由于溶胶-凝胶法制备的粉体具有尺寸小、