



EDA 应用技术

OrCAD & PADS

高速电路板设计与仿真(第4版)

周润景 邵绪晨 编著



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>



EDA 应用技术

OrCAD & PADS

高速电路板设计与仿真 (第4版)

周润景 邵绪晨 编著



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书以 Cadence SPB 17.2-2016 和 Mentor 公司最新开发的 Mentor PADS VX.2 版本为基础,以具体的电路为范例,讲解电路板设计的全过程。原理图设计采用 OrCAD Capture 软件,介绍了元器件原理图符号的创建、原理图设计;PCB 采用 PADS 软件,介绍了元器件封装建库,PCB 布局、布线;输出采用 CAM350 软件,进行导出与校验等。此外,为了增加可操作性,本书提供了全部范例,使读者能尽快掌握这些工具的使用并设计出高质量的电路板。

本书适合从事高速电路板设计的技术人员阅读,也可作为高等学校相关专业的教学用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

OrCAD & PADS 高速电路板设计与仿真/周润景,邵绪晨编著.—4 版.—北京:电子工业出版社,2018.1
(EDA 应用技术)

ISBN 978-7-121-32904-3

I. ①O… II. ①周… ②邵… III. ①印刷电路-计算机辅助设计 ②印刷电路-计算机仿真
IV. ①TN410.2

中国版本图书馆 CIP 数据核字(2017)第 258329 号

策划编辑:张 剑(zhang@phei.com.cn)

责任编辑:刘真平

印 刷:三河市良远印务有限公司

装 订:三河市良远印务有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:22.75 字数:582.4 千字

版 次:2007 年 1 月第 1 版

2018 年 1 月第 4 版

印 次:2018 年 1 月第 1 次印刷

印 数:2 000 册 定价:79.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888,88258888。

质量投诉请发邮件至 zlts@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式:zhang@phei.com.cn。

前 言

随着电路设计规模的不断扩大及高速电路越来越广泛的使用,普通的 EDA 设计工具已经不能满足日益缩短的产品设计周期和复杂的电路功能的要求。本书提供了一套物美价廉的中档 PCB 设计工具“组合套餐”,所选取的软件包括原理图设计软件 Cadence SPB 17.2 - 2016 的 OrCAD Capture 部分,PCB 库元器件编辑、PCB 设计布局、PCB 设计布线工具 Mentor PADS VX. 2,报表生成工具 CAM350。该组合将 Cadence 和 Mentor 两大全球顶级 EDA 厂商的优势相结合,形成一个完整的电路设计环境。

本书介绍的电路系统设计工具所包含的各个模块具有如下特点。

- ⑤ 原理图设计 (Capture CIS) 工具:具有丰富的库元器件、方便快捷的原理图输入工具与原理图元器件符号编辑工具,与 PCB 设计工具的接口友好,图形美观,能兼容其他 PCB 工具设计的原理图资料,也能导出多种其他 PCB 工具格式的文件。
- ⑤ PCB 库元器件编辑工具 (PADS):可简便、直观、快速、准确地编辑各种标准与非标准封装库文件。在 PADS VX. 2 版本中 PADS Decal Wizard (封装向导) 工具增强,通过输入参数建立封装,自动建立焊盘栈、器件外形框及阻焊、钢网,产生的封装基于 IPC - 7351B 标准。
- ⑤ PCB 设计布局、布线工具 (PADS):手工布线与自动布线具有推挤布线,支线、总线布线,差分对、等长、均匀间隔布线等功能。自动布线具有很高的布线速度、布通率和布线质量,可以保证信号完整性和电磁兼容性。新版本中 PADS Layout 和 Router 的同步功能更加方便与完善,并且两者环境可以自由切换,使操作更加简便;PADS Layout 过去忽略差分间距,现在差分网络将其作为线与线之间的间距来处理。设计验证将会报告任何违反线与线间距的问题,避免误报线与线的间距冲突;新版本增加了输出 ODB ++,是首选的制造输出文档;同时,Layout 可输出为 PDF,输出的 PDF 支持搜索元件参考位号、引脚号、属性标签,可建立书签,支持自定义输出方案,并可复用,支持装配变量;此外,新版本的 DXF 导出功能增强,Flat DXF 可以让用户自己选择数据输出,这样 Flat DXF 可给出更小的、更易管理的文件,DXF 更易集成到机械。同时增加了走线与焊盘上显示网络名的功能,使得工程师在布线过程中更容易掌握走线规则;ECO (工程变更) 更新功能及差分对布线功能也都得到了很大的改进。
- ⑤ 报表生成工具 (CAM350):可以生成完善齐全的报表,输出加工 PCB 所需的文档。

本书的出版得到了 Mentor Graphics 公司的大力支持,在此表示感谢!

本书由周润景、邵绪晨编著。全书共 17 章,其中第 6 章由邵绪晨编写,其余各章由周



润景编写, 全书由周润景统稿。另外, 参加本书编写的还有何茹、韩亦佺、宋志清、刘艳珍、刘白灵、王洪艳、姜攀、托亚、贾雯、张红敏、张丽敏、周敬和陈萌。

为便于读者阅读、学习, 特提供本书范例的下载资源, 请访问 <http://yydz.phei.com.cn> 网站, 到“资源下载”栏目下载。

由于作者水平有限, 加上时间仓促, 书中错误和不妥之处在所难免, 恳请读者批评指正。

编著者

目 录

第1章 概述	1
1.1 本书的内容	1
1.2 PCB 设计流程	1
1.3 OrCAD Capture 新功能介绍	2
1.4 PADS Layout VX.2 新功能介绍	12
第2章 Capture 原理图设计工作平台	13
2.1 Design Entry CIS 软件功能介绍	13
2.2 原理图工作环境	14
2.3 设置图纸参数	14
2.4 设置设计模板	19
2.5 设置打印属性	23
第3章 制作元件及创建元件库	25
3.1 创建单个元件	25
3.1.1 直接新建元件	26
3.1.2 用电子表格新建元件	34
3.2 创建复合封装元件	37
3.3 大元件的分割	39
3.4 创建其他元件	40
第4章 创建新设计	42
4.1 原理图设计规范	42
4.2 Capture 基本名词术语	42
4.3 建立新项目	44
4.4 放置元件	45
4.4.1 放置基本元件	46
4.4.2 对元件的基本操作	49
4.4.3 放置电源和接地符号	51
4.4.4 完成元件放置	52
4.5 创建分级模块	53
4.6 修改元件序号与元件值	62

4.7	连接电路图	63
4.8	标题栏的处理	68
4.9	添加文本和图像	69
4.10	建立压缩文档	71
4.11	平坦式和层次式电路图设计	71
4.11.1	平坦式和层次式电路的特点	71
4.11.2	电路图的连接	73
第5章	PCB 设计预处理	76
5.1	编辑元件的属性	76
5.2	Capture 到 Allegro PCB Editor 的信号属性分配	86
5.3	建立差分对	91
5.4	Capture 中总线 (Bus) 的应用	93
5.5	原理图绘制后续处理	100
5.5.1	设计规则检查	101
5.5.2	为元件自动编号	106
5.5.3	回注 (Back Annotation)	108
5.5.4	自动更新元件或网络的属性	108
5.5.5	生成元件清单	109
5.5.6	属性参数的输出/输入	111
5.5.7	生成网络表	113
第6章	PADS Layout 的属性设置	118
6.1	PADS Layout 界面介绍	118
6.2	“设置启动文件”功能简介	121
6.3	PADS Layout 的菜单	123
6.4	PADS Layout 与其他软件的链接	138
第7章	定制 PADS Layout 环境	143
7.1	“选项”参数设置	143
7.2	“设置”参数设置	166
第8章	PADS Layout 的基本操作	187
8.1	视图控制方法	187
8.2	PADS Layout 的4种视图模式	187
8.3	无模式命令和快捷键	188
8.4	循环选择	193
8.5	过滤器基本操作	193
8.6	元器件基本操作	195
8.7	绘图基本操作	197
第9章	元器件类型及库管理	201

9.1	PADS Layout 的元器件类型	201
9.2	封装编辑器界面简介	201
9.3	封装向导	203
9.4	不常用元器件封装举例	211
9.5	建立元器件类型	216
9.6	库管理器	223
第10章	布局	228
10.1	布局前的准备	228
10.2	布局应遵守的原则	234
10.3	手工布局	234
第11章	布线	242
11.1	布线前的准备	242
11.2	布线的基本原则	245
11.3	布线操作	245
11.4	控制鼠线的显示和网络颜色的设置	258
11.5	自动布线器的使用	261
第12章	覆铜及平面层分割	270
12.1	覆铜	270
12.2	平面层	276
第13章	自动标注尺寸	280
13.1	自动标注尺寸模式简介	280
13.2	尺寸标注操作	283
第14章	工程修改模式操作	289
14.1	工程修改模式简介	289
14.2	ECO 工程修改模式操作	291
14.3	比较和更新	300
第15章	设计验证	305
15.1	设计验证简介	305
15.2	设计验证的使用	305
第16章	定义 CAM 文件	316
16.1	CAM 文件简介	316
16.2	光绘输出文件的设置	318
16.3	打印输出	330
16.4	绘图输出	331

第17章	CAM 输出和 CAM Plus	332
17.1	CAM350 用户界面介绍	332
17.2	CAM350 的快捷键及 D 码	340
17.3	CAM350 中 Gerber 文件的导入	344
17.4	CAM 的排版输出	346
17.5	CAM Plus 的使用	353

第1章 概述

1.1 本书的内容

本书的内容包括以下3部分。

第1部分介绍原理图输入工具的使用。Cadence 新一代的 Cadence SPB 17.2 - 2016 系统互连设计平台优化并加速了高性能、高密度的互连设计，建立了从 IC 制造、封装到 PCB 的一套完整的设计流程。Allegro SPB 17.2 拥有完整的电子设计解决方案，包含电路设计、功能验证与 PCB 布局以及众多高效的辅助设计工具。它可提供新一代的协同设计方法，以便建立跨越整个设计链，包括 I/O 缓冲区、IC、封装及 PCB 设计人员的合作关系。新版本仅支持 64 位操作系统，其设计文档数据结构建立在 64 位的基础上，对于用户使用的低于 17.0 版以前的文档，如果需要使用 17.2 版打开，保存之后，将不能降级为低版本，因此建议用户务必做备份。Cadence 公司著名的软件有 Cadence Allegro、Cadence LDV、Cadence IC 5.0、Cadence OrCAD 等。原理图输入采用 OrCAD 公司的 Design Entry CIS。Design Entry CIS 对应于以前版本的 Capture 和 Capture CIS，是 Cadence 公司收购原 OrCAD 公司的产品，是国际上通用的标准原理图输入工具，设计快捷方便，图形美观，与 PADS 实现了无缝连接。

第2部分介绍 PCB 设计工具的使用。本书介绍的是 Mentor 公司的 PADS Layout 和 Router 工具。

第3部分介绍 PCB 的加工后处理工具 CAM350 的使用。

1.2 PCB 设计流程

整个 PCB 的设计流程可分为以下3个主要部分。

1. 前处理

此部分主要是进行 PCB 设计前的准备工作。

1) **建立元器件库** 在绘制电路原理图之前，要先在软件自带的元器件库中查找是否包含所有相关的元件，若没有，要先自己动手创建有关元器件并添加到新的元器件库中，便于以后绘制电路原理图时使用。

2) **原理图的设计** 设计者根据设计要求用 Capture 软件绘制电路原理图。

3) **创建网络表** 绘制好的原理图经 DRC 检查无误后，可以生成送往 Allegro 的网络表。将网络表存放在指定目录下便于以后导入到 Allegro 软件。网络表文件包含3部分，即 pstx-net.dat、pstxprt.dat 和 pstchip.dat。

4) **建立元器件封装库** 在创建网络表之前,每个元器件都必须有封装。由于实际元器件的封装是多种多样的,如果元器件的封装库中没有所需的封装,就必须自己动手创建元器件封装,并将其存放在指定目录下。

5) **创建机械设计图** 设置 PCB 外框及高度限制等相关信息,产生新的机械图文件 (Mechanical Drawing) 并存储到指定目录下。

2. 中处理

此部分是整个 PCB 设计中最重要的一部分。

1) **读取原理图的网络表** 将创建好的网络表导入 Allegro 软件,取得元器件的相关信息。

2) **摆放机械图和元器件** 首先摆放创建好的机械图,然后摆放比较重要的或较大的元器件,如 I/O 端口器件、集成电路,最后摆放小型的元器件,如电阻、电容等。

3) **设置 PCB 的层面** 对于多层的 PCB,需要添加 PCB 的层面,如添加 VCC、GND 层等。

4) **进行布线 (手工布线和自动布线)** 手工布线可以考虑到整个 PCB 的布局,使布线最优化,但缺点是布线时间较长;自动布线可以使布线速度加快,但会使用较多的过孔。有时自动布线的路径不一定是最佳的,故经常需要将这两种方法结合起来使用。

5) **放置测试点** 放置测试点的目的是检查该 PCB 是否能正常工作。

3. 后处理

此部分是输出 PCB 的最后工作。

1) **文字面处理** 为了使绘制的电路图清晰易懂,需要对整个电路图的元器件序号进行重新排列,并使用回注 (Back Annotation) 命令,使修改的元器件序号在原理图中也得到更新。

2) **底片处理** 设计者必须设定每张底片是由哪些设计层面组合而成的,再将底片的内容输出至文件,然后将这些文件送至 PCB 生产车间制作 PCB。

3) **报表处理** 产生该 PCB 的相关报表,以给后续工厂工作人员提供必要的信息。常用的报表有元器件报表 (Bill of Material Report)、元器件坐标报表 (Component Location Report)、信号线接点报表 (Net List Report)、测试点报表 (Testpin Report) 等。

1.3 OrCAD Capture 新功能介绍

本节将介绍 Cadence 公司推出的最新版本 OrCAD Capture 17.2 的新增功能,诸如 Design Compare、Advanced Annotation、Extended Preferences Setup、Lock Reference、SI Analysis,更可在 SigXplorer 设定拓扑结构及约束,然后直接回编到原理图上,大幅简化与缩短预期的作业流程。以下是 OrCAD Capture 17.2 各种功能介绍。

1. 自定义 Menu 和 Toolbars (Configuring Menus and Toolbars)

改变 Menu item 的位置和名称、功能封锁、功能图案,如图 1.3.1 和图 1.3.2 所示。文件位置为 <Cadence_installation> \share\orResources。



图 1.3.1 文件位置



图 1.3.2 修改 XML File

2. 项目、库保存功能 (Enhanced Save Function for Design and Library)

修改过的原理图或元件库在未保存时会用星号 (*) 标示, 如图 1.3.3 所示。

3. 查找功能 (Enhancements in the Find Function)

1) **Property Name = Value** 指定找寻某一个属性的值, 例如, pcb footprint = PLCC28。Property Name 必须为完整的字符串。

2) **Regular Expressions** 搜寻区间范围内的元件, 例如, U4[1-4]。当两个功能都被开启时, Regular Expressions 搜寻只支持 Property Value 的字符串。

具体操作过程如下所述。

(1) 启动 OrCAD Capture, 打开 demo. dsn。

(2) 在菜单栏单击 Search, 如图 1.3.4 所示。

(3) 把 “Regular Expressions” 和 “Property Name = Value” 两个选项都选上, 如图 1.3.5 所示。

(4) 单击 SelectAll 选项, 将图中对象全部选中。

(5) 在查找框中任意输入某字母, 如 “D”, 如图 1.3.6 所示。回车, 得到所有包含 D 相关属性的对象, 如图 1.3.7 所示。

(6) 在查找框中输入 “PCB Footprint = D *”, 如图 1.3.8 所示。回车, 得到如图 1.3.9 所示的结果。

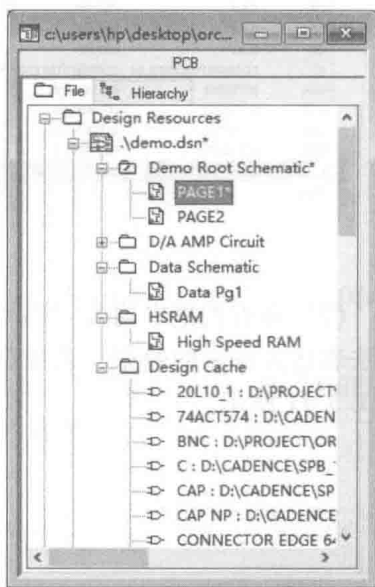


图 1.3.3 项目管理



图 1.3.4 查询栏

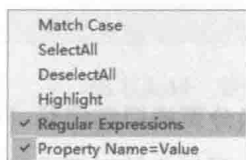


图 1.3.5 勾选选项

D*

图 1.3.6 输入字母

Object ID	Net Name	Page	Page Number	Schematic	Pin
BRD	BRD	PAGE1	1	Demo Root Schematic\	U4.16
BRESET	BRESET	PAGE1	1	Demo Root Schematic\	U4.15
BWR	BWR	PAGE1	1	Demo Root Schematic\	U4.17
FPGA	FPGA	PAGE1	1	Demo Root Schematic\	U4.18
HS	HS	PAGE1	1	Demo Root Schematic\	U4.19
MCLK	MCLK	PAGE1	1	Demo Root Schematic\	J1.52
RESET	RESET	PAGE1	1	Demo Root Schematic\	J1.53
SEL	SEL	PAGE1	1	Demo Root Schematic\	U4.14
WAIT	WAIT	PAGE1	1	Demo Root Schematic\	J1.51

图 1.3.7 查询结果

PCB Footprint=D*

图 1.3.8 输入字符

Reference	Value	Source Part	Source Library	Page	Page Number	Schematic	Zone	Location X-Coordinate	Location Y-Coordinate
C1	0.1uF	CAP NP	D:\CADENCE\SPB...	PAGE1	1	Demo Root Schematic\	4A	300	610
C2	0.1uF	CAP NP	D:\CADENCE\SPB...	PAGE1	1	Demo Root Schematic\	4A	350	610
C3	0.1uF	CAP NP	D:\CADENCE\SPB...	PAGE1	1	Demo Root Schematic\	3A	400	610
C4	0.1uF	CAP NP	D:\CADENCE\SPB...	PAGE1	1	Demo Root Schematic\	3A	450	610
J1	CONNECTOR EDGE 64	CONNECTOR EDGE 64	D:\CADENCE\SPB...	PAGE1	1	Demo Root Schematic\	5D	10	30
U1A	FCT16245	FCT16245_6	D:\PROJECT\OR...	PAGE1	1	Demo Root Schematic\	4D	370	100
U1B	FCT16245	FCT16245_6	D:\PROJECT\OR...	PAGE1	1	Demo Root Schematic\	3D	560	100
U2A	FCT16245	FCT16245_6	D:\PROJECT\OR...	PAGE1	1	Demo Root Schematic\	4C	370	260
U2B	FCT16245	FCT16245_6	D:\PROJECT\OR...	PAGE1	1	Demo Root Schematic\	3C	560	260

图 1.3.9 查询结果

(7) 在查找框中输入“Part Reference = (C | R)[2 - 9]”，如图 1.3.10 所示。查看标准语法表达式带来的效果，系统会自动搜索电容 C2 ~ C9 和电阻 R2 ~ R9 的所有器件，如图 1.3.11 所示。

Part Reference=(C|R)[2-9]

图 1.3.10 输入字符

Reference	Value	Source Part	Source Library	Page	Page Number	Schematic	Zone	Location X-Coordinate	Location Y-Coordinate
C2	0.1uF	CAP NP	D:\CADENCE\SPB...	PAGE1	1	Demo Root Schematic\	4A	350	610
C3	0.1uF	CAP NP	D:\CADENCE\SPB...	PAGE1	1	Demo Root Schematic\	3A	400	610
C4	0.1uF	CAP NP	D:\CADENCE\SPB...	PAGE1	1	Demo Root Schematic\	3A	450	610
C5	47pF	CAP	D:\CADENCE\SPB...	PAGE2	2	Demo Root Schematic\	1B	790	430
C6	47pF	CAP	D:\CADENCE\SPB...	PAGE2	2	Demo Root Schematic\	1A	790	540
R2	150	R	D:\CADENCE\SPB...	PAGE2	2	Demo Root Schematic\	1C	790	170
R3	150	R	D:\CADENCE\SPB...	PAGE2	2	Demo Root Schematic\	1C	840	170
R4	150	R	D:\CADENCE\SPB...	PAGE2	2	Demo Root Schematic\	1C	890	170
R5	2K	R	D:\CADENCE\SPB...	PAGE2	2	Demo Root Schematic\	3A	410	530

图 1.3.11 查询结果

4. 整体替换分页端口连接器 (Global Replace for OffPage)

Capture 现在可以支持对于 OffPage Connector 的整体替换，一次性替换相同 Net Name 的 OffPage，将 A 名称换成 B 名称。当用户想在不同项目中合并某几页的原理图到一个项目中时，就会用到整体替换 OffPage 名字的功能。具体操作步骤如下所述。

- (1) 启动 OrCAD Capture, 打开 demo. dsn。
- (2) 在 Project Manager 中单击 demo. dsn (表明后面选择的对象是整个 Design), 如图 1.3.12 所示。

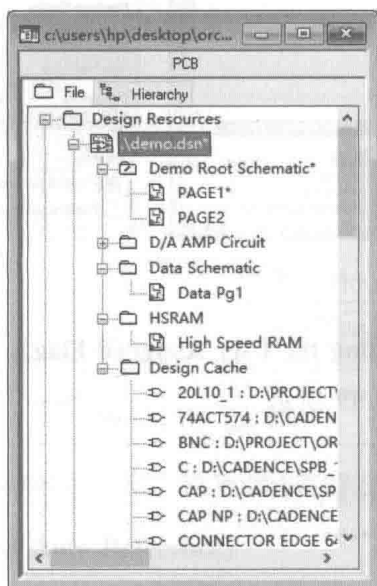


图 1.3.12 选中 demo. dsn

- (3) 执行菜单命令 “Edit” → “Browser” → “Off - Page Connectors”, 此时, 工程中所有的 connector 全部都被列出来, 如图 1.3.13 所示。

- (4) 打开任意一页, 执行菜单命令 “Edit” → “Global Replace”。勾选 “OffPage Connector”, 如图 1.3.14 所示, 然后在对话框中填出替换的内容即可。

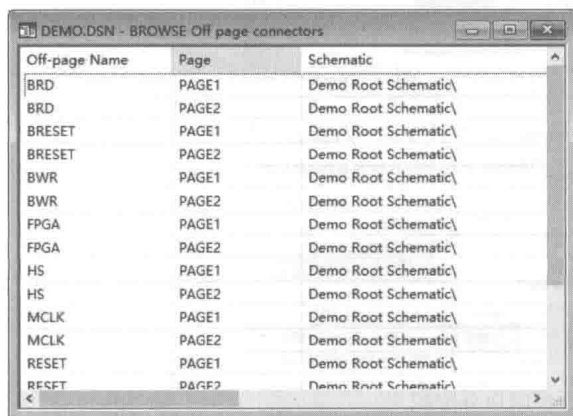


图 1.3.13 列出 connectors

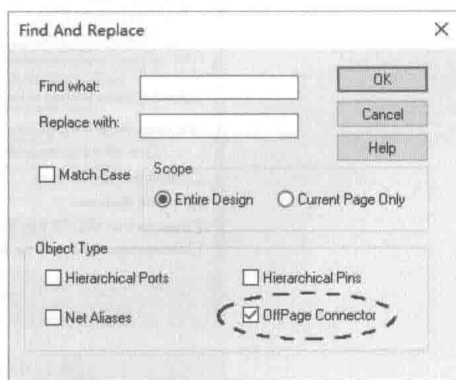


图 1.3.14 替换

5. Cache 更新 (Enhancements in Cache Updates)

可以在 Design Cache 中一次选取多个元件, 通过 Replace Cache 将其换成同一个元件, 如图 1.3.15 和图 1.3.16 所示。



图 1.3.15 选取多个元件

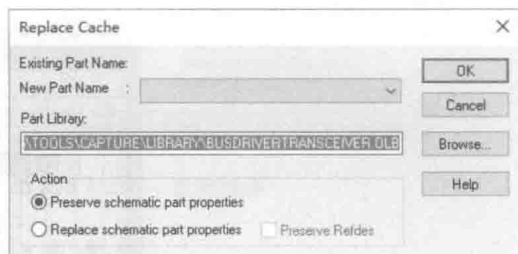


图 1.3.16 替换

6. 设置用户分配标志 (Setting the User Assigned Flag)

设置用户分配标志如图 1.3.17 所示。

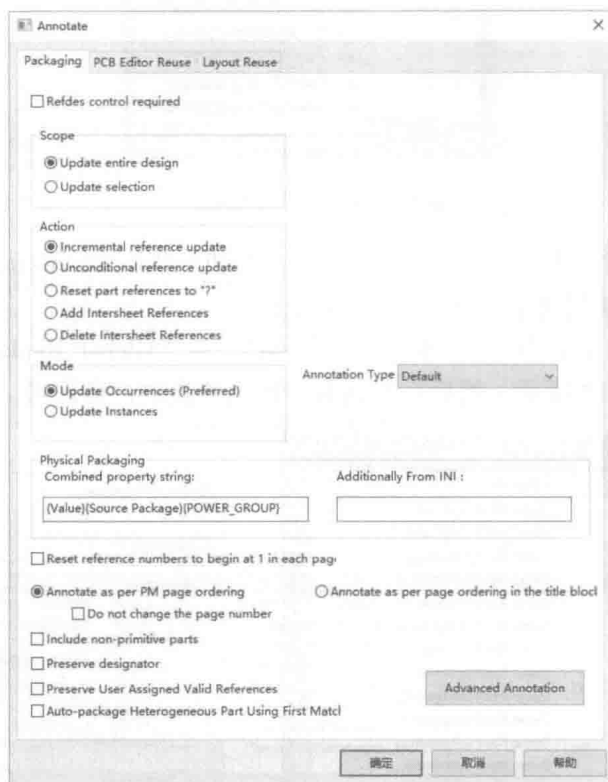


图 1.3.17 设置用户分配标志

(1) Preserve designator (见图 1.3.18): 当 Reference 清成“?”时, 同类型复合元件可保留 Section。

(2) Preserve User Assigned Valid References (见图 1.3.19): 可以保留 User 自定义的 Reference。

Part Reference 可通过以下 3 种方法进行修改。

- ☺ Edit Property;
- ☺ 直接修改 Part Reference Value;
- ☺ 从 PCB Board 修改完后回注 (Back Annotate) 到原理图。

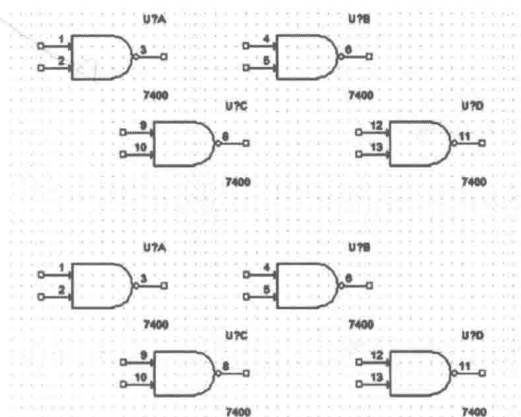


图 1.3.18 Preserve Designator

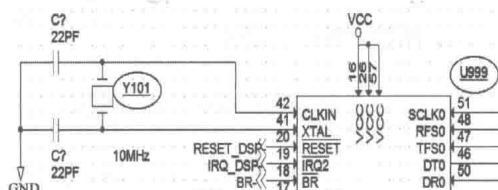


图 1.3.19 修改过的 Reference 会加上 “_”

7. 自动编号 (Design Level Auto Reference)

在层次式电路中摆放元件时,可依照整份 Project 自动编号,避免元件编号重复,如图 1.3.20 所示。



图 1.3.20 自动编号

8. DRC 检查 (Design Rule Check (DRC) Enhancements)

可以通过 TCL/TK 编写自定义的 DRC 检查,如图 1.3.21 所示。图 1.3.22 所示为设置 DRC 检查项目。

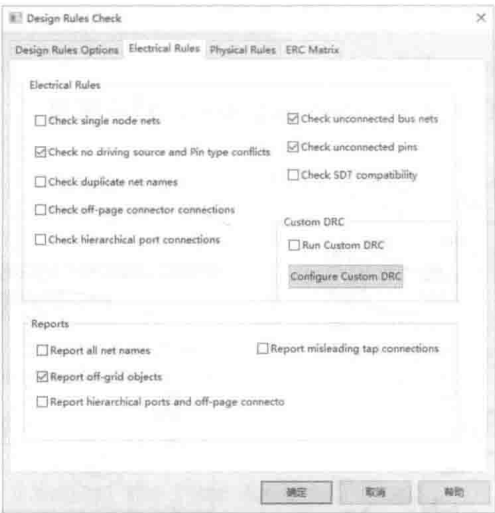


图 1.3.21 设置 DRC 检查

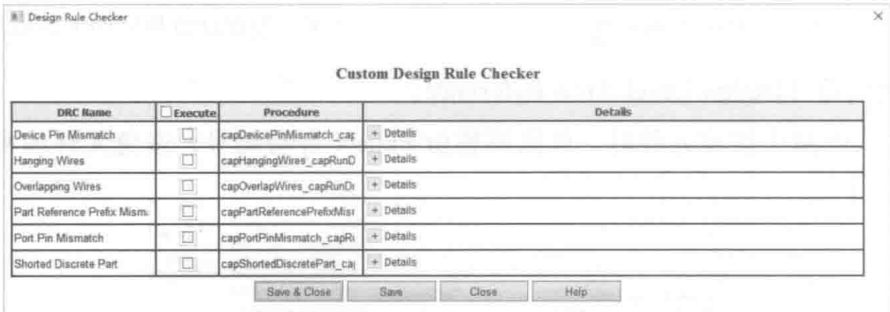


图 1.3.22 设置 DRC 检查项目

9. 项目保存 (Project Save As Enhancements)

对于项目的保存，除了保存 opj 文档外，现在也能把 dsn 或 Output File 一并存入指定的资料夹中，如图 1.3.23 所示。

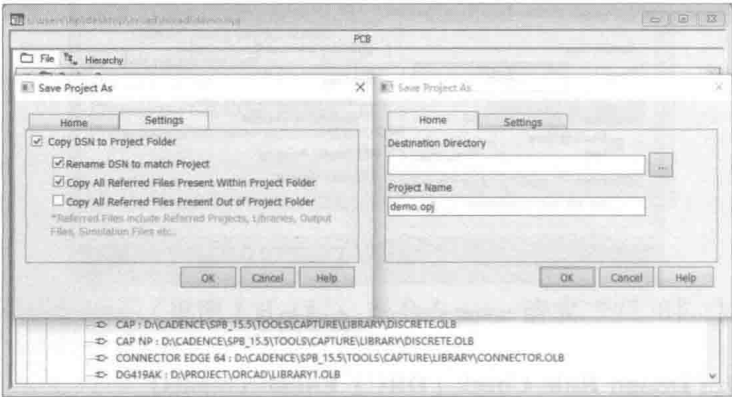


图 1.3.23 项目保存