



高速复杂互连的 串扰故障测试技术

◆ 尚玉玲 李春泉 著

张外借



西安电子科技大学出版社
<http://www.xduph.com>

高速复杂互连的串扰故障测试技术

尚玉玲 李春泉 著



西安电子科技大学出版社

内 容 简 介

本书系统、深入地介绍了高速复杂互连的串扰测试基本理论、原理、技术与方法,主要内容涉及三个方面:高速复杂互连线串扰测试、高速复杂互连结构串扰测试、高速互连通路串扰故障的 ATPG 技术。书中以非理想互连线的渐进式串扰故障和复杂拓扑结构的串扰故障测试技术为核心,论述了复杂互连线串扰测试方法;以过孔、球栅阵列焊点等为对象,讨论复杂互连结构信号传输性能及等效电路、双路径复杂互连结构串扰及故障测试技术;以串扰尖峰脉冲及时延故障为对象,讨论高速互连通路串扰故障的 ATPG 技术。

本书可作为从事电路与系统、电子信息技术、测控技术与仪器方向学术研究的科技人员及企事业单位管理人员的参考书,也可作为高等院校电路、计算机、机械制造、自动化等专业研究生和高年级本科生的教材。

图书在版编目(CIP)数据

高速复杂互连的串扰故障测试技术/尚玉玲,李春泉著. —西安:西安电子科技大学出版社, 2017.9

ISBN 978-7-5606-4602-2

I. ① 高… II. ① 尚… ② 李… III. ① 码间串扰—故障检测 IV. ① TN911.4

中国版本图书馆 CIP 数据核字(2017)第 143205 号

策 划 陈 婷

责任编辑 曹 锦 陈 婷

出版发行 西安电子科技大学出版社(西安市太白南路2号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfxb001@163.com

经 销 新华书店

印刷单位 陕西天意印务有限责任公司

版 次 2017年9月第1版 2017年9月第1次印刷

开 本 787毫米×960毫米 1/16 印张 12

字 数 244千字

印 数 1~1000册

定 价 29.00元

ISBN 978-7-5606-4602-2/TN

XDUP4894001-1

*** 如有印装问题可调换 ***

本社图书封面为激光防伪覆膜,谨防盗版。

前 言

随着电路系统向着规模极大化、工艺尺寸微小化、工作速度高速化和时钟频率高频化方向快速发展,高速互连中几何尺寸持续缩小、互连线间距逐步减小,布线密度大幅度提高,门与门、模块与模块、单元与单元、芯片与芯片之间互连线的传输线效应日趋明显,耦合噪声对电路传输性能的影响日益突出,由此产生了串扰、过冲、下冲、振荡等一系列信号完整性问题。在信号完整性问题中,串扰成为了高速互连电路设计、分析中不容忽视的严峻问题。

当高速互连在工作过程中受到噪声、电磁干扰、制造工艺等非确定性因素所产生的结构变化(如工艺随机扰动、封装引线、工艺波动造成的尺寸偏差等)的影响时,会出现由于串扰故障所导致的系统失效,而串扰故障模型及测试方法是保证高速电路性能质量和可靠性的关键所在。传统的电路故障模型以固定型故障为主,然而,串扰故障具有明显的瞬态性,与信号的跳变方向、跳变时间等相关,耦合电容和耦合电感与互连几何结构相关性增强,传统故障模型已不能完全适应。同时,高速电路中存在着大量的高速复杂互连线、互连结构、互连单元(如焊点、过孔)以及互连通路 ATPG 问题等,对高速互连的传输性能带来了新的挑战。因此,作者在对以上问题长期研究的基础上,结合研究中取得的成果编写了本书。

本书全面论述了高速复杂互连的串扰故障测试技术与方法,共分为7章。第1章绪论讨论了信号完整性测试产生的背景、国内外研究现状以及本书的主要结构等。其余章节作为技术知识内容可以分为三大部分。其中,第一部分(第2~4章)从串扰的理论基础及测试原理出发,讨论了串扰的基本概念、影响因素及串扰故障模型,着重对非理想互连几何结构及复杂拓扑结构两个复杂互连对象下的串扰测试技术与方法分别进行了研究和论述;第二部分(第5~6章)以过孔及球栅阵列焊点复杂互连单元为对象,分析了其传输性能及等效电路,着重对由复杂互连单元组成的双路径中串扰测试问题进行了研究与论述,讨论

了基于故障电压检测法串扰故障测试技术；第三部分(第7章)针对高速互连通路串扰故障的 ATPG 技术，研究了以基于 FAN 算法的尖峰脉冲故障 APTG 测试方法以及串扰时延故障测试方法。

本书的主要技术知识内容汇集了桂林电子科技大学尚玉玲副研究员近年来的部分研究成果，指导硕士研究生(张培、马剑锋、郭航、石光耀、曲礼等)的学位论文工作的部分成果，以及与江苏大学博士后导师杨平教授合作研究的成果。其中部分研究成果已经在高速互连串扰故障测试研究领域的相关学术刊物和学术会议上发表。本书由尚玉玲副研究员主持撰写，李春泉参与了第7章内容的撰写与整理。部分在读硕士研究生孙丽媛、于浩、豆鑫鑫、尹宝山、谈敏等参与本书的排版、校对等工作，在此表示衷心的感谢。

本书所汇集的部分科研成果是在国家自然科学基金“面向 TSV 的三维集成电路故障非接触测试方法研究”(61661013)、国家自然科学基金“高速电路互连的信号完整性故障与测试方法研究”(61102012)、国家自然科学基金“复杂环境下汽车线束布线网络拓扑结构生成及可靠性分析方法研究”(51465013)、广西自动检测技术与仪器重点实验室主任基金“SOC 核间互连的串扰故障测试方法研究”(YQ15109)等资助下完成的，并且得到了美国北卡罗来纳州立大学 Yuanshin Lee 教授、江苏大学杨平教授、西安电子科技大学李玉山教授、西安电子科技大学刘洋副教授等同行的支持和帮助，在此表示衷心的感谢。

由于信号完整性测试学科方向本身具有的前沿性、多学科性与学科交叉性，研究对象、研究方法以及工程化方向方面都在快速变化着，新的需求、新的特征以及新的挑战不断出现，因此，本书作为专门介绍与探讨串扰测试技术的书籍，既是入门读物，又具有一定的专业知识深度，书中各章均以描述基本原理及现阶段研究成果为主，希望能够引导读者对信号完整性测试这个学科方向发生兴趣，进而共同参与和推动高速复杂互连串扰故障测试技术的发展。

由于作者水平和经验有限，书中难免存在疏漏之处，恳请读者批评指正。

作 者

2017 年 4 月

目 录

第 1 章 绪论	1	2.4.2 线间距对串扰的影响	27
1.1 信号完整性测试产生的背景	1	2.4.3 互连线宽度对串扰的影响	27
1.1.1 信号完整性及串扰问题	1	2.4.4 跳变时间对串扰的影响	28
1.1.2 高速互连串扰测试面临的挑战	4	2.4.5 攻击线数目对串扰的影响	29
1.2 国内外研究现状	6	2.5 串扰的故障模型及测试	29
1.2.1 串扰估计与仿真	6	2.5.1 串扰的攻击特性	29
1.2.2 串扰故障模型	8	2.5.2 最大攻击者模型	32
1.2.3 串扰测试算法	9	2.5.3 多跳变故障模型	35
1.2.4 测试工具及设备	11	2.5.4 HT 故障模型	36
1.3 本书的内容与结构	11	2.5.5 MDSI 故障模型	37
第 2 章 高速互连串扰的理论基础及测试原理	14	第 3 章 非理想互连几何结构的串扰测试技术	39
2.1 引言	14	3.1 引言	39
2.2 高速互连电路的基本概念及理论基础	14	3.2 非理想互连几何结构的定义及分类	39
2.2.1 高速互连电路的基本概念	14	3.2.1 基本定义	39
2.2.2 传输线方程	15	3.2.2 互连结构的分类	41
2.2.3 传输线的工作特性参数	18	3.3 非理想几何结构的串扰特性仿真与分析	42
2.3 串扰的定义及耦合机理	20	3.3.1 互连线的等分化处理	42
2.3.1 串扰的定义	20	3.3.2 非均匀平行互连结构的串扰仿真与分析	43
2.3.2 容性耦合与感性耦合	21	3.3.3 均匀非平行互连结构的串扰仿真与分析	47
2.3.3 奇模与偶模传输模式	23		
2.4 串扰的影响因素及特性仿真与分析	25		
2.4.1 耦合长度因素对串扰的影响	26		

3.3.4 非均匀非平行互连结构的串扰仿真与分析及简化	50
3.4 基于正交设计的高速互连系统渐进式串扰故障测试	52
3.4.1 高速互连系统几何结构的形式化描述	52
3.4.2 串扰故障类型	53
3.4.3 串扰故障测试的基本原理	54
3.4.4 渐进式串扰故障的基本思想	55
3.4.5 基于正交设计的串扰故障主次因分析	56
3.5 渐进式串扰故障测试算法	58
3.5.1 测试算法的实现	58
3.5.2 不同故障模型算法的对比	59
3.6 仿真实验结果	60

第4章 复杂拓扑结构高速互连的串扰测试

技术	63
4.1 引言	63
4.2 复杂互连拓扑结构串扰特性分析	64
4.2.1 复杂互连拓扑结构对串扰的影响分析	64
4.2.2 三态双向信号对串扰的影响分析	68
4.3 复杂拓扑结构互连串扰故障测试CFMC方法	73
4.3.1 CFMC方法的基本思想	73
4.3.2 互连拓扑结构的描述及约简	74
4.3.3 互连拓扑结构表达	75
4.3.4 互连拓扑结构的约简	75
4.3.5 三态双向网络的互斥约简	77

4.4 CFMC测试生成算法	80
4.4.1 复杂拓扑结构互连串扰影响因素的主次因分析	80
4.4.2 测试算法的实现	82
4.5 仿真实验结果	83

第5章 复杂互连结构信号传输性能分析及等效电路

5.1 引言	86
5.2 过孔与BGA焊点	86
5.2.1 过孔	86
5.2.2 BGA焊点	87
5.3 复杂互连结构模型传输性能分析	88
5.3.1 复杂互连结构模型	88
5.3.2 频率变化的影响	89
5.3.3 介电常数的影响	90
5.3.4 过孔结构参数对传输性能的影响	90
5.3.5 BGA焊点结构参数对传输性能的影响	93
5.4 复杂互连结构等效电路建模	95
5.4.1 印制线的高频特性	95
5.4.2 过孔的寄生效应	97
5.4.3 焊点的寄生效应	99
5.4.4 复杂互连结构等效电路模型及其分析	100

第6章 双路径复杂互连结构串扰分析及故障测试技术

6.1 引言	103
6.2 双路径复杂互连结构串扰分析	103

6.2.1	双路径复杂互连结构模型	103	7.3	串扰故障测试生成的 OCFAN	
6.2.2	频率变化对串扰的影响	104		算法	136
6.2.3	过孔结构参数对串扰的影响	104	7.3.1	故障类型及时间参数	136
6.2.4	BGA 焊点结构参数对串扰的 影响	107	7.3.2	11 值逻辑变量与真值表	138
6.2.5	路径间距变化对串扰的影响	108	7.3.3	OCFAN 算法的基本流程	140
6.3	双路径复杂互连结构等效电路 建模	109	7.4	OCFAN 算法的故障传播	143
6.3.1	边缘场与串扰的关系	109	7.4.1	故障传播条件	143
6.3.2	路径间耦合强度与串扰的 关系	110	7.4.2	传播路径	145
6.3.3	双路径复杂互连结构等效电路 模型	111	7.4.3	敏化策略	146
6.4	双路径复杂互连结构故障测试	114	7.5	OCFAN 算法的反向回推	147
6.4.1	故障电压检测法的基本思想	114	7.5.1	反向回推的基本流程	147
6.4.2	故障电压检测法流程图	114	7.5.2	多重回推的目标值	149
6.4.3	电压数据有效性的判定方法	115	7.6	最大时间攻击优化模型与仿真实验及 验证	152
6.4.4	故障函数提取方法	118	7.6.1	优化模型	152
6.5	故障测试与验证	119	7.6.2	应用算例	152
6.5.1	过孔裂纹故障测试与验证	119	7.6.3	仿真实验及验证	154
6.5.2	焊点空洞故障测试与验证	123	7.7	串扰时延故障测试算法——BFAN	155
					155
			7.7.1	真值表与蕴含	155
			7.7.2	BFAN 算法的基本流程	157
			7.8	BFAN 算法验证结果及分析	160
			7.8.1	BFAN 算法测试矢量生成 过程	161
			7.8.2	时延信息的确定	161
			7.8.3	串扰故障的激励模型	162
			7.8.4	验证与分析	163
			参考文献		170
第 7 章	高速互连通路串扰故障的 ATPG				
	技术	128			
7.1	引言	128			
7.2	串扰故障测试问题及其定义	129			
7.2.1	基本问题及其定义	129			
7.2.2	OCFAN 与 BFAN 算法的基本 思想	135			

第1章 绪论

1.1 信号完整性测试产生的背景

1.1.1 信号完整性及串扰问题

半导体技术与电路技术的迅速发展,呈现出电路规模极大化、工艺尺寸微小化、工作速度高速化和时钟频率高频化的发展趋势^[1-2]。当前,电路规模已达单集成电路(Integrated Circuit, IC)内集成晶体管数目20亿个(Intel Westmere 处理器^[3]),工艺尺寸向着亚微米和深亚微米方向发展,目前已有32 nm的IC问世^[4],时钟频率达到几百兆赫兹乃至几吉赫兹,数据率达几吉比特每秒以上,脉冲信号的上升/下降沿陡峭度大幅度提高,脉宽达皮秒量级,其频谱高端可达几十吉赫兹,电路系统已经进入到了高速电路系统时代。

在此背景下,许多过去忽略的物理效应开始变得越来越重要,许多过去的电路设计和方法变得更加复杂,受到了越来越多的挑战,带来了信号完整性(Signal Integrity, SI)问题。SI在某种程度上已经成为了当前高速电路系统设计与分析中的瓶颈。SI是高速电路系统中信号未受到损伤的一种状态,是表明信号通过信号线传输后仍能保持其正确的功能特性,信号在电路中能以正确的时序和电压电平值做出响应^[7]。随着高速电路中几何尺寸持续缩小、互连线的高宽比增大,互连线间距减小,布线密度大幅度提高,门与门、模块与模块、单元与单元、芯片与芯片之间互连线的传输线效应日趋明显,由此引起的噪声、时延等问题突出,产生了串扰、过冲、下冲、振荡等一系列SI问题。据统计,1/3以上的噪声来源于串扰。串扰故障会导致信号波形畸变、时序混乱、系统工作异常,严重时甚至导致系统崩溃。SI问题已经成为当前电路设计中不容忽视的瓶颈问题^[5-6]。

产生SI问题的主要因素有以下三个方面^[8-9]:

(1) 噪声。由于耦合电容和电感在高速电路中承担了越来越重要的功能,因此,开关噪声、 ΔI 噪声、地弹、同步开关噪声(SSN)、同时开关输出噪声(SSO)等的影响越来越突出,产生了振铃、反射、串扰、电源反弹、衰减、容性负载等SI问题。

(2) 时序。由于互连线的尺寸及其工作速度的大幅度提高,使得互连线时延比门时延更加占据主导地位,耦合电容替代平板电容和边缘电容成为了连线电容的主要来源,电感对连线时延的影响已不容忽略,时钟偏差变化的影响愈加突出。

(3) 功耗。随着时钟频率的增加,出现了由漏电流、互连线电容、短路、耦合噪声等诸多因素造成的新的功耗问题。

高速电路系统按其规模和复杂程度可分为芯片、多芯片组件、印制板电路(Print Circuit Board, PCB)、背板等不同层次。但不论以何种方式构成系统,由互连线物理性能的变化而导致的SI问题是其共性问题。传统电路中互连线仅具有简单路径连接功能,连接器件的金属层只有一层或两层,与这些连线相关的电容和电阻均可以完全忽略。但是,在高速电路中,传输线效应日趋明显,“传输线”特征成为了高速互连线的主要特征。在高速互连电路中,门与门、模块与模块、单元与单元、芯片与芯片之间互连线上的电阻、电容和电感的影响已不容忽略,并且随着工艺的特征尺寸向超深亚微米、纳米级持续推进,高速电路系统的几何尺寸持续缩小,使得互连线的平面电容逐渐减小,互连线的高宽比越来越大,互连线间距越来越小,布线密度提高,连线的时延和耦合噪声越来越显著,互连线出现了分布式传输效应,集总模型不再适用,互连线的适配和不连续使信号波形失真,出现了信号的过冲、下冲、振荡;寄生效应引起的串扰噪声降低了信号质量,出现电源/地线信号的波动以及电迁移等问题^[2]。

串扰现象是传输线效应所引起的重要问题之一,据统计,有1/3的噪声来源于串扰^[10]。串扰是互连线中的信号向相邻互连线以有害的噪声形式进行传播的一种现象。一般,将传播源(噪声源)的互连线称为攻击线;而将受到噪声影响的互连线称为受害线^[11]。串扰根据其耦合源不同可分为容性耦合和感性耦合。当信号在通过一个互连线时会按照两种方式将能量耦合到相邻的互连线上。容性耦合是由于攻击线上的电压变化通过与受害线之间的互容将能量耦合到受害线上,从而导致噪声^[12]的。感性耦合则是由于攻击线上的电流变化产生的磁场在受害线上引起感应电压从而导致的噪声^[13]。互连线之间的互容和互感为噪声的传播提供了路径。

互连线串扰主要包括互连线为均匀传输线和互连线为非均匀传输线(如封装引线、工艺波动造成的尺寸偏差等)两种情况。特别是由于受到制造工艺非确定性因素的制约(如工艺随机扰动),实际电路中的互连线往往呈现出非均匀的结构形式,例如,器件沟道长度和宽度的不一致性、掺杂浓度与分布的不一致性、平行互连线之间间距的不一致性问题^[2],造成耦合电场和耦合磁场分布不均匀,进而对电路性能造成巨大的影响^[14]。这种影响最终结果是导致产品的质量和可靠性严重下降。互连线串扰问题已经成为了高速电路设计和分析中不容忽视的严峻问题。

串扰效应可导致受害线上出现串扰噪声,其主要形式为峰值变化和时序变化。串扰噪声是指在逻辑节点上电压或者电流产生不期望的变化,若其变化的幅度太大,就将引起逻辑错误或时序错误。通过定义噪声容限,可以将串扰噪声区分为故障和非故障。非故障串扰噪声小于噪声容限,在信号的传输过程中,其将被削弱,且不累加,传输信号的逻辑和时序信息会正确无误地进行传递。大于噪声容限的串扰噪声被定义为串扰型故障(即由于

串扰效应而导致的电路系统故障,简称串扰故障)。它会使所传输的信号产生逻辑或时序错误,引起系统错误操作。串扰故障一般分为尖峰脉冲故障(Glitch)和时延故障(Delay),如图 1.1 所示。

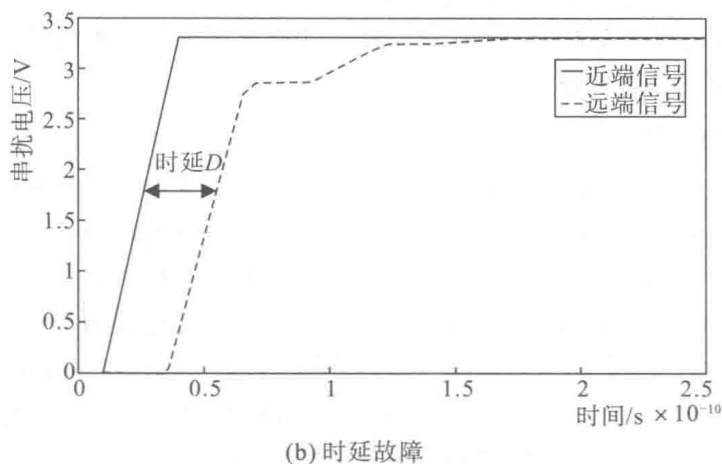
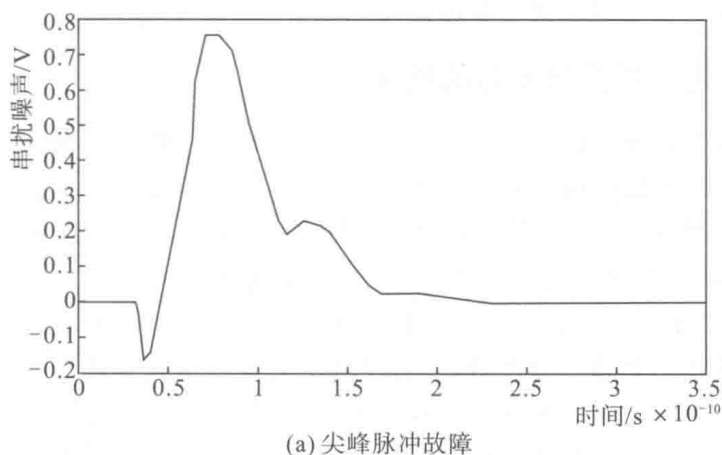


图 1.1 串扰故障类型

根据参考文献[13]的定义,当受害线初始为低电平 0(或高电平 1)时,将攻击线信号电压的 5% 幅值定义为串扰噪声容限。对于串扰时延故障,受害线与攻击线均为跳变信号,取受害线信号幅值的 50% 对应的时间进行比较,确定噪声大小,噪声容限可以取其 5% ~ 15%^[15]。

由于高速电路的陡峭边沿率、互连尺寸微型化及布线密度的大幅度提高,为了保证高速互连系统的质量和可靠性,因此建立面向高速互连系统,特别是高速互连串扰的测试技术和方法已经显得越发重要了。

高速互连串扰测试的核心问题是测试矢量生成,因为生成的测试矢量的质量和大小,

直接决定了故障覆盖率的大小以及测试施加时间的多少,因而直接关系到已检测器件的质量与测试成本的大小。测试生成时间大约占据了整个设计和生产总时间的 40%^[16],根据 ITRS 1997 年测试成本预测^[17],晶体管的测试代价将等于其制造代价,因此,建立有效的高速互连串扰测试方法已经受到了普遍重视,成为了该领域的研究热点。

1.1.2 高速互连串扰测试面临的挑战

传统的电路故障模型,如短路、桥接等故障模型均属于固定型故障,然而,SI 故障具有明显的瞬态性,与信号的跳变方向、跳变时间、边沿率等相关,耦合电容和耦合电感与互连几何结构相关性增强,传统故障模型已不能完全适应。同时,高速电路中存在着大量的复杂结构互连线(如非平行非均匀互连线)、复杂拓扑结构(如蛇形线)、复杂互连单元(如焊点、过孔)、逻辑门等电路单元,与低速/低频下的传输性能有较大区别,由于感性耦合和容性耦合所产生的传输线效应明显,特别地,对高速电路通路而言,上述问题复杂交错,传统的组合电路及时序电路的 ATPG 已无法实现对全物理通路的有效测试。另外,互连线串扰的影响因素如互连线几何尺寸、布线密度、介质层材料与结构、信号跳变边沿率、信号时序、布线布局等在高频中的效应也越来越突出,因此,高速电路的信号完整性故障模型与测试方法面临着许多新的挑战^[18]。

1. 故障模型的挑战

由于电路中可能存在的物理缺陷具有多样性,通过建立故障模型可以回避对物理缺陷分析的复杂度,因此,结构测试一般需要建立测试对象的故障模型^[19-20]。故障模型与电路的模型化密切相关,不同的设计层次有不同的故障模型。行为级(Behavioral Level, BL)故障主要涉及电路功能而很少涉及硬件实现,因此,行为级故障模型多用于基于模拟的设计验证。寄存器传输级(Register Transfer Level, RTL)包含结构化的电路信息;门级(Gate Level, GL)包含更详细的网表,这两级一般的故障模型是单固定型故障(Single Stuck-at Fault, SAF)模型。晶体管级故障模型有固定开路故障(Stuck Open Fault)和固定短路故障(Stuck Short Fault)。几何级故障模型假设芯片的版图已知,包含线宽、线间距和几何形状等信息,用以检测制造工艺问题,目前已有桥接故障(Bridge Fault, BF)模型。

串扰故障的产生具有瞬态特点,与信号的跳变方向、跳变时间等相关,同时,其耦合电容和耦合电感与互连的几何结构相关,因此,传统故障模型已不能完全适应,需要建立面向串扰的新型故障模型。

2. 工艺不稳定性带来的挑战^[21]

由于高速互连电路特征尺寸的缩小和规模扩大,工艺的不稳定性影响越来越显著,即使在设计、验证阶段,基于工艺参数文件抽取电路的各种寄生参数,并且完成了相应的验证过程,仍可能因为制造中工艺参数的变化而导致芯片失效^[22],因此需要针对工艺不稳定

时所出现的非均匀布线结构,建立串扰故障的测试生成技术^[23]。

3. 多噪声源的挑战

由于高速电路复杂的布线结构、较大的布线密度和陡峭的信号边沿,受害线上会承受多个临近互连线所产生的容性耦合和感性耦合噪声共同作用的多噪声攻击,无法精确地预测噪声行为,属于 NP 完全问题^[24]。因此,面向多噪声源,对所建立的串扰故障测试方法,在测试时间、故障覆盖率、测试成本等方面提出了更为尖锐的挑战。

4. 测试矢量形式带来的挑战

测试矢量是对待测电路施加的测试激励,通过该激励下的测试响应与正确响应的比较进行故障判断。传统的组合故障模型中测试矢量以“0”或“1”为变量,测试矢量是单矢量;时序电路中虽然存在了跳变信号,但主要以线时延与门时延而导致的平移信号波形为测试对象。但是在串扰故障测试生成中,串扰故障是和工作频率有关的动态故障,对其进行激励、检测需要施加两个连续的确定性测试矢量^[25](v_1, v_2)。其中, v_1 对电路的状态进行初始化以使电路处于一个稳态,紧接着必须施加 v_2 才能激励出相应的动态故障。(v_1, v_2)的施加要有严格的顺序要求^[26]。这种需要两个连续的测试矢量检测动态故障的测试称为双矢量测试(Two-Patterns Testing)。同时,还要考虑串扰时延故障的信号加速和减速问题产生的波形变化,因此,测试矢量对串扰故障的检测带来挑战。

5. 测试矢量生成算法的挑战

串扰故障的测试矢量生成包含了几何级测试矢量生成与串扰故障的自动测试图形生成(Automatic Test Pattern Generation, ATPG)两个方面内容。在几何级测试矢量生成时,其目的是判断在当前布线布局及信号跳变下是否会产生串扰故障,需要分析跳变信号的加载、互连结构、互连的布局、耦合电容、耦合电感等多因素;在串扰故障的 ATPG 时,其目的是为了对已知串扰故障生成故障测试图形,需要考虑电路结构、布局等因素。因此,对于几何级测试矢量生成,如何在保证故障覆盖率 100% 的情况下,减少测试生成时间,提高测试效率;对于串扰的 ATPG,如何提高故障覆盖率,获得有效的测试图形(Test Pattern, TP),减少测试生成时间,都成为串扰故障测试面临的挑战。

6. 复杂电路逻辑带来的挑战

传统电路互连线一般是完成单向信号传输的简单电路逻辑,在高速电路中,特别是在系统级芯片(System-On-Chip, SOC)中,互连总线复用的引入使得电路逻辑出现了三态双向传输特点^[27]。三态逻辑门的连接端子既可以作为信号传输的接收端,也可以作为信号传输的发送端,同时,通过控制三态逻辑门的高阻抗状态,也可以使得互连线处于非使能状态。如何解决复杂电路逻辑所带来的测试问题,建立有效的串扰故障测试方法,是串扰故障测试所面临的新的挑战。

1.2 国内外研究现状

1.2.1 串扰估计与仿真

1. 串扰估计

各种电路瞬态分析方法可以用于对电路的串扰噪声分析,其中电路的时序仿真技术——HSPICE^[28]是最为精确的,却十分耗时,一般只能用于小规模电路串扰仿真与估计。另一种串扰估计方法是通过对串扰模型进行建模,然后通过模型降阶方法减小计算量^[29-30],这种方法虽然较大地减小了计算量,但计算时间仍较长。

串扰估计的基础是建立等效电路模型,一般有分布式电路模型^[31-32]、集总式电路模型^[33-34]、 Π 电路模型^[35]、 $2-\pi$ 电路模型^[36]、耦合RC模型^[37-39]和耦合RLC模型^[40-42]等。

由Devgan等人提出的串扰估计模型——Devgan串扰估计模型^[43],其目的在于估计传输线间串扰的最大值,在信号的上升时间较大(大于100 ps)时,其串扰估计结果和HSPICE的仿真结果具有可比的精度,但随着信号的上升时间减少,其精度不断减小。另外Devgan串扰估计模型中没有考虑信号上升时间对串扰值的影响。Martin等人提出了对Devgan串扰估计模型的改进模型——Martin串扰估计模型^[44],该模型较好地解决了串扰值随信号上升时间减少而无限增大的问题,在线长较短(小于2 mm)时,仿真结果较为精确,但随着线长的不断增加,仿真误差也不断增大,这是由于其模型降阶方法不合理而引起的。Vittal等人^[45]以冲激信号为攻击线激励推导了串扰噪声峰值和串扰噪声宽度的表达式,该模型保持了较好的稳定性,较Devgan串扰噪声模型的精度有所提高。Yu等^[46]基于阶跃激励,利用矩量法提出了单极点、双极点及改进的单极点模型,稳定性较高。Chen模型^[47]可以同时求解噪声峰值、噪声发生时间和噪声宽度。Palit等^[48]提出ABCD建模方法并进行了串扰耦合噪声的计算。以上模型均是基于RC网络参数的。

考虑RLC网络参数,董刚等^[49]建立了一种考虑电感耦合效应的两相邻耦合互连模型,基于传输函数直接截断的方法给出了其互连串扰的解析表达式,结果相对于HSPICE结果的误差小于10%。李鑫等^[50]提出了一种基于均匀RLC耦合互连线系统的串扰(噪声)仿真方法,该方法将耦合互连线模型在线元分析阶段即进行复频域解耦,使原本复杂的耦合互连线元模型转化为独立互连线元模型,进而简化之后的串扰噪声的仿真分析过程,仿真实验结果相较于PSPICE结果的误差小于5%。之后,李鑫等^[51]提出一种基于工艺随机扰动的非均匀RLC互连线串扰分析方法;同时建立了互连线随机扰动模型,通过解耦技术将耦合非均匀互连线模型转化为独立互连线模型,从而简化了分析过程,并用新的逼近模型对数值结果进行复频域的函数逼近,提高了算法精度;最后将该算法应用到多根耦合互连线

互连的情况。Lee等^[52]在参考文献[46]的基础进行了拓展,建立了面向RLC树模型的递归分量计算以及通用降阶模型,近似获得耦合噪声的波形。杜小鸣等^[53]建立了互连线串扰耦合噪声的ABCD矩阵级联模型。

面向串扰时延估计,Elmore模型^[54-55]是一种基于RC网络的模型,因为其有简单的时延迭代公式而在电路优化和版图设计中被广泛使用。随着集成电路的发展,对时延估算的精度提出了更高的要求,在保证估算公式简洁的前提下,对Elmore模型进行了改进,如高阶分量修正法^[56]和有效电容度量法^[57]等。因为Elmore模型仅匹配了RC网络的一阶矩,只考虑电阻和电容对互连的作用而没有考虑互连线中电感的影响,所以当电路时钟频率提高以及片内互连线增长而导致互连线的电感作用加强时,这类时延模型的精度不能满足实际应用的要求。Kahng等^[58]提出一种RLC互连线闭合公式的时延估算模型,因为这种模型是考虑了电感因素的二阶模型,所以其对时延估算的精度得到显著的提高。Ismail Y I等^[59]提出了一种用于RLC互连树时延估计等效Elmore时延模型,它具有计算简单的优点,但其尚存在精度较低的问题。董刚等^[60]提出了一种基于“有效电容”的RLC互连树时延分析的改进方法。刘峰等^[61]提出了一种保证结果稳定的树形互连线的时延估算模型,此模型针对树形互连线提出“等效ABCD矩阵”的概念,在此基础上通过二阶矩匹配估算树形互连线时域响应,并通过曲线拟合给出了解析形式的50%时延估算公式。

2. 串扰仿真分析

串扰仿真分析主要分为理想互连线/结构与非理想复杂互连线/结构的串扰仿真分析。

在理想互连线串扰仿真方面,国内外进行了大量研究并取得了相当丰富的成果,理想互连结构的研究一般以理想传输线、理想返回路径等为对象,采用电路分析方法和基于Maxwell方程的电磁场数值分析方法。在电路分析方法中,通过提取寄生参数,建立互连结构的RC/RLC/RLCG等效电路模型,运用电路分析的方法进行信号完整性的时域/频域仿真分析。上海交通大学李征帆教授等对此进行了广泛深入的研究^[62-64]。在电磁场数值分析方法中,一类是以电磁场问题的积分方程为基础的数值方法,着重求解得出场源分布,如谱域法^[65]等;另一类是以电磁场问题的微分方程为基础的数值方法,着重在电磁场广阔的分布区域中求解出场量,如有限元法、时域有限差分法(Finite-Difference Time-Domain, FDTD)^[66-67]等,FDTD对各种复杂几何结构或介质分布构成的系统原则上均能得到比较精确的解^[68-70]。同时,也有采用将电磁分析的精确性和电路分析的快速性结合起来,利用FDTD全波电磁方法提取频变参数后,将其转为利用多种电路分析方法对高速互连进行分析的方法。例如,对复杂电路系统可应用模型降阶(Model Order Reduction, MOR)分析^[71];将FDTD与SPICE电路模型结合起来分析^[146];或是将数字驱动器和接收器的行为模型作为集总元件插入FDTD的网格,提供一种混合技术对非线性/动态终端的互连系统进行全波建模,解决PCB板结构的SI、电磁干扰与电磁问题^[147]。参考文献[148]提出了一种系统方法,将全波FDTD与使用有理函数近似和SPICE电路仿真器得到的基于宏模型的

S 参数相结合,分析高速互连的 SI 问题。参考文献[149]报道了用全波仿真器提取出网络参数后,将其作为电路的网络端口,然后利用电路仿真器分析各种互连的不连续性。在 PCB 板布线制造之前,对于上/下冲、阻抗不匹配、振铃和反射之类的高速电路 SI 问题,采用 SPICE 或输入/输出缓冲信息规范(Input/Output Buffer Information Specification, IBIS)电路仿真器分析可以快速地了解 SI 对系统整体性能的影响^[150-151]。

在非理想复杂互连结构信号完整性仿真方面,主要以过孔^[152-154]、开槽平面(非理想返回路径)、非理想传输线结构、非理想传输线走线路径、跳变/拐角^[155-158]、接地^[159]和传输线阻抗匹配^[160-161]等为对象展开研究,以减小信号的串扰、反射/振荡及地反弹噪声和同步开关噪声。采用的方法也大多是基于电路的方法或者是全波电磁场方法。在电路分析方法中,参考文献[162]研究了过孔、拓扑结构、直角拐角、蛇形性等非理想互连结构所对应的电路 RLC 模型;参考文献[163]以非理想返回路径为对象,研究九种返回路径沟壑缝隙的信号完整性,并给出了等效电路模型;参考文献[164]中提出了针对非理想返回路径的一种新的分析模型,并通过与理想返回路径比较,指出非理想返回路径会产生更为严重的信号完整性问题,并以两线系统为例,论述了增加混合共平面地线可有效减少串扰和时延。另外,参考文献[165]研究了非均匀平行的非理想传输线结构;参考文献[166]研究了均匀非平行的非理想传输线结构;参考文献[167]研究了具有分支的非理想传输线结构。在电磁场数值方法中,张华博士^[6]通过实验与理论相结合,基于散射参数网络理论,进行了走线拐弯、导带宽度跳变、过孔、不完整导电平面等非理想传输线的仿真研究。在高速互连系统设计中,还要考虑连接子板和背板之间的接插件^[168-169]。Shiue^[72]、Wu^[73-74]、Guo^[75]、Kyoungcho^[76]、Chao^[77-78]等对蛇形线的长度、间距、防护线结构及布局等对串扰的影响进行了研究。对于系统级的高速互连分析,参考文献[40]报道了一种方法,它是将整个互连系统链路划分为若干子链路,每个子链路分别采用基于测量的建模方法,然后将所有子链路的模型链接在一起,获得一个完整链路的模型。

1.2.2 串扰故障模型

在串扰故障测试模型研究方面,一些学者已经进行了串扰故障模型及测试矢量生成技术的研究^[34, 79-81],并取得了一定的成果。针对故障模型,参考文献[82]以均匀无耗传输线的串扰为对象,提出了最大攻击者(Maximal Aggressor, MA)模型。该模型通过施加最大激励来检测故障,其基本思想是:在对某一信号线进行某一类串扰故障检测时,通过在其相邻的信号传输线上施加最可能使其产生该类串扰故障的激励矢量来进行串扰故障检测,如果在这种情况下没有故障发生,则认为该信号线在工作时不会发生该类串扰故障。使用 MA 模型所需的测试矢量数为 $8N$,其中 N 为测试对象数目。通过特殊的测试矢量施加顺序可以将其进一步减小为 $6N$ ^[83],在低频时(小于 1 GHz)使用该模型进行串扰故障激励检测时,其故障覆盖率可达到 100%,可见 MA 模型在保证十分高的故障覆盖率的同时只需较

少的测试矢量。参考文献[84]通过仿真试验,证明了MA模型在某些情况下不能产生最大故障激励。参考文献[85]的作者提出了多跳变(Multiple Transition, MT)故障模型,采用攻击线同时不同方向的跳变,提高了故障覆盖率,但由于其采用了近乎全集的测试矢量,因而测试效率较低。针对测试矢量空间压缩,张金林^[26, 86-88]在MA模型的基础上,根据干扰强度的不同对MA模型进行了优化,提出了一种HT(Half Transition)模型,进一步减少了测试矢量数。参考文献[89]通过利用MT模型测试矢量对称性特征,进行了矢量集的压缩。参考文献[90-91]在MA模型的基础上,提出了一种最大信号完整性(Maximal Dominant Signal Integrity, MDSI)模型,克服了MA模型的部分缺陷。

在MA模型的基础上,Bai Xiaoliang^[83, 92-93]提出了一种SOC全局互连线或总线的串扰故障实时自测试方法,开发了测试生成器、故障检测器、测试控制器等,使用7个状态的有限状态机,测试生成器生成6个矢量,完成4类故障的测试;在故障检测器中,使用XOR逻辑门对测试响应进行比较。Yang等^[94]以Bai^[93]的研究为基础,提出了一种新的SOC总线串扰自测试结构,用8矢量代替了6矢量,降低了故障检测器的区间,但是增大了测试时间。Chen等人^[95]提出了一种有效成本的方法,利用内嵌的处理器核进行系统级互连的测试,既可以测试与内存相连的地址和数据总线,也可以测试处理器和非内存核之间的互连线。Zhao Yi等人^[96-97]提出了串扰互连测试矢量的故障覆盖率评价方法,基于覆盖率关系对测试矢量进行评价。

1.2.3 串扰测试算法

固定型故障是应用最广泛的一种故障模型。基于固定型故障测试生成的测试矢量可以有效地检测出实际电路中可能存在的各种物理缺陷。固定型故障的测试产生算法研究已经非常成熟。20世纪60年代提出的D算法是一种经典的测试产生算法^[98-99]。20世纪80年代,Goel^[100]提出了面向路径决策法(Path-Oriented Decision Making, PODEM)算法,采用分支限界法来搜索输入矢量空间,相对于D算法,它大大提高了搜索的速度,可对较大电路进行测试。Fujiwara^[101-102]提出的FAN(Fanout-Oriented TG)算法又成功地扩展了PODEM算法,引入“头线(Head Line)”和“多路回退(Multiple Backtrace)”的概念来加速搜索过程,其效率相比于PODEM算法又大大提高了,FAN算法因此也成为国际上公认的比较有效的测试产生算法。其他的算法还有Cha等^[103]提出的九值算法,其显著特点是采用9个逻辑值,而不像D算法只是5值逻辑运算;Kirland与Mercer^[104]提出的TOPS算法进一步发展了主线概念,该算法中采用拓扑分析手段;Abramovici等^[105]提出了Fast算法,是对主线概念的另外一种认识,该算法中同时采用拓扑分析和功能分析两种方法;Sandford大学于1991年提出SAT方法^[106],采用布尔差分进行测试生成。HITEC^[107]是20世纪90年代出现的一个比较成熟的时序电路ATPG系统,HITEC以其良好的处理能力和性能而得到了广泛的认可和应用。参考文献[108]推出了一个计算效率更高的门级组合电