



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

北京市精品课程教材

电子科学与技术

Altera FPGA
Development and Application, Second Edition

Altera FPGA

系统设计实用教程

(第2版)

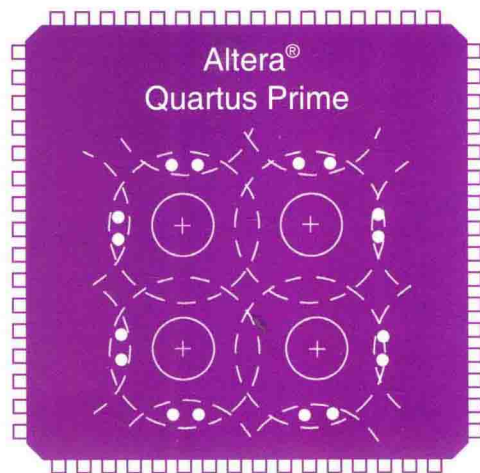
李莉

Li Li

编著

张磊 董秀则 李雪梅

Zhang Lei Dong Xiuzhe Li Xuemei



清华大学出版社



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

Altera FPGA
Development and Application, Second Edition

Altera FPGA

系统设计实用教程

(第2版)

李莉

Li Li

编著

张磊 董秀则 李雪梅

Zhang Lei

Dong Xiuzhe

Li Xuemei

清华大学出版社
北京

内 容 简 介

本书从基础到应用,系统介绍了 Altera FPGA 的开发应用知识。基础部分包括 FPGA 开发流程、硬件描述语言 VHDL 和 Verilog、Quartus Prime 开发环境、基本电路的 FPGA 设计、基于 IP 核的设计等内容;应用部分包括人机交互接口设计、数字信号处理电路设计、密码算法设计、嵌入式 Nios 设计等内容。全书语言简明易懂、逻辑清晰,向读者提供了不同领域的 FPGA 应用实例以及完整的设计源程序。

本书可作为高等学校电子信息、计算机、自动化等专业的本科生教材,也可供从事电子设计的工程技术人员参考。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

Altera FPGA 系统设计实用教程/李莉等编著. —2 版. —北京:清华大学出版社,2017

(高等学校电子信息类专业系列教材)

ISBN 978-7-302-47312-1

I. ①A… II. ①李… III. ①可编程序逻辑器件—系统设计—高等学校—教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2017)第 124555 号

责任编辑:盛东亮

封面设计:李召霞

责任校对:胡伟民

责任印制:宋 林

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:清华大学印刷厂

经 销:全国新华书店

开 本:185mm×260mm

印 张:18.5

字 数:460 千字

版 次:2014 年 1 月第 1 版

2017 年 8 月第 2 版

印 次:2017 年 8 月第 1 次印刷

印 数:1~2500

定 价:49.00 元

产品编号:072169-01

高等学校电子信息类专业系列教材

一
顾问委员会

谈振辉	北京交通大学（教指委高级顾问）	郁道银	天津大学（教指委高级顾问）
廖延彪	清华大学（特约高级顾问）	胡广书	清华大学（特约高级顾问）
华成英	清华大学（国家级教学名师）	于洪珍	中国矿业大学（国家级教学名师）
彭启琮	电子科技大学（国家级教学名师）	孙肖子	西安电子科技大学（国家级教学名师）
邹逢兴	国防科学技术大学（国家级教学名师）	严国萍	华中科技大学（国家级教学名师）

一
编审委员会

主 任	吕志伟	哈尔滨工业大学		
副主任	刘 旭	浙江大学	王志军	北京大学
	隆克平	北京科技大学	葛宝臻	天津大学
	秦石乔	国防科学技术大学	何伟明	哈尔滨工业大学
	刘向东	浙江大学		
委 员	王志华	清华大学	宋 梅	北京邮电大学
	韩 焱	中北大学	张雪英	太原理工大学
	殷福亮	大连理工大学	赵晓晖	吉林大学
	张朝柱	哈尔滨工程大学	刘兴钊	上海交通大学
	洪 伟	东南大学	陈鹤鸣	南京邮电大学
	杨明武	合肥工业大学	袁东风	山东大学
	王忠勇	郑州大学	程文青	华中科技大学
	曾 云	湖南大学	李思敏	桂林电子科技大学
	陈前斌	重庆邮电大学	张怀武	电子科技大学
	谢 泉	贵州大学	卞树檀	第二炮兵工程大学
	吴 瑛	解放军信息工程大学	刘纯亮	西安交通大学
	金伟其	北京理工大学	毕卫红	燕山大学
	胡秀珍	内蒙古工业大学	付跃刚	长春理工大学
	贾宏志	上海理工大学	顾济华	苏州大学
	李振华	南京理工大学	韩正甫	中国科学技术大学
	李 晖	福建师范大学	何兴道	南昌航空大学
	何平安	武汉大学	张新亮	华中科技大学
	郭永彩	重庆大学	曹益平	四川大学
	刘缠牢	西安工业大学	李儒新	中科院上海光学精密机械研究所
	赵尚弘	空军工程大学	董友梅	京东方科技集团
	蒋晓瑜	装甲兵工程学院	蔡 毅	中国兵器科学研究院
	仲顺安	北京理工大学	冯其波	北京交通大学
	黄翊东	清华大学	张有光	北京航空航天大学
	李勇朝	西安电子科技大学	江 毅	北京理工大学
	章毓晋	清华大学	谢凯年	赛灵思公司
	刘铁根	天津大学	张伟刚	南开大学
	王艳芬	中国矿业大学	宋 峰	南开大学
	苑立波	哈尔滨工程大学	靳 伟	香港理工大学
丛书责任编辑	盛东亮	清华大学出版社		

序

FOREWORD

我国电子信息产业销售收入总规模在 2013 年已经突破 12 万亿元,行业收入占工业总体比重已经超过 9%。电子信息产业在工业经济中的支撑作用凸显,更加促进了信息化和工业化的高层次深度融合。随着移动互联网、云计算、物联网、大数据和石墨烯等新兴产业的爆发式增长,电子信息产业的发展呈现了新的特点,电子信息产业的人才培养面临着新的挑战。

(1) 随着控制、通信、人机交互和网络互联等新兴电子信息技术不断发展,传统工业设备融合了大量最新的电子信息技术,它们一起构成了庞大而复杂的系统,派生出大量新兴的电子信息技术应用需求。这些“系统级”的应用需求,迫切要求具有系统级设计能力的电子信息技术人才。

(2) 电子信息系统设备的功能越来越复杂,系统的集成度越来越高。因此,要求未来的设计者应该具备更扎实的理论基础知识和更宽广的专业视野。未来电子信息系统的设计越来越要求软件和硬件的协同规划、协同设计和协同调试。

(3) 新兴电子信息技术的发展依赖于半导体产业的不断推动,半导体厂商为设计者提供了越来越丰富的生态资源,系统集成厂商的全方位配合又加速了这种生态资源的进一步完善。半导体厂商和系统集成厂商所建立的这种生态系统,为未来的设计者提供了更加便捷却又必须依赖的设计资源。

教育部 2012 年颁布了新版《高等学校本科专业目录》,将电子信息类专业进行了整合,为各高校建立系统化的人才培养体系,培养具有扎实理论基础和宽广专业技能的、兼顾“基础”和“系统”的高层次电子信息人才给出了指引。

传统的电子信息学科专业课程体系呈现“自底向上”的特点,这种课程体系偏重对底层元器件的分析与设计,较少涉及系统级的集成与设计。近年来,国内很多高校对电子信息类专业课程体系进行了大力度的改革,这些改革顺应时代潮流,从系统集成的角度,更加科学合理地构建了课程体系。

为了进一步提高普通高校电子信息类专业教育与教学质量,贯彻落实《国家中长期教育改革和发展规划纲要(2010—2020 年)》和《教育部关于全面提高高等教育质量若干意见》(教高【2012】4 号)的精神,教育部高等学校电子信息类专业教学指导委员会开展了“高等学校电子信息类专业课程体系”的立项研究工作,并于 2014 年 5 月启动了《高等学校电子信息类专业系列教材》(教育部高等学校电子信息类专业教学指导委员会规划教材)的建设工作。其目的是为推进高等教育内涵式发展,提高教学水平,满足高等学校对电子信息类专业人才培养、教学改革与课程改革的需要。

本系列教材定位于高等学校电子信息类专业的专业课程,适用于电子信息类的电子信

息工程、电子科学与技术、通信工程、微电子科学与工程、光电信息科学与工程、信息工程及其相近专业。经过编审委员会与众多高校多次沟通,初步拟定分批次(2014—2017年)建设约100门课程教材。本系列教材将力求在保证基础的前提下,突出技术的先进性和科学的前沿性,体现创新教学和工程实践教学;将重视系统集成思想在教学中的体现,鼓励推陈出新,采用“自顶向下”的方法编写教材;将注重反映优秀的教学改革成果,推广优秀的教学经验与理念。

为了保证本系列教材的科学性、系统性及编写质量,本系列教材设立顾问委员会及编审委员会。顾问委员会由教指委高级顾问、特约高级顾问和国家级教学名师担任,编审委员会由教育部高等学校电子信息类专业教学指导委员会委员和一线教学名师组成。同时,清华大学出版社为本系列教材配置优秀的编辑团队,力求高水准出版。本系列教材的建设,不仅有众多高校教师参与,也有大量知名的电子信息类企业支持。在此,谨向参与本系列教材策划、组织、编写与出版的广大教师、企业代表及出版人员致以诚挚的感谢,并殷切希望本系列教材在我国高等学校电子信息类专业人才培养与课程体系建设中发挥切实的作用。

吕志伟 教授

前言

PREFACE

现场可编程门阵列(Field Programmable Gate Array,FPGA)的出现是超大规模集成电路(VLSI)技术和计算机辅助设计(CAD)技术发展的结果,基于FPGA的设计方法是电子设计领域的一大变革。不同于传统的电子设计方法,基于FPGA的现代电子设计方法采用自顶向下的设计方法,使设计师们可以把更多的精力和时间放在电路方案的设计上,很大程度上提高了电子产品的上市时间;FPGA的可编程性,使得在不改变硬件电路设计的前提下,产品性能的提升成为可能;硬件软件化,以及不断增长的可编程门阵列的规模,使得产品在小型化的同时,可靠性也得以不断提升。近年来,IP核的广泛使用,特别是嵌入式处理器IP核的使用,使FPGA的市场占有量大大增加。因此对于广大的电子设计人员,以及电子工程专业的学生来说,掌握基于FPGA的开发技术是非常必要的。

参与本书编写的教师多年从事EDA课程的教学和相关科研工作,作者总结了许多教学和科研经验,成就了本书的编写与问世。全书系统地介绍了FPGA的开发技术,内容涵盖FPGA可编程逻辑器件的基本知识及相关软件的使用方法,可编程逻辑器件的硬件描述语言,以及基于FPGA的电路设计,着重讲述了FPGA电路设计的方法和技巧,并给出了设计实例。

全书共9章。第1章分析了FPGA开发的基本设计方法和设计流程,并以Altera公司的FPGA芯片为例,介绍了可编程逻辑器件的结构特点。第2章介绍了目前流行的两种可编程逻辑器件的硬件描述语言:VHDL和Verilog。第3章以Quartus最新版本Prime 16.0为例,介绍了可编程逻辑器件开发软件的安装和使用方法。第4章介绍了基本电路的FPGA设计,讲解了FPGA设计时需要注意的基本问题。第5章介绍了基于IP核的设计方法。第6章以键盘扫描和液晶驱动设计为例,介绍了人机交互接口设计。第7章介绍了几种基本的数字信号处理电路的FPGA设计。密码算法的设计实现是FPGA在信息安全设计领域的一个重要应用,因此本书的第8章以分组密码、流密码及Hash算法为例,给出了三个较新的密码算法的FPGA实现的实例。第9章涉及FPGA高端开发技术,介绍了基于Nios II的Qsys系统开发的流程和设计方法。

书中第6章至第8章的设计程序可以在www.besti.edu.cn/EDA精品课程网站下载。有关FPGA的新器件、新技术等不断更新的知识,读者可以从EDA厂商的网站上获取更新的资料,也可以从销售商或可编程逻辑器件中文网站(<http://www.fpga.com.cn>)上获取相关的信息和技术支持。

全书由李莉组织编写并统稿。本书第1章、第3章、第6章以及附录部分由李莉编写,第8章由李雪梅和张磊共同编写,第5章、第7章、第9章由李莉和董秀则共同编写,第2章、第4章由李莉和李雪梅共同编写。北京电子科技学院路而红教授不辞辛苦地认真审阅

了全部书稿,并为本书提出了许多宝贵的建议和意见。硕士研究生杨凤、胡尧、李祺宇参与了本书相关程序的调试工作。借此机会也向所有关心、支持和帮助过本书编写、修改、出版、发行的老师和朋友们致以诚挚的谢意。

由于作者水平有限,书中难免有不妥之处,欢迎各位读者提出批评和指正。作者联系方式: lili103@besti.edu.cn。

作 者

2017 年 4 月于北京

目录

CONTENTS

第 1 章	FPGA 开发简介	1
1.1	可编程逻辑器件概述	1
1.2	FPGA 芯片	3
1.2.1	FPGA 框架结构	3
1.2.2	Altera 公司的 FPGA	7
1.3	FPGA 开发工具	11
1.4	基于 FPGA 的开发流程	12
1.4.1	FPGA 设计方法概论	12
1.4.2	典型 FPGA 开发流程	13
1.4.3	FPGA 的配置	13
1.4.4	基于 FPGA 的 SoC 设计方法	17
第 2 章	硬件描述语言	21
2.1	VHDL 硬件描述语言	22
2.1.1	程序基本结构	22
2.1.2	VHDL 程序语法规则	31
2.1.3	并行语句	41
2.1.4	顺序语句	47
2.1.5	子程序及子程序调用语句	53
2.2	Verilog 硬件描述语言	55
2.2.1	Verilog HDL 程序基本结构	55
2.2.2	Verilog HDL 数据类型	57
2.2.3	Verilog HDL 运算符	59
2.2.4	Verilog HDL 描述语句	63
2.2.5	语句的顺序执行与并行执行	71
2.2.6	Verilog HDL 元件例化	72
第 3 章	Quartus Prime 设计开发环境	74
3.1	Quartus Prime 概述	74
3.2	Quartus Prime 设计流程	76
3.2.1	设计输入	76
3.2.2	设计处理	81
3.2.3	波形仿真	84

3.2.4	器件编程	93
3.3	嵌入式逻辑分析仪使用	95
第4章	基本电路的 HDL 设计	101
4.1	基本电路的 VHDL 设计	101
4.1.1	优先编码器	101
4.1.2	数据选择器	103
4.1.3	组合逻辑电路与并行语句、进程语句的关系	105
4.1.4	运算电路	106
4.1.5	时钟信号	110
4.1.6	锁存器和触发器	113
4.1.7	同步、异步信号描述	117
4.1.8	同步电路设计原则	119
4.1.9	计数器	120
4.1.10	分频电路	122
4.1.11	寄存器	123
4.1.12	状态机	130
4.1.13	动态扫描电路	136
4.2	基本电路的 Verilog 设计	139
4.2.1	优先编码器	139
4.2.2	译码器	140
4.2.3	数据选择器	141
4.2.4	运算电路设计	143
4.2.5	时钟信号	144
4.2.6	触发器	145
4.2.7	同步、异步控制信号	146
4.2.8	计数器	147
4.2.9	分频器	148
4.2.10	寄存器	150
4.2.11	串并转换电路	152
4.2.12	有限状态机	155
4.2.13	动态扫描电路	158
第5章	基于 IP 的设计	161
5.1	IP 核	161
5.2	触发器 IP 核的 VHDL 设计应用	162
5.3	存储器 IP 核的 VHDL 设计应用	166
5.4	锁相环 IP 核的 VHDL 设计应用	172
5.5	运算电路 IP 核的 VHDL 设计应用	174
第6章	人机交互接口设计	179
6.1	键盘扫描电路的 VHDL 设计	179
6.1.1	设计原理	179
6.1.2	设计实现	182

6.1.3	综合仿真	189
6.2	液晶驱动电路的 VHDL 设计	190
6.2.1	设计原理	190
6.2.2	设计实现	194
6.2.3	综合仿真	197
第 7 章	数字信号处理	199
7.1	差错控制电路的 VHDL 设计(CRC 校验电路)	199
7.1.1	设计原理	199
7.1.2	校验电路的 VHDL 实现	200
7.1.3	综合仿真	202
7.2	滤波电路的 VHDL 设计	204
7.2.1	设计原理	204
7.2.2	FIR 滤波电路的设计实现	204
7.2.3	综合仿真	207
7.3	HDB3 基带信号编译码电路的 VHDL 设计	209
7.3.1	设计原理	209
7.3.2	设计实现	211
7.3.3	综合仿真	219
第 8 章	密码算法设计	221
8.1	分组密码算法的 VHDL 设计(SM4)	221
8.1.1	SM4 算法原理	221
8.1.2	设计实现	224
8.1.3	仿真验证	230
8.2	流密码算法的 VHDL 设计(ZUC)	231
8.2.1	ZUC 算法原理	231
8.2.2	设计实现	236
8.2.3	仿真验证	244
8.3	HASH 算法的 VHDL 设计(SM3)	245
8.3.1	SM3 算法原理	245
8.3.2	设计实现	247
8.3.3	仿真验证	254
第 9 章	基于 Nios II 的 SOPC 系统开发	256
9.1	简介	256
9.1.1	SOPC 技术	256
9.1.2	Nios II 嵌入式处理器	258
9.1.3	Qsys 开发工具	259
9.2	SOPC 硬件开发	259
9.2.1	启动 Qsys	259
9.2.2	添加 Nios II 及外设 IP 模块	260
9.2.3	集成 Nios II 系统至 Quartus Prime	267
9.3	SOPC 软件系统开发	268

9.3.1 创建 Nios II 工程	269
9.3.2 设置工程的系统属性	272
9.3.3 程序编写及编译	273
9.3.4 代码调试及运行	275
附录 DES 算法的 S 盒	279
参考文献	281

1.1 可编程逻辑器件概述

可编程逻辑器件(Programmable Logic Device, PLD)是 20 世纪 70 年代发展起来的新型逻辑器件。可编程逻辑器件与传统逻辑器件的区别在于其功能不固定,属于一种半定制逻辑器件,可以通过软件的方法对其编程从而改变其逻辑功能。微电子技术的发展,使得设计与制造集成电路的任务已不完全由半导体厂商独立承担,系统设计师们可以在更短的设计周期里,在实验室里设计自己需要的专用集成电路(Application Specific Integrated Circuit, ASIC)芯片。对于可编程逻辑器件有一种说法“What you want is what you get”(所见即所得),这是 PLD 的一个优势。由于 PLD 可编程的灵活性以及近年来科技的快速发展,PLD 也正向高集成、高性能、低功耗、低价格的方向发展,并具备了与 ASIC 同等的性能。近几年可编程逻辑器件的应用有了突飞猛进的增长,被广泛地使用在各行各业的电子及通信设备里。现在的可编程逻辑器件的规模不断扩大,例如 Altera Stratix 10 系列单芯片,采用了 Altera 的 3D SiP 异构架构,整合了 550 万逻辑原件、HBM2 内存以及四核 ARM Cortex-A53 处理器,被视为下一代高性能 FPGA 的代表。

我们可以用图 1-1 描述 PLD 沿着时间推进的发展流程。

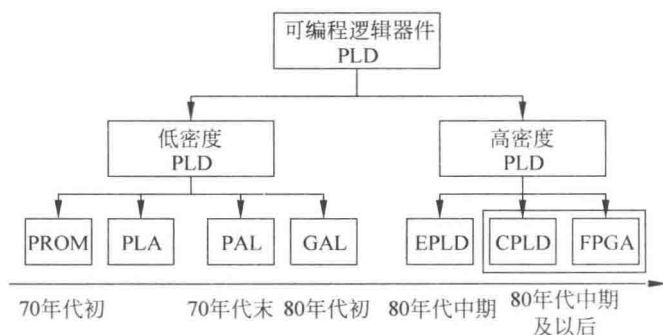


图 1-1 PLD 器件的发展流程

从集成度上,可以把 PLD 分为低密度和高密度两种类型,其中低密度可编程逻辑器件 LDPLD 通常指那些集成度小于 1000 逻辑门的 PLD。20 世纪 70 年代初期至 80 年代中期的 PLD,如 PROM(Programmable Read Only Memory)、PLA(Programmable Logic

Array)、PAL(Programmable Array Logic)和 GAL(Generic Array Logic)均属于 LDPLD。低密度 PLD 与中小规模集成电路相比,有着集成度高、速度快、设计灵活方便、设计周期短等优点,因此在推出之初得到了广泛的应用。

低密度 PLD 的基本结构参考图 1-2,它是根据逻辑函数的构成原则提出的,由输入缓冲、与阵列、或阵列和输出结构等四部分组成。其中,由与门构成的与阵列用来产生乘积项,由或门构成的或阵列用来产生乘积项之和,因此,与阵列和或阵列是电路的核心。输入缓冲电路可以产生输入变量的原变量和反变量,输出结构相对于不同的 PLD 差异很大,有组合输出结构、时序输出结构、可编程的输出结构等。输出信号往往可以通过内部通路反馈到与阵列,作为反馈输入信号。虽然与/或阵列的组成结构简单,但是所有复杂的 PLD 都是基于这种原理发展而来的。根据与阵列和或阵列可编程性,将低密度 PLD 分为上述四种基本类型,如表 1-1 所示。

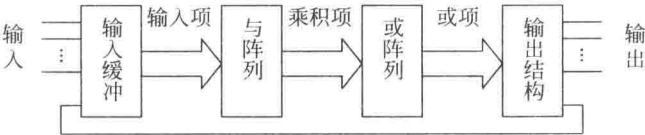


图 1-2 PLD 器件原理结构图

表 1-1 低密度 PLD 器件

PLD 类型	阵 列		输 出
	与	或	
PROM	固定	可编程,一次性	三态,集电极开路
PLA	可编程,一次性	可编程,一次性	三态,集电极开路寄存器
PAL	可编程,一次性	固定	三态 I/O 寄存器互补带反馈
GAL	可编程,多次性	固定或可编程	输出逻辑宏单元,组态由用户定义

但随着科学技术发展,低密度 PLD 无论是资源、I/O 端口性能,还是编程特性都不能满足实际需要,已被淘汰。高密度可编程逻辑器件 HDPLD 通常指那些集成度大于 1000 门的 PLD。20 世纪 80 年代中期以后产生的 EPLD(Erasable Programmable Logic Device)、CPLD(Complex Programmable Logic Device)和 FPGA(Field Programmable Gate Array)均属于 HDPLD。EPLD 结构上类似 GAL。EPLD 与 GAL 相比,无论是与阵列的规模还是输出逻辑宏单元的数目都有了大幅度的增加,EPLD 的缺点主要是内部互连能力较弱。

复杂可编程逻辑器件 CPLD(Complex PLD)和现场可编程门阵列 FPGA(Field Programmable Gate Array)是目前可编程逻辑器件的两种主要类型。其中复杂可编程逻辑器件 CPLD 的结构包含可编程逻辑宏单元、可编程 I/O 单元和可编程内部连线等几部分。在 CPLD 中数目众多的逻辑宏单元被排成若干个阵列块,丰富的内部连线为阵列块之间提供了快速、具有固定时延的通路。Xilinx 公司的 XC7000 和 XC9500 系列,Lattice 公司的 ispLSI 系列,Altera 公司的 MAX9000 系列,以及 AMD 公司的 MACH 系列都属于 CPLD。

现场可编程门阵列 FPGA 结构包含可编程逻辑块、可编程 I/O 模块和可编程内连线。可编程逻辑块排列成阵列,可编程内连线围绕着阵列。通过对内连线编程,将逻辑块有效地组合起来,实现逻辑功能。FPGA 与 CPLD 之间主要的差别是 CPLD 修改具有固定内连电

路的逻辑功能进行编程,而 FPGA 则是通过修改内部连线进行编程。许多器件公司都有自己的 FPGA 产品。例如,Xilinx 公司的 Spartan 系列和 Virtex 系列,Altera 公司的 Stratix 系列和 Cyclone 系列,Actel 公司的 axcelerator 系列等。

在这两类可编程逻辑器件中,FPGA 提供了最高的逻辑密度、最丰富的特性和最高的性能。而 CPLD 提供的逻辑资源相对较少,但是其可预测性较好,因此对于关键的控制应用 CPLD 较为理想。简单地说,FPGA 就是将 CPLD 的电路规模、功能、性能等方面强化之后的产物。FPGA 与 CPLD 的区别如表 1-2 所示。

表 1-2 FPGA 与 CPLD 的主要区别

项 目	CPLD	FPGA
组合逻辑的实现方法	乘积项 (product-term), 查找表 (Look up table, LUT)	查找表 (look up table, LUT)
编程元素	非易失性 (Flash, EEPROM)	易失性 (SRAM)
特点	非易失性, 立即上电, 上电后立即开始运行, 可在单芯片上运作	内建高性能硬件宏功能: PLL、存储器模块、DSP 模块、高集成度、高性能、需要外部配置 ROM
应用范围	偏向于简单的控制通道应用以及逻辑连接	偏向于较复杂且高速的控制通道应用以及数据处理
集成度	小至中规模	中至大规模

PLD 生产厂商众多,有 Xilinx、Altera、Actel、Lattic、Atmel 等,其中以 Xilinx 和 Altera 的产品较有代表性,且占有绝大部分的市场份额。不同公司的 PLD 产品结构不同,且有高端产品系列之分,因此没有可比性,产品设计时可根据具体的需求来决定。

目前,可编程逻辑器件产业正以惊人的速度发展,可编程逻辑器件在逻辑器件市场的份额正在增长。高密度的 FPGA 和 CPLD 作为可编程逻辑器件的主流产品,继续向着高密度、高速度、低电压、低功耗的方向发展,并且 PLD 厂商开始注重在 PLD 上集成尽可能多的系统级功能,使 PLD 真正成为系统级芯片 SoC(System On Chip),用于解决更广泛的系统设计问题。

1.2 FPGA 芯片

1.2.1 FPGA 框架结构

尽管 FPGA、CPLD 和其他类型 PLD 的结构各有其特点和长处,但概括起来,它们是由三大部分组成的:①可编程输入/输出模块 I/OB。位于芯片内部四周,主要由逻辑门、触发器和控制单元组成。在内部逻辑阵列与外部芯片封装引脚之间提供一个可编程接口。②可配置逻辑模块 CLB(Configurable Logic Block)。FPGA 的核心阵列,用于构造用户指定的逻辑功能,每个 CLB 主要由查找表 LUT(Look Up Table)、触发器、数据选择器和控制单元组成。③可编程内部连线 PI(Programmable Interconnect)。位于 CLB 之间,用于传递信息,编程后形成连线网络,提供 CLB 之间、CLB 与 I/OB 之间的连线。其结构框图如图 1-3 所示。

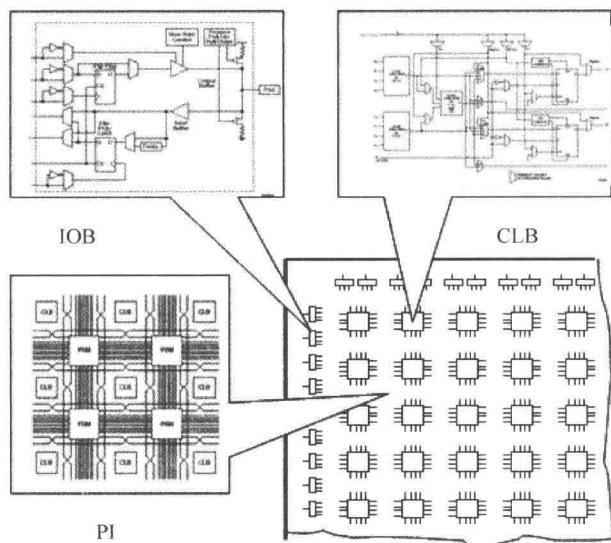


图 1-3 典型的 FPGA 框图

由表 1-2 可知,FPGA 中组合逻辑的实现方法是基于查找表 LUT 构成的,即 CLB 中的查找表主要完成组合逻辑的功能。LUT 本质上就是一个 RAM。一个 n 输入查找表可以实现 n 个输入变量的任何组合逻辑功能,如 n 输入“与”、 n 输入“异或”等。一个 n 输入的组逻辑函数,其值有 2^n 个可能的结果,把这些可能的结果计算出来,并存放在 2^n 个 SRAM 单元中,而 n 个输入线作为 SRAM 的地址线,所以按地址可以输出对应单元的结果。输入大于 n 的组合逻辑必须分开用几个查找表 LUT 实现。目前 FPGA 中多使用 4 输入的 LUT,所以每一个 LUT 可以看成是一个有 4 位地址线的 16×1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路以后,FPGA 开发软件会自动计算逻辑电路所有可能的输出,并把输出结果事先写入 RAM,这样,每输入一个信号进行逻辑运算就等于输入一个地址进行查表,找出地址对应的内容,然后输出即可。

下面以一个 4 输入与门为例介绍其对应的 4 输入 LUT,如图 1-4 所示。由于四输入与门只有在四个输入信号 a 、 b 、 c 、 d 均为 1 的情况下,其输出才为 1,其余情况输出均为 0。因此其对应的 4 输入 LUT 内部的 RAM 中,只有地址为 1111 的单元的存储值 1,其余地址单元:0000~1110 的存储内容均为 0。

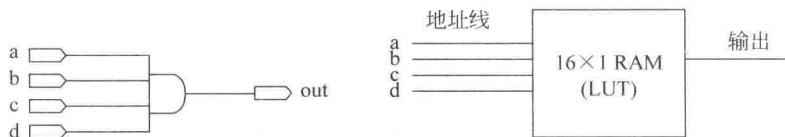


图 1-4 4 输入与门与 4 输入 LUT

以 Altera 的 FLEX/ACEX 芯片为例,结构如图 1-5 所示。其中四周为可编程的输入输出单元 IOE,灰色为可编程行/列连线,中间为可编程的逻辑阵列块 LAB(Logic Array Block),以及 RAM 块(图中未表示出)。在 FLEX/ACEX 中,一个 LAB 包括 8 个逻辑单元 (LE),每个 LE 包括一个 LUT、一个触发器和相关逻辑。LE 是 Altera FPGA 实现逻辑的

最基本结构,如图 1-6 所示,具体性能请参阅数据手册。

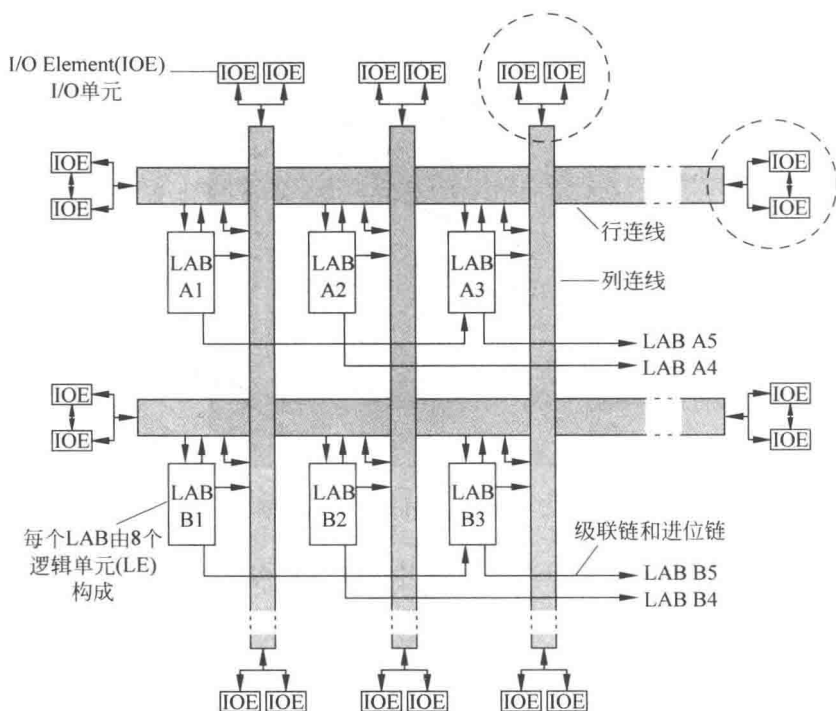


图 1-5 Altera FLEX/ACEX 芯片的内部结构

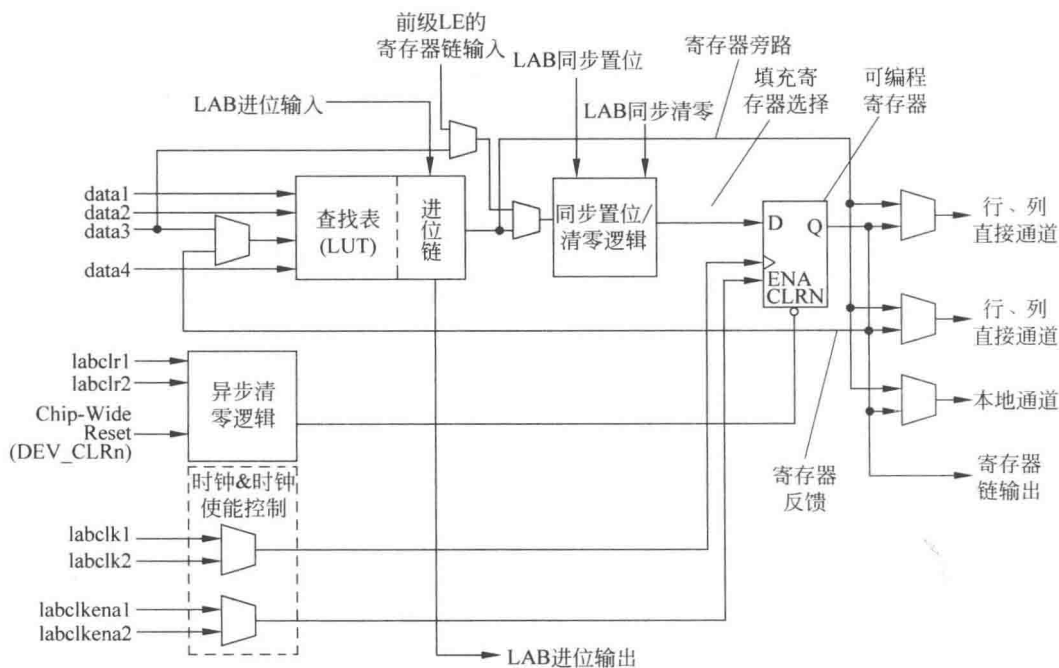


图 1-6 Cyclone IV 逻辑单元 (LE) 内部结构