

专著

ZHUANZHU

基于ARM_FPGA的PLC系统原理

潘绍明 蔡启仲 李克俭 著

ZHUANZHU

西北工业大学出版社

JIYU ARM_FPGA DE PLC XITONG YUANLI

基于 ARM_FPGA 的 PLC 系统原理

潘绍明 蔡启仲 李克俭 著

西北工业大学出版社

西 安

【内容简介】 本书根据高等教育的特点和职业教育人才培养目标,理论与实际相结合,详细介绍 CL 型 PLC,采用 ARM 和 FPGA 双处理器架构,充分利用 ARM 和 FPGA 两者的优势,以 ARM 为控制中心,FPGA 和 ARM 协同工作,运用 FPGA 高速的并行运算性能。具体内容包括结构、指令系统的静态编译和动态编译、PLC 主机、手持编程装置、上位机编程软件以及系统的通信协议等。

本书可作为高等院校、电气类科研机构培训教材,也可供从事自动化控制装置研究的教师、科研人员、研究生等自学参考。

图书在版编目(CIP)数据

基于 ARM_FPGA 的 PLC 系统原理/潘绍明,蔡启仲,
李克俭著. —西安:西北工业大学出版社,2017.5
ISBN 978-7-5612-5349-6

I. ①基… II. ①潘… ②蔡… ③李… III. ①PLC
技术 IV. ①TM571.61

中国版本图书馆 CIP 数据核字(2017)第 098966 号

策划编辑:李 萌

责任编辑:王 尧

出版发行:西北工业大学出版社

通信地址:西安市友谊西路 127 号 邮编:710072

电 话:(029)88493844 88491757

网 址:www.nwpup.com

印 刷 者:兴平市博闻印务有限公司

开 本:787 mm×1 092 mm 1/16

印 张:14.625

字 数:356 千字

版 次:2017 年 5 月第 1 版 2017 年 5 月第 1 次印刷

定 价:42.00 元

前 言

作为工业生产自动化的一大支柱,PLC已由最初的一位机发展到现在的以16位和32位微处理器构成的微机化PC,而且实现了多处理器的多通道处理。CL型PLC采用ARM和FPGA设计,充分利用ARM和FPGA两者的优势,以ARM为控制中心,FPGA和ARM协同工作,运用FPGA高速的并行运算性能,设计适应并行运算的PLC逻辑运算指令系统,由ARM系统对PLC程序的指令序列进行编译,能够提高PLC指令执行的效率和速度。

本书重点介绍CL型PLC的特点以及系统组成,内容包括系统结构、指令系统静态编译和动态编译、PLC主机、手持编程装置、上位机编程软件以及系统的通信协议等。本书是笔者近几年在PLC方面的研究成果。全书共分7章,第1章概述CL型PLC的结构特点;第2章介绍CL型PLC的指令系统;第3章详细讲解CL型PLC指令的静态编译和动态编译;第4章介绍CL型PLC主机结构;第5章分析介绍CL型PLC通信系统;第6章对CL型PLC手持式编程装置进行讲解说明;第7章介绍CL型PLC程序PC编辑软件。其中第1,4~7章由潘绍明撰写,第2章由蔡启仲撰写,第3章由李克俭撰写。

在本书的成书过程中,得到了广西科技大学电气学院领导和西北工业大学出版社领导的大力支持。本书撰写中参考了部分资料,在此对原作者一并表示衷心的感谢。

由于水平有限,书中疏漏和不妥之处在所难免,恳请广大读者给予指正,不胜感激!

作 者

2016年10月

目 录

第 1 章 绪论	1
1.1 PLC 的发展	1
1.2 CL 型 PLC 的结构特点	1
第 2 章 CL 型 PLC 的指令系统	4
2.1 基本指令编码	4
2.2 其他基本指令与步进指令编码	8
2.3 流向控制指令	9
2.4 数据传输与比较	12
2.5 算术运算和逻辑运算	31
2.6 循环与移位	52
2.7 其他应用指令	65
2.8 CL 型 PLC 指令举例	74
第 3 章 CL 型 PLC 指令的静态编译和动态编译	79
3.1 ARM 存储空间分配	80
3.2 静态编译	83
3.3 静态编译的实现方法	84
3.4 基本指令的静态编译	87
3.5 应用指令的静态编译	106
3.6 基本指令和应用指令的动态编译	109
第 4 章 CL 型 PLC 主机结构	116
4.1 CL 型 PLC 主机硬件平台	116
4.2 ARM_FPGA 双口 RAM 结构	118
4.3 PLC 各存储区的数据配置	119
第 5 章 CL 型 PLC 通信系统	129
5.1 通信结构	129

5.2	通信协议设计	130
5.3	上电通信流程	132
5.4	PLC 主机发送与接收通信流程	133
第 6 章	CL 型 PLC 手持式编程装置	155
6.1	手持式编程装置功能	155
6.2	硬件结构	155
6.3	CL 型 PLC 编程装置的软件结构	156
6.4	PLC 编程装置的硬件电路	158
6.5	编程装置的软件	161
6.6	编译与反编译设计	167
6.7	数据的存储设计	178
6.8	界面的设计	185
6.9	通信接口	193
第 7 章	CL 型 PLC 程序 PC 编辑软件	199
7.1	开发环境	199
7.2	软件结构	199
7.3	软件功能	200
7.4	编辑界面	201
7.5	编译模块	205
7.6	编译与反编译	210
7.7	梯形图转换为指令表的算法	216
7.8	程序下载	220
参考文献		228

第 1 章 绪 论

1.1 PLC 的发展

PLC(Programmable Logical Controller,可编程控制器)是一种数字式电子系统,专门为在工业环境应用而设计。PLC 采用可编程的存储器,用来在其内部存储程序,执行逻辑运算、顺序控制、定时、计数和算术运算等功能的面向用户的指令,并通过数字式或模拟式的输入和输出,控制各种类型的机械或生产过程。PLC 及其相关外部设备,都应按照易于与工业控制系统联成一个整体、易于扩展其功能的原则而设计。PLC 作为一种工业自动控制装置,由于具有编程简单、扩展容易、抗干扰性强、稳定性高等优点,被广泛运用于工业控制的各个领域,极大地促进了工业自动化的发展。

随着嵌入式技术的兴起,极大地促进了我国 PLC 技术的发展,各科研部门、研究机构也做了大量的工作,并取得了一定的成绩。现已有单独使用 32 位 ARM 微处理器设计的 PLC,也有单独使用 FPGA 设计的 PLC,还有利用通用计算机设计的软 PLC。但是把 ARM 微处理器和 FPGA 两者结合起来设计的 PLC 还未见有成熟的产品。

ARM 微处理器具有功耗低、处理速度快、体积小、成本低的特点,在嵌入式领域一直有着广泛的运用。目前比较流行的 ARM 版本有 ARMv4,ARMv5,ARMv6,ARMv7。ARMv7 是 ARM 比较新的构架。而 Cortex-M3 作为 ARMv7 版本的产品,更适合于低功耗、高性能、低成本的工业控制。新型 CL 型 PLC 的 ARM 部分采用 Cortex-M4 构架的 STM32F4 芯片设计。

FPGA(Field Programmable Gate Array),即现场可编程门阵列,是一种可编程的数字芯片,用户可以根据自己的需求来改变配置信息对其功能进行定义。FPGA 具有可编程、高速、高可靠性、高集成度等优点,通过配置芯片内部的逻辑功能以及输入输出端口,将原来的电路板级的设计放在一块芯片中,从而提高了电路的性能,降低了电路设计和调试的难度,缩短了产品的开发周期,有效地提高了电路设计的灵活性和效率。与 ASIC(Application Specific Integrated Circuit)相比,FPGA 可以缩短开发周期,减少前期投资风险,并且硬件升级空间大;与通用 DSP(Digital Signal Processing)器件相比,FPGA 利用并行架构实现 DSP 功能,在不少应用场合性能可超过通用 DSP 处理器的串行执行架构。

1.2 CL 型 PLC 的结构特点

采用 ARM 和 FPGA 设计的 CL 型 PLC,充分利用 ARM 和 FPGA 两者的优势,以 ARM 为控制中心,FPGA 和 ARM 协同工作,运用 FPGA 高速的并行运算性能,设计适应并行运算的 PLC 逻辑运算指令系统,由 ARM 系统对 PLC 程序的指令序列进行编译,能够提高 PLC 指

令的执行效率和速度。在 ARM 实现对自身存储器数据正确配置的同时,通过总线接口与数据交换协议实现对 FPGA 中定时器、计数器、PLC 输入信息采集和输出信息控制模块、逻辑运算控制器等并行控制模块数据的正确配置。

在 PLC 用户程序下载到 ARM 中后,ARM 需要对 PLC 源程序进行编译,以生成 PLC 中 FPGA 部分能够识别的机器码。首先,ARM 需要对 PLC 源程序进行静态编译,这次编译在 PLC 用户程序下载后只执行一次。静态编译一方面根据 PLC 用户程序的内容对 PLC 运行环境进行初始化,比如 PLC 软元件映像区、部分 PLC 寄存器等;另一方面对 PLC 源程序进行预处理。然后,在 PLC 用户程序的执行过程中,ARM 要结合 PLC 的输入输出、运行状态对静态编译的结果进行动态编译,生成 FPGA 部分能够识别的机器码。PLC 的数据配置以及 FSMC 总线接口与 PLC 的静态编译和动态编译紧密相关。PLC 的数据配置存在于静态编译和动态编译整个过程中,而动态编译生成的机器码又需要通过 FSMC 总线接口对 FPGA 进行数据配置。ARM 不仅要对自身所连接的存储器进行数据配置,而且要对 FPGA 中定时器、计数器、PLC 输入信息采集和输出信息控制模块、逻辑运算控制器等并行控制模块进行数据配置。而 FPGA 也需要把 ARM 所需要的数据传输给 ARM。因此,ARM 与 FPGA 之间协调、有序、高速的数据传输依赖于 ARM 与 FPGA 间总线接口电路和数据交换协议的设计以及 PLC 内部数据的正确配置。

为了满足 CL 型 PLC 系统 ARM 与 FPGA 间协调工作、高速通信的需要,ARM 和 FPGA 采用 FSMC 的总线方式进行通信。在 ARM 实现对自身存储器数据正确配置的同时,通过 FSMC 总线接口与数据交换协议实现对 FPGA 中定时器、计数器、PLC 输入信息采集和输出信息控制模块、逻辑运算控制器等并行控制模块数据的正确配置。

采用 ARM 和 FPGA 设计的 CL 型的 PLC 的系统组成如图 1-1 所示。

CL 型 PLC 系统除了由 ARM 和 FPGA 共同组成 PLC 主机外,还包括手持编程器、人机界面、上位机等外部设备,它们通过同一条 CAN 总线和 PLC 主机连接通信,构成了一个 CAN 总线网络。

以下介绍 PLC 系统中各部分的功能和特点。

1. PLC 主机的 ARM 部分

ARM 是 PLC 主机的重要组成部分,主要负责 PLC 用户源程序的下载,与上位机及人机界面等外部设备的通信,PLC 用户源程序的静态编译和动态编译,以及对 FPGA 和自身相关数据的配置等工作。在用户源程序由上位机软件或手持编程器下载到 ARM 系统后,ARM 需要把用户源程序下载到 FLASH 中,然后对用户源程序进行静态编译,静态编译一方面把用户源程序中的软元件转换成地址,以便在动态编译中读写软元件信息,另一方面提取用户程序中的部分配置参数,保存到存储器后,对系统进行静态数据配置。静态编译完成后,通过动态编译对静态编译后的指令进行取指令、分析指令和执行指令操作,完成对自身存储器和 FPGA 的动态数据配置。

2. PLC 主机的 FPGA 部分

FPGA 作为 PLC 主机的重要组成部分,主要负责基本指令的执行、PLC 的输入采集和输出刷新、定时器的定时以及计数器的计数等功能。ARM 对 FPGA 的数据配置是通过 FPGA 内设计的双口 RAM 进行的。

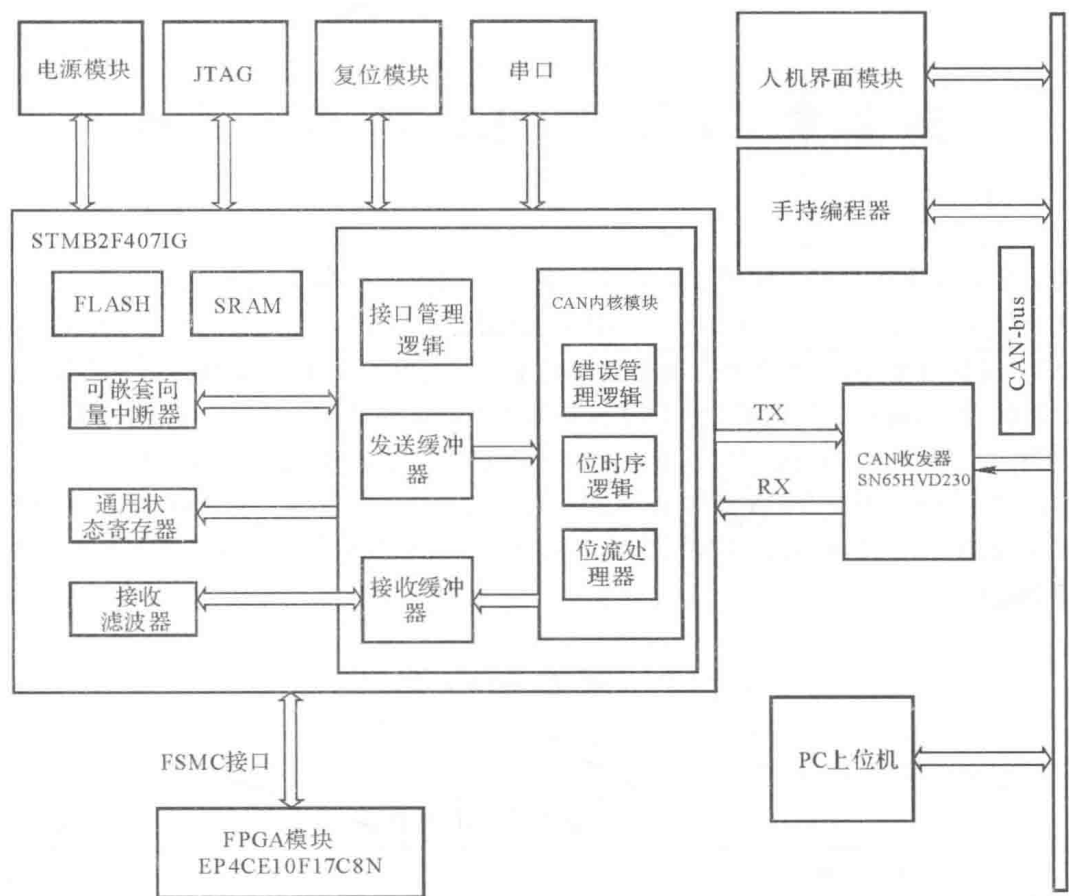


图 1-1 CL 型 PLC 系统组成

3. 上位机

上位机用于 PLC 用户程序的编写,以及把用户程序按照设计的指令编码表转换成二进制代码,然后下载到 ARM 中已分配好的 PLC 源程序存储区。此外,PLC 主机还可以监视 PLC 主机的软元件状态,并修改 PLC 的部分参数。

4. 人机界面

PLC 的人机界面主要是为 PLC 的实际应用而开发设计的。有些应用需要 PLC 提供人机界面功能,通过人机界面来监控系统的运行。这些人机界面需要根据不同的应用而开发定制。

5. 手持编程器

手持编程器可以编辑 PLC 用户程序,然后下载到 PLC 主机中。手持编程器体积小,携带方便,主要是为了便于在工业控制现场快速地编辑调试 PLC 程序。

第2章 CL 型 PLC 的指令系统

为了提高指令运行速度和工作效率,CL 型 PLC 设计了一套 32 位的指令系统,方便 ARM 和 FPGA 来执行指令。CL 型 PLC 指令编码不仅可以缩短 PLC 指令表程序,还可以加快指令在 PLC 中的执行速度,一些指令的功能也得到了加强。比如,LD 指令在传统的 PLC 指令中代表母线的开始,而 CL 型 PLC 的 LD 指令则有 LD 指令和 AND 指令的功能,LDR 指令则有 LD 和 OR 指令的功能,并且 LD,LDR,OR,AND 都可以带有多个操作数,而且 CL 型 PLC 指令中的常闭、下降沿和上升沿的标志都在软元件后表示,比如 X,XI,XP,XF 分别代表软元件 X 为常开、常闭、上升沿检测、下降沿检测。CL 型 PLC 指令的编码基本格式由操作码和操作数两部分组成。

2.1 基本指令编码

CL 型 PLC 基本指令编码见表 2-1。

表 2-1 基本指令编码总表

编号	基本指令编码			指令名称	功能	辅助符号	等效指令	备注
	D31~D28	D27	D26~D22					
1	0001 ⋮ 0101	0		LD	带公共母线与	常开:无符号 常闭:I 上升沿:P 下降沿:F	LD LDI LDP LDF	至少 1 个操作数
2	0001 ⋮ 0101	1		LDR	带公共母线或	同上	LDR,LDRI LDRP,LDRF	至少 1 个操作数
3	1001 ⋮ 1101	0		AND	与	同上	AND,ANI ANP,ANF	至少 1 个操作数
4	1001 ⋮ 1101	1		OR	或	同上	OR,ORI ORP,ORF	至少 1 个操作数
5		000000		NOP	空操作			
6		000001		MPS	入栈			

续 表

编号	基本指令编码			指令名称	功能	辅助符号	等效指令	备注
	D31~D28	D27	D26~D22					
7	0110		000010	MRD	出栈			无操作数
8			000011	MPP	出栈并复位			
9			000100	ANB	块与			
10			000101	ORB	块或			
11			000110	INV	运算结果取反			
12			000111	END	结束			
						D21~D19		
13			001000	SET	置位	000~010		1 个操作数
14			001001	RST	复位	000~111		
15			001010	PLS	上升沿	000~001		
16			001011	PLF	下降沿	000~001		
17			010000	OUT	输出	000~010		
18			001110	MCR	清除主控			N 级号
19			001101	MC	主控			N 级号
20			001111	STL	步进开始			1 个操作数
21			001100	RET	步进结束返回			无操作数

2.1.1 LD,OR,LDR,AND 带 1 个操作数指令编码(见表 2-2)

表 2-2 基本指令的带 1 个操作数指令编码

指令	指令编码/第 1 操作数								
位数	D31~D28	D27	D26 D25	D24 D23	D22~D17	D16	D15	D14~D13	D12~D0
LD 或 LDR	0001	0 LD 1 LDR	D26~D17: 1 024 个 MI 位地址			00:常开 01:I,常闭 10:P,常开上升沿 11:F,常开下降沿		11:结束	无关项(置 1)
	0010		D26~D16: 2 048 个 MII 位地址				0:常开 1:I		

续 表

指令	指令编码/第 1 操作数								
位数	D31~D28	D27	D26 D25	D24 D23	D22~D17	D16	D15	D14~D13	D12~D0
	0011		00	256 个 S 位地址		00:常开 01:I,常闭 10:P,常开上升沿 11:F,常开下降沿			
	0100		00	00	64 个 X				
			01	00	Y				
	0101		00	256 个 T 位地址					
			01	256 个 C 位地址					
	0110	其他基本指令和步进指令							
	0111	应用指令							
OR 或 AND	1001	0 AND 1 OR	D26~D17: 1 024 个 MI 位地址			00:常开 01:I,常闭 10:P,常开上升沿 11:F,常开下降沿		11:结束	无关项(置 1)
	1010		D26~D16: 2 048 个 MII 位地址				0:常开 1:I		
	1011		00	256 个 S 位地址		00:常开 01:I,常闭 10:P,常开上升沿 11:F,常开下降沿			
	1100		00	00	64 个 X				
	1101		01	00	Y				
			00	256 个 T 位地址					
			01	256 个 C 位地址					
	0000	备用							
	1111								

2.1.2 LD,OR,LDR,AND 带 2 个以上的操作数指令编码(见表 2-3)

表 2-3 基本指令的带 2 个操作数指令编码

指令	指令编码/第 1 操作数							指令编码/第 2 操作数							
位数	D31~D28	D27	D26 D25	D24 D23	D22~D17	D16	D15	D14~D13	D12 D11	D10 D9	D8~D3	D2	D1	D0	
LD 或 LDR	0001	0 LD	D26~D17: MI 位地址			00:常开 01:I 10:P 11:F		00:MI	1 024 个位地址			00:常开 01:I 10:P 11:F		0: 指令 未 结 束	
	0010		D26~D16:MII 位地址			0:常开 1:I		01:MII	2 048 个位地址			0:常开 1:I			
	0011	1 LDR	00	256 个 S 位地址		00:常开 01:I 10:P 11:F		10:X Y S T C	00: X,Y	00:X	64 个位地址	00:常开 01:I 10:P 10:F		1: 指令 结 束	
	0100		00	00	64 个 X				10:Y	01:S					256 个 S 位地址
			01	00	Y				10:T	256 个位地址					
	0101		00	256 个 T 位地址					01	C 位地址					11:C
		其他基本指令和步进指令													
	0110														
	0111	应用指令													
OR 或 AND	1001	0 AND	D26~D17: MI 位地址			00:常开 01:I 10:P 11:F		00:MI	1 024 个位地址			00:常开 01:I 10:P 11:F		0: 指令 未 结 束	
	1010		D26~D16:MII 位地址			0:常开 1:I		01:MII	2 048 个位地址			0:常开 1:I			
	1011	1 OR	00	256 个 S 位地址		00:常开 01:I 10:P 11:F		10:X Y S T C	00: X,Y	00:X	64 个位地址	00:常开 01:I 10:P 11:F		1: 指令 结 束	
	1100		00	00	64 个 X				10:Y	01:S					256 个 S 位地址
			01	00	Y				10:T	256 个位地址					
	1101		00	256 个 T 位地址					01	C 位地址					11:C
		OUT(T/C)													
	1110														
	1111	备用													

注:第 2 操作数类型根据指令要求确定,可以是 MI,MII,S,X,Y,T,C 中的任意一种。

2.2 其他基本指令与步进指令编码

CL 型 PLC 其他基本指令与步进指令编码见表 2-4。

表 2-4 基本指令的带 2 个操作数(双操作数)指令编码

		D31~D28	D27~D22	D21~D19	D18	D17~D14	D13~D12	D11~D8	D7~D6	D5~D3	D2~D0	
无操作数	0110	000000(NOP)		置 1								
		000001(MPS)										
		000010(MRD)										
		000011(MPP)										
		000100(ANB)										
		000101(ORB)										
		000110(INV)										
		000111(END)										
单操作数	0110	001000(SET)		000:Y	置 1				位地址			
				001:M	置 1			位地址				
				010:S	置 1				位地址			
		001001(RST)		000:Y	置 1					位地址		
				001:M	置 1			位地址				
				010:S	置 1					位地址		
				011:T	置 1					位地址		
				100:C	置 1					位地址		
				101:D	置 1		位地址					
				110:V	置 1							位地址
				111:Z	置 1							位地址
		001010(PLS)	000:Y	置 1						位地址		
		001011(PLF)	001:M	置 1			位地址					
		010000(OUT)		000:Y	置 1					位地址		
				001:M	置 1			位地址				
				010:S	置 1				位地址			
双操作数	1110 (OUT)	00(T)K	位地址(8 位)		1	初值(17 位)						
		01(T)D	位地址(8 位)		置 1		D 编号					
		10(C)K	位地址(8 位)		1	初值(7 位)						
		11(C)D	位地址(8 位)		置 1		D 编号					
主控	0110	001101(MC)		N 编号 (0-7)	0:Y	置 1				位地址		
				1:M	置 1			位地址				
		001110(MCR)		N 编号 (0-7)	置 1							
步进梯形图指令	0110	001111(STL)		置 1					S 位地址			
		001100(RET)		置 1								

2.3 流向控制指令

1. 条件跳步

指令的功能:使程序转移到指针所标位置;
指令助记符:CJ,CJ(P);
说明:用一个 32 位二进制数表示。

指令名称	功能号	指令编码		脉冲执行方式	备用	转移地址
		D31~D28	D27~D20	D19	D18~D7	D6~D0
条件跳步	00	0111	00000000	0 CJ 1 CJ(P)	置 1	P0~127

2. 子程序调用

指令的功能:调用执行子程序;
指令助记符:CALL,CALL(P);
说明:用一个 32 位二进制数表示。

指令名称	功能号	指令编码		脉冲执行方式	备用	转移地址
		D31~D28	D27~D20	D19	D18~D7	D6~D0
子程序调用	01	0111	00000001	0 CALL 1 CALL(P)	置 1	P0~127

3. 子程序返回

指令的功能:从子程序返回执行;
指令助记符:SRET;
说明:用一个 32 位二进制数表示。

指令名称	功能号	指令编码		备注
		D31~D28	D27~D20	D20~D0
子程序返回	02	0111	00000010	置 1

4. 中断返回

指令的功能:从中断子程序返回运行;
指令助记符:IRET;
说明:用一个 32 位二进制数表示。

指令名称	功能号	指令编码		备注
		D31~D28	D27~D20	
中断返回	03	0111	00000011	置 1

5. 开中断

指令的功能:允许中断;
指令助记符:EI;
说明:用一个 32 位二进制数表示。

指令名称	功能号	指令编码		备注
		D31~D28	D27~D20	
开中断	04	0111	00000000	置 1

6. 关中断

指令的功能:禁止中断;
指令助记符:DI;
说明:用一个 32 位二进制数表示。

指令名称	功能号	指令编码		备注
		D31~D28	D27~D20	
关中断	05	0111	00000101	置 1

7. 主程序结束

指令的功能:主程序结束;
指令助记符:FEND;
说明:用一个 32 位二进制数表示。

指令名称	功能号	指令编码		备注
		D31~D28	D27~D20	
主程序结束	06	0111	00000110	置 1

8. 警戒时钟刷新

指令的功能:警戒时钟刷新;
指令助记符:WDT,WDT(P);
说明:用一个 32 位二进制数表示。

指令名称	功能号	指令编码		备注	
		D31~D28	D27~D20	D19	
警戒时钟刷新	07	0111	00000111	0 WDT 1 WDT(P)	置 1

9. 循环开始

指令的功能:循环开始;

指令助记符:FOR;

说明:用一个 32 位二进制数表示;FOR 循环次数取值范围为 1~32 767。

指令名称	功能号	指令编码		软元件	转移地址	备注	
		D31~D28	D27~D20	D19~D16			
循环开始	08	0111	00001000	0000 T	D15~D8 T 位地址	D7~D0 置 1	
				0001 C	D15~D8 C 位地址	D7~D0 置 1	
				0010 D	D15~D3 D 地址	D2~D0 置 1	
				0011 K	D15~D1 0~32767	D0 置 1	
				0100 H	D15~D3 0~8000	D2~D0 置 1	
				0101 V	D15~D13 V0~V7	D12~D0 置 1	
				0110 Z	D15~D13 Z0~Z7	D12~D0 置 1	
				0111 K _n X	D15~D10 X 位地址	D9~D7 n 值	D6~D0 置 1
				1000 K _n Y	D15~D10 Y 位地址	D9~D7 n 值	D6~D0 置 1
				1001 K _n S	D15~D8 S 位地址	D7~D5 n 值	D4~D0 置 1
				1010 K _n MI	D15~D6 MI 位地址	D5~D3 n 值	D2~D0 置 1
				1011 K _n MII	D15~D5 MII 位地址	D4~D2 n 值	D1~D0 置 1

10. 循环结束

指令的功能:循环结束;

指令助记符:NEXT;