



学校规划教材·自动化系列

电子设计自动化

EDA技术

主 编◎张 东 杨守良
副主编◎胡勤国 杨保亮



北京师范大学出版集团
BEIJING NORMAL UNIVERSITY PUBLISHING GROUP
北京师范大学出版社

规划教材·自动化系列

电子设计自动化

EDA技术

DIANZI SHEJI ZIDONGHUA (EDA JISHU)

主 编◎张 东 杨守良

副主编◎胡勤国 杨保亮



图书在版编目(CIP)数据

电子设计自动化: EDA 技术/张东主编. —北京: 北京师范大学出版社, 2017. 8

新世纪高等学校规划教材·自动化系列

ISBN 978-7-303-22806-5

I. ①电… II. ①张… III. ①电子电路—电路设计—计算机辅助设计—高等学校—教材 IV. ①TN702

中国版本图书馆 CIP 数据核字(2017)第 215918 号

营销中心电话 010-62978190 62979006
北师大出版社科技与经管分社 www.jswsbook.com
电子邮箱 jswsbook@163.com

出版发行: 北京师范大学出版社 www.bnup.com
北京市海淀区新街口外大街 19 号
邮政编码: 100875

印 刷: 三河市东兴印刷有限公司
经 销: 全国新华书店
开 本: 787 mm×1092 mm 1/16
印 张: 14.5
字 数: 310 千字
版 次: 2017 年 8 月第 1 版
印 次: 2017 年 8 月第 1 次印刷
定 价: 29.00 元

策划编辑: 李 丹	责任编辑: 李 丹
美术编辑: 刘 超	装帧设计: 刘 超
责任校对: 赵非非	责任印制: 赵非非

版权所有 侵权必究

反盗版、反侵权举报电话: 010-62978190

北京读者服务部电话: 010-62979006-8021

外埠邮购电话: 010-62978190

本书如有印装质量问题, 请与印制管理部联系调换。

印制管理部电话: 010-62979006-8006

前 言

本书采用教、学、做相结合的教学模式，以提高实际工程应用能力为目的，通过实例引入，深入浅出地介绍 EDA 技术、VHDL 硬件描述语言和 FPGA 开发应用等相关知识，并给出了丰富的设计实例，使读者在学习完本书内容并完成推荐的实验后，能够初步了解和掌握 EDA 的基本内容及实用技术。

本着“理论够用、突出应用”的宗旨，本书专为培养“技术能手”型学生编写。在编写过程中，作者总结了多年来的教学经验，力求在内容编排、结构设计、理论教学与实践教学等方面充分体现应用型教育的特点。与同类教材相比，具有以下特点：

1. 教、学、做相结合，将理论与实践融于一体

电子设计自动化是一门应用性很强的课程，在多年的教学过程中，我们一直采用教、学、做相结合的教学模式，效果良好。这种经验充分体现在内容的编排上，教材中每个章节从最基本的应用实例出发，由实际问题入手引出相关知识和理论，将理论与实践融为一体。此外，教材还在各个章节安排了针对性较强的实验与实践项目，保证理论与实践教学同步进行。

2. 理论够用为度，着眼于应用

考虑到应用型本科教育的特点，教材在编写时按照“贴近目标，保证基础，面向更新，联系实际，突出应用，以‘必需、够用’为度”的原则，突出重点，注重培养学生的操作技能和分析问题、解决问题的能力。教材中对 EDA 技术的基本理论、EDA 工具 Quartus II 的使用方法、VHDL 知识、FPGA 开发技术等内容进行了必要的阐述，没有安排烦琐的器件工作原理分析等内容。同时，本书十分注重 EDA 技术在实际中的应用，列举了大量应用实例，介绍利用 CPLD/FPGA 器件设计制作数字系统的步骤和方法，使学生能借助基本内容，做到举一反三，灵活应用。

3. 内容安排合理，注重速成

一般来说，EDA 技术的学习难点在于 VHDL 语言。对此，本书基于应用型本科教育的特点，在内容安排上放弃流行的计算机语言的教学模式，而以电子线路设计为基点，从实例的介绍中引出 VHDL 语句语法内容，通过一些简单、直观、典型的实例，将 VHDL 中最核心、最基本的内容解释清楚，使学生能在很短的时间内有效的把握 VHDL 的主干内容，而不必花大量的时间去“系统地”学习语法。

在撰写的过程中，力求准确、简洁，力争做到深入浅出。书中所有举例都已通过验证，同时参考了众多国内外同行的书籍与资料，在此深表感谢。由于作者水平所限，书中难免有疏漏和错误之处，请同行和广大读者给予批评指正。

本书得到重庆市“三特^①行动计划”特色专业建设项目、重庆市高等学校教学改革研究项目(163123)及重庆文理学院特色应用型教材建设项目资助，在此表示感谢。

^① “三特”是指特色学科、特色专业、特色学科专业群。

目 录

第1章 EDA 技术概述	1
1.1 EDA 技术及发展	1
1.2 EDA 技术的优势	3
1.3 数字系统设计的流程	5
1.3.1 专用集成电路设计流程	5
1.3.2 可编程逻辑器件设计流程	9
1.4 EDA 软件开发工具	12
1.5 EDA 技术的发展趋势	15
1.5.1 可编程逻辑器件发展趋势	15
1.5.2 开发工具的发展趋势	16
1.5.3 系统描述方式的发展趋势	17
1.6 PLD 器件概述	18
1.6.1 PLD 器件的发展历程	18
1.6.2 PLD 的分类	18
第2章 FPGA/CPLD 器件	23
2.1 基于乘积项技术的 PLD 基本原理与结构	23
2.1.1 PLD 器件的基本结构	23
2.1.2 电路的表示方法	24
2.2 基于查找表技术的 PLD 基本原理与结构	25
2.3 边界扫描测试技术	27
2.4 FPGA/CPLD 的编程与配置	28
2.4.1 在系统可编程	28
2.4.2 CPLD 器件的编程	29
2.4.3 FPGA 器件的配置	29
2.5 FPGA/CPLD 器件概述	29
2.6 EDA 技术的应用展望	31
第3章 Quartus II 集成开发工具	35
3.1 创建工程	35
3.2 Quartus II 原理图设计	38
3.3 编译	40
3.4 波形仿真	44
3.5 引脚锁定和编程下载	49
3.6 层次化设计方法	53



3.7 基于宏功能模块的设计	55
3.7.1 lpm_mult(参数化乘法器)的使用	55
3.7.2 锁相环模块	58
3.7.3 存储器模块的设计	61
3.7.4 信号发生器的设计	64
3.8 嵌入式逻辑分析仪使用方法	66
第4章 VHDL 设计初步	77
4.1 VHDL 简介	77
4.2 组合电路的 VHDL 描述	78
4.2.1 用 VHDL 设计三人表决电路	78
4.2.2 用 VHDL 设计加法器	80
4.3 VHDL 时序电路设计	82
4.3.1 用 VHDL 设计 D 触发器	82
4.3.2 用 VHDL 设计计数器	83
第5章 VHDL 语法与结构	87
5.1 VHDL 语法规则	87
5.1.1 VHDL 文字描述和使用规则	87
5.1.2 VHDL 数据对象描述和使用规则	89
5.1.3 VHDL 数据类型描述和使用规则	91
5.1.4 VHDL 操作符	103
5.2 VHDL 结构规则	105
5.2.1 实体	106
5.2.2 结构体	107
5.2.3 VHDL 库和程序包	108
5.2.4 配置	111
第6章 VHDL 基本语句	115
6.1 VHDL 顺序语句	115
6.1.1 赋值语句	115
6.1.2 IF 语句	116
6.1.3 CASE 语句	121
6.1.4 LOOP 语句	124
6.1.5 NEXT 语句	126
6.1.6 EXIT 语句	126
6.1.7 WAIT 语句	126
6.1.8 NULL 语句	127
6.2 VHDL 并行语句	128
6.2.1 并行信号赋值语句	128
6.2.2 进程语句	131



6.2.3 元件例化语句	132
6.2.4 生成语句	134
6.2.5 属性说明与定义语句	136
第7章 VHDL 设计进阶	141
7.1 行为描述	141
7.2 数据流描述	142
7.3 结构描述	143
7.4 基本逻辑电路设计	144
7.5 时序逻辑电路设计	152
7.5.1 触发器	152
7.5.2 触发器的同步和非同步复位	154
7.5.3 寄存器和移位寄存器	155
7.5.4 计数器	157
7.5.5 序列信号发生器	159
7.5.6 序列信号检测器	161
7.6 存储器设计	163
7.6.1 ROM	163
7.6.2 SRAM	164
7.6.3 FIFO	165
第8章 有限状态机设计	171
8.1 有限状态机的描述	171
8.2 枚举数据类型	172
8.3 有限状态机的描述方式	173
附录 A Quartus II 9.0 软件安装工具使用	185
附录 B DDS 信号发生器电路设计	203
附录 C 主要术语摘要	221
参考文献	223

❖ 第 1 章 EDA 技术概述 ❖

人类社会已进入到高度发达的信息化时代,信息社会的发展离不开电子产品的进步。信息社会的特点是各种数字产品的广泛应用。现代数字产品在性能提高、复杂度增大的同时,价格却一直呈下降趋势,且其更新换代的步伐越来越快,实现这种进步的因素在于芯片制造技术和设计技术的进步。前者以微细加工技术为代表,目前已进展到深亚微米阶段,可以在几平方厘米的芯片上集成数千万个晶体管。后者的核心就是电子设计自动化 EDA(Electronic Design Automation)技术。EDA 是指以计算机为工作平台,融合应用电子技术、计算机技术、智能化技术等最新成果而研制成的 CAD(Computer Aided Design)通用软件包,主要能辅助进行三方面的设计工作:IC 设计、电子电路设计和 PCB 设计。

摩尔曾经对半导体集成技术的发展做出预言:大约每 18 个月,芯片的集成度提高 1 倍,功耗下降 1 倍。他的预言被人们称为摩尔定律(Moore's law)。几十年来,集成电路的发展与这个预言非常吻合,数字器件经历了从 SSI、MSI、LSI 到 VLSI,直到现在的芯片系统(System on Chip, SOC),我们已经能够把一个完整的电子系统集成在一个芯片上。还有一种器件的出现极大地改变了设计制作电子系统的方式与方法,这就是可编程逻辑器件(Programmable Logic Device, PLD)。PLD 是 20 世纪 70 年代后发展起来的一种器件,它经历了可编程逻辑阵列(Programmable Logic Array, PLA)、通用阵列逻辑(Generic Array Logic, GAL)等简单形式到现场可编程门阵列(Field Programmable Gate Array, FPGA)和复杂可编程逻辑器件(Complex Programmable Logic Device, CPLD)的高级形式的发展,其广泛使用不仅简化了电路设计,降低了研制成本,提高了系统可靠性,而且给数字系统的整个设计和实现过程带来了革命性的变化。

电子系统的设计理念和设计方法也发生了深刻的变化,从 CAD、CAE(Computer Aided Engineering)到 EDA,设计的自动化程度越来越高,设计的复杂性也越来越强。

EDA 技术已成为现代电子设计技术的有力工具,没有 EDA 技术的支持,要完成超大规模集成电路的设计和制造是无法想象的。反过来,生产制造技术的进步又不断对 EDA 技术提出新的要求,促使其不断向前发展。

➡ 1.1 EDA 技术及发展

EDA 技术是以计算机科学和微电子技术发展为先导,汇集了计算机图形学、拓扑逻辑学、微电子工艺与结构、计算数学等多种计算机应用学科最新成果的先进技术,它是在先进的计算机工作平台上开发出来的一整套电子系统设计的软件工具。在现代数字系统设计中,EDA 技术已成为一种普遍的工具。对设计者而言,熟练地掌握 EDA 技术,可以极大地提高工作效率,起到事半功倍的效果。



随着 EDA 技术的不断发展,其含义也不断发生变化。早期的电子设计自动化多指类似 Protel 电路板的设计自动化概念,这种概念仅限于电路元器件与元器件之间,即芯片外设计自动化。随着微电子技术的不断发展,当今的 EDA 技术更多的是指可编程逻辑器件的设计技术,即芯片内的电路设计自动化。也就是说,开发人员完全可以通过自己的电路设计来定制其芯片内部的电路功能,使之成为设计者的专用集成电路(即 ASIC)芯片,这就是我们今天所说的 EDA 技术——用户可编程逻辑器件(PLD)技术。EDA 技术的应用也无处不在,从简单的逻辑电路、时序电路设计到复杂的数字系统设计均能得心应手,在通信领域(软件无线电)、数字信号处理(DSP)领域、嵌入式/片上系统(SOC)及各种 IP 内核等诸多领域早已广泛应用。如果说 Tango(Protel)的问世在电子设计领域是一次革命的话,那么今天的 EDA(CPLD/FPGA)技术称得上是电子设计领域的第二次革命。

EDA 技术伴随着计算机、集成电路、电子系统设计的发展,经历了 CAD、CAE 和 EDA 三个发展阶段。

1. 20 世纪 70 年代的 CAD 阶段

早期的电子系统硬件设计采用的是分立元件,随着集成电路的出现和应用,硬件设计进入到发展的初级阶段。初级阶段的硬件设计大量选用中小规模标准集成电路,将这些器件焊接在电路板上,做成初级电子系统,对电子系统的调试是在组装好的印刷电路板 PCB (Printed Circuit Board)上进行的。

由于设计师对图形符号使用数量有限,传统的手工布图方法无法满足产品复杂性的要求,更不能满足工作效率的要求。这时,人们开始将产品设计过程中高度重复性的繁杂劳动,如布图布线工作,用二维图形编辑与分析的 CAD 工具替代,最具代表性的产品就是美国 ACCEL 公司开发的 Tango 布线软件。20 世纪 70 年代,是 EDA 技术发展的初期,由于 PCB 布图布线工具受到计算机工作平台的制约,其支持的设计工作有限且性能比较差。

2. 20 世纪 80 年代的 CAE 阶段

初级阶段的硬件设计是用大量不同型号的标准芯片实现电子系统设计的。随着微电子工艺的发展,相继出现了集成上万只晶体管的微处理器、集成几十万到上百万储存单元的随机存储器和只读存储器。此外,支持定制单元电路设计的硅编辑、掩膜编程的门阵列,如标准单元的半定制设计方法以及可编程逻辑器件(PAL 和 GAL)等一系列微结构和微电子学的研究成果都为电子系统的设计提供了新天地。因此,可以用少数几种通用的标准芯片实现电子系统的设计。

伴随着计算机和集成电路的发展,EDA 技术进入到计算机辅助工程设计阶段。20 世纪 80 年代初,推出的 EDA 工具以逻辑模拟、定时分析、故障仿真、自动布局和布线为核心,重点解决电路设计没有完成之前的功能检测等问题。利用这些工具,设计师能在产品制作之前预知产品的功能与性能,能生成产品制造文件,在设计阶段前进了一大步。

如果说 20 世纪 70 年代的自动布局布线的 CAD 工具代替了设计工作中绘图的重复劳动,那么,到了 20 世纪 80 年代出现的具有自动综合能力的 CAE 工具则代替了设计师的部分工作,对保证电子系统的设计以及制造出最佳的电子产品起着关键的作用。到了 20 世纪 80 年代后期,EDA 工具已经可以进行设计描述、综合与优化以及设计结果验证,



CAE 阶段的 EDA 工具不仅为成功开发电子产品创造了有利条件,而且为高级设计人员的创造性劳动提供了方便。但是,大部分从原理图出发的 EDA 工具仍然不能适应复杂电子系统的设计要求,而具体化的元件图形制约着优化设计。

3. 20 世纪 90 年代 EDA 阶段

为了满足千差万别的系统用户提出的设计要求,最好的办法是由用户自己设计芯片,让他们把想设计的电路直接设计在自己的专用芯片上。微电子技术的发展,特别是可编程逻辑器件的发展,使得微电子厂家可以为用户提供各种规模的可编程逻辑器件,使设计者通过设计芯片实现电子系统功能。EDA 工具的发展,又为设计师提供了全线 EDA 工具。这个阶段发展起来的 EDA 工具,目的是在设计前期将设计师从事的许多高层次设计由工具来完成,如可以将用户要求转换为设计技术规范,有效地处理可用的设计资源与理想的设计目标之间的矛盾,按具体的硬件、软件和算法分解设计等。由于电子技术和 EDA 工具的发展,设计师可以在较短的时间内使用 EDA 工具,通过一些简单标准化的设计过程,利用微电子厂家提供的设计库来完成数万门 ASIC 和集成系统的设计与验证。

20 世纪 90 年代,设计师逐步从使用硬件转向设计硬件,从单个电子产品开发转向系统级电子产品开发(即片上系统集成)。因此,EDA 工具是以系统级设计为核心,包括系统行为级描述与结构综合、系统仿真与测试验证、系统划分与指标分配、系统决策与文件生成等一整套的电子系统设计自动化工具。这时的 EDA 工具不仅具有电子系统设计的能力,而且能提供独立于工艺和厂家的系统级设计能力,具有高级抽象的设计构思手段。例如,提供方框图、状态图和流程图的编辑能力,具有适合层次描述和混合信号描述的硬件描述语言(如 AHDL、VHDL 或 Verilog-HDL),同时含有各种工艺的标准元件库。

只有具备上述功能的 EDA 工具,才可能使电子系统工程师在不熟悉各种半导体工艺的情况下,完成电子系统的设计。

未来的 EDA 技术将向广度和深度两个方向发展。EDA 将会超越电子设计的范畴进入其他领域。随着基于 EDA 的 SOC 设计技术的发展、软硬核功能库的建立以及基于 VHDL 的自顶向下设计理念的确立,未来的电子系统的设计与规划将不再是电子工程师们的专利。有专家认为,21 世纪将是 EDA 技术快速发展的时期,EDA 技术将是对 21 世纪产生重大影响的十大技术之一。

1.2 EDA 技术的优势

1. 数字系统设计概述

数字系统是指对数字信息进行储存、传输、处理的电子系统,它的输入和输出都是数字量。随着数字产品的广泛应用,数字系统的设计方法也发生了深刻的变化。在数字电子技术课程中,介绍了 74 系列等各种专用集成电路,如译码器、编码器、加法器、比较器等逻辑器件,这些器件的逻辑功能都是固定不变的,称为标准逻辑器件或者固定功能的通用逻辑器件。

早期的数字电路采用搭积木式的方式进行设计,即由固定功能的器件加上一定的外围电路构成模块,由这些模块进一步形成各种功能的电路,进而构成系统。构成系统的“积



木块”是各种标准芯片，如 74/54 系列(TTL)、4000/4500 系列(CMOS)芯片等，这些芯片的功能是固定的，用户只能根据需要从这些标准器件中选择，并按照推荐电路搭成系统。

这种设计方法存在许多缺陷。首先，电路的体积和功耗大，涉及的器件数量多，器件间的连线多，导致电路的速度低，可靠性下降。其次，设计方案不便于修改，一旦形成电路，修改的工作量很大。再次，设计人员需要非常熟悉各种通用型逻辑器件的性能和引脚封装，因此设计效率极低。然后，设计完成后又很难对系统进行仿真、测试和排错。最后，设计的电路容易被复制，不利于知识产权的保护。

所幸的是，可编程逻辑器件的出现彻底改变了这种不利的局面，并为电子设计自动化奠定了基础。可编程逻辑器件是在 20 世纪 70 年代发展起来的一种新的集成电路元件，是大规模集成电路技术发展的产物，是一种半定制的集成电路(即设计者可以根据需要对此器件的功能做进一步的设计)，它集成了大量的逻辑单元和可编程连接元件，设计者可以结合计算机软件工具快速、方便地构建所需要的数字系统。设计者通过对器件中逻辑单元的编程，就可以方便地设计出具有各种不同逻辑功能的元件。采用 PLD 设计逻辑电路可以充分发挥大规模集成电路的一系列优点，利用电子系统自动设计软件能方便、快捷地完成对 PLD 的设计、编程、调试和仿真等工作，为设计工作带来极大的便利，能够最大限度地消除基于传统的设计方法和通用逻辑器件构成的数字电路系统的种种不利因素。

PLD(主要包括 CPLD 和 FPGA)和 EDA 技术的出现，改变了传统数字系统设计的思路，使人们可以立足于 PLD 芯片来实现各种不同的功能。新的设计方法能够由设计者自己定义器件的内部逻辑和引脚，将原来由电路板设计完成的工作大部分放在芯片的设计中进行，不仅可以通过芯片设计实现各种数字逻辑功能，而且由于引脚定义的灵活性，减轻了原理图和印制板设计的工作量和难度，增加了设计的自由度，提高了效率。同时，这种设计减少了所需芯片的种类和数量，缩小了体积，降低了功耗，提高了系统的可靠性。

2. 初步认识 CPLD 和 FPGA

复杂可编程逻辑器件 CPLD，是从 PAL(Programmable Array Logic)和 GAL 器件发展而来的，相对而言规模大，结构复杂，属于大规模集成电路范围。CPLD 是一种用户根据各自需要而自行构造逻辑功能的数字集成电路，其基本设计方法是借助集成开发软件平台，用原理图、硬件描述语言等方法，生成相应的目标文件，通过下载电缆(“在系统”编程)将代码传送到目标芯片中，实现数字系统的设计。

FPGA，即现场可编程门阵列，它是在 PAL、GAL 和 CPLD 等可编程器件的基础上进一步发展的产物。它是作为专用集成电路(Application Specific Integrated Circuits, ASIC)领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。以硬件描述语言(Verilog 或 VHDL)所完成的电路设计，可以经过简单的综合与布局，快速烧录至 FPGA 上进行测试，是现代 IC 设计验证的技术主流。

CPLD/FPGA 可以用来学习、设计、创新和娱乐，而设计 CPLD/FPGA 的工具也是非常有趣的，下面简单介绍其趣味性。

和所有的芯片设计一样，需要掌握它的设计基础、原理、流程。学习 CPLD/FPGA 时，必须做一些准备工作：首先是语言，至少需要知道一种设计方式，比如原理图、Verilog、



VHDL 或者用 Simulink 搭个模型也可以。如果会写一点 C 语言,那就更好了。

什么是 CPLD/FPGA? 学电子的,都应该知道芯片,比如因特尔的 CPU、AMD,德州仪器的 DSP,还有 ASIC、ASSP 等。目前我们生活的世界,与芯片及芯片技术是紧密相关的,学习电子专业,如果不知道芯片,那就等于白学了。对于 CPLD/FPGA,和生活中的 CD-RW、DVD-RW 有点类似,CD-RW 和 DVD-RW 是反复可擦写光盘,而 CPLD/FPGA 是反复可擦写的芯片,这对于我们学习设计是一件非常好的事情,我们可以按照芯片要求和规则反复地、任意地把我们的思想、设计进行验证和测试。

为什么要生产和学习 CPLD/FPGA? CPLD/FPGA 一开始是一种附属的工具,而企业和现实产品主要是使用 ASIC。设计者为了验证 ASIC 设计的功能,往往用 CPLD/FPGA 来测试,因为它不需要漫长的制造时间,而且可以反复擦写,这对设计者而言是非常有用和高效的。由于工艺技术和价格原因,一开始它只作为研发设计使用,后来开始被用在非常多的产品里面。

1.3 数字系统设计的流程

数字系统的设计实现主要有两类器件可选择:一类是可编程逻辑器件(PLD),另一类是专用集成电路(ASIC)。这两类器件各有自己的优点。

1. 可编程逻辑器件(PLD)

PLD 是一种半定制的器件,器件内已做好各种逻辑资源,用户只需对器件内的资源编程连接就可实现所需要的功能,而且可以反复编程、修改,直到满足设计要求。用 PLD 实现设计直接面向用户,具有其他方法无可比拟的方便性、灵活性和通用性,而且硬件测试和实现快捷,开发效率高、成本低、风险小。现代 FPGA 器件集成度不断提高,等效门数已达到了千万门级。在器件中,除集成各种逻辑门和寄存器外,还集成了嵌入块 RAM、硬件乘法器、锁相环、DSP 块等功能模块,使 FPGA 的使用更方便。EDA 开发软件对 PLD 器件也提供了强有力的支持,使其功能更全面,兼容性更强。

2. 专用集成电路(ASIC)

专用集成电路指用全定制方法来实现设计的方式,它在最低层,即物理版图级实现设计,因此也称为掩膜 ASIC。采用 ASIC,能得到最高速度、最低功耗和最省面积的设计。它要求设计者必须使用版图编辑工具从晶体管的版图尺寸、位置及连线开始进行设计,以获得芯片的最优性能。在版图设计时,设计者需手工设计版图并精心地布局布线,以获得最佳的性能和最小的面积。版图设计完成后,还要进行一系列检查和验证,包括设计规则检查、电学规则检查、连接性检查、版图和电路图一致性检查等。只有当全部通过后,才可以将得到的标准格式的版图文件(一般为 CIF、GDSII 格式)交于半导体厂家进行流片。

用 PLD 还是用 ASIC 来实现设计,应根据具体情况选择。对多数设计而言,采用 PLD 器件实现是一种周期短、投入少、风险小的选择。对于成熟的设计来说,可考虑采用 ASIC 的形式实现,以获得最优的性价比。

1.3.1 专用集成电路设计流程

专用集成电路 ASIC 是相对于通用集成电路而言的,ASIC 主要指用于某一专门用途



的集成电路器件。ASIC 分类如图 1-1 所示,可分为数字 ASIC、模拟 ASIC 和数模混合 ASIC。

1. 专用集成电路 ASIC 设计方法

对于数字 ASIC,其设计方法有多种。按版图结构及制造方法分,有半定制(Semi-custom)和全定制(Full-custom)两种,如图 1-2 所示。

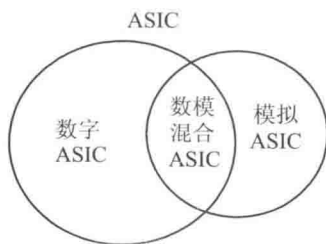


图 1-1 ASIC 分类

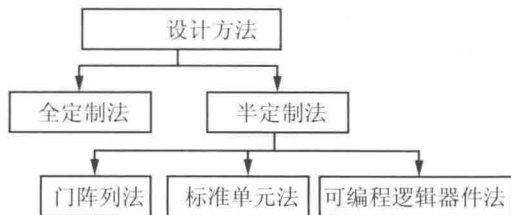


图 1-2 ASIC 实现方法

ASIC 的全定制方法是一种基于晶体管级的,手工设计版图的制造方法。设计者需要使用全定制版图设计工具来完成,必须考虑晶体管版图的尺寸、位置、互连线等技术细节,并据此确定整个电路的布局布线,以使设计的芯片性能、面积、功耗、成本达到最优。显然,在全定制设计中,人工参与的工作量大,设计周期长,而且容易出错。

不过,利用全定制方法设计的电路,面积利用率最高,性能较好,功耗较低,有利于降低设计成本,提高芯片的集成度和工作速度。在通用中小规模集成电路设计、模拟集成电路,包括射频级集成器件的设计,以及有特殊性能要求和功耗要求的电路或处理器中的特殊功能模块电路的设计中,广泛采用全定制方法。

ASIC 的半定制法是一种约束性设计方式,约束的目的是简化设计,缩短设计周期,降低设计成本,提高设计正确率。半定制法按逻辑实现的方式不同,可分为门阵列法、标准单元法和可编程逻辑器件法。

门阵列(Gate Array)法是较早使用的一种 ASIC 设计方法,又称为母片(Master Slice)法。门阵列法需预先设计和制造好各种规模的母片,其内部成行成列,并等间距地排列着基本单元的阵列。除金属连线及引线孔以外的各层版图图形均固定不变,只剩下一层或两层金属铝连线及孔的掩膜需要根据用户电路的不同而定制。每个基本单元是以三对或五对晶体管组成,基本单元的高度和宽度都是相等的,并按行排列。设计人员只需要设计到电路一级,将电路的网表文件交给 IC 厂家即可。IC 厂家根据网表文件描述的电路连接关系,完成母片上电路单元的布局及单元间的连线,然后对这部分金属线及引线孔的图形进行制版和流片。

门阵列法涉及的工艺少、模式规范、设计自动化程度高、设计周期短、造价低,适合于小批量的 ASIC 设计。当然,这些都有赖于事先制备母片及库单元,并经过验证。门阵列法的缺点是芯片面积利用率低、灵活性差,对设计限制过多。

标准单元(Standard Cell)法必须预建完善的版图单元库,库中包括以物理版图级表达的各种电路元件和电路模块“标准单元”,可供用户调用以设计不同的芯片。标准单元的逻辑功能、电性能及几何设计规则等都需经过分析和验证。与门阵列库单元不同的是,标准



单元的物理版图将从最低层至最高层的各层版图设计图形都包括在内。在设计版图时,从单元库中调出标准单元按行排列,行与行之间留有布线通道,同行或相邻行的单元相连可通过单元行的上、下通道完成。隔行单元之间的垂直方向互连则必须借用事先预留在“标准单元”内部的走线道(feed-through)、在两单元间设置的“走线道单元”(feed-through cell)或“空单元”(empty cell)来完成连接。标准单元法设计 ASIC 的优点是:

- ①比门阵列法具有更加灵活的版图方式;
- ②“标准单元”预先存在单元库中,可以极大地提高设计效率;
- ③可以从根本上解决布通率问题,达到 100% 的布通率;
- ④可以使设计者更多地从设计项目的高层次关注电路的优化和性能问题;
- ⑤标准单元设计模式自动化程度高、设计周期短、设计效率高,十分适合利用功能强大的 EDA 工具进行 ASIC 的设计。

因此,标准单元法是目前 ASIC 设计中应用最广泛的设计方法之一。另外,标准单元法还有一个重要的优势,即它与可编程逻辑器件法的应用有相似点,都是建立在标准单元库的基础之上的,因此从 FPGA/CPLD 设计向使用标准单元法设计的 ASIC 设计迁移是十分方便的。利用这种设计模式可以很好地解决直接进行 ASIC 设计中代价高昂的功能验证问题和快速的样品评估问题。

标准单元法存在的问题是,当工艺更新之后,标准单元库要随之更新,这是一项十分繁重的工作。为了解决人工设计单元库费时费力的问题,目前几乎所有在市场上销售的 IC CAD 系统,如 Synopsys、Cadence、Mentor 等都含有标准单元自动设计工具。此外,设计重用(Design Reuse)技术也可用于解决单元库的更新问题。

门阵列法和标准单元法设计 ASIC 共存的缺点是无法避免冗杂繁复的 IC 制造后向流程,而且与 IC 设计工艺紧密相关,最终的设计也需要集成电路制造厂家来完成,一旦设计有误,将导致巨大的损失。另外,还有设计周期长、基础投入大、更新换代难等方面的缺陷。

可编程逻辑器件法是用可编程逻辑器件设计用户定制的数字电路系统。可编程逻辑器件芯片实质上是门阵列及标准单元设计技术的延伸和发展。可编程逻辑器件是一种半定制的逻辑芯片,但与门阵列法、标准单元法又不同,芯片内的硬件资源和连线资源是由厂家预先制定好的,可以方便地通过编程下载获得重新配置。这样,用户就可以借助 EDA 软件和编程器在实验室或车间中自行设计、编程或更新电路,而且如果发现错误,则可以随时更改,完全不必关心器件实现的具体工艺。

用可编程逻辑器件法设计 ASIC(或称可编程 ASIC),设计效率大为提高,上市的时间大为缩短。当然,这种用可编程逻辑器件直接实现的所谓 ASIC,在性能、速度和单位成本上与全定制或标准单元法设计的 ASIC 相比,都不具备竞争性。此外,也不可能用可编程 ASIC 去取代通用产品,如 CPU、单片机、存储器等。

目前,为了降低单位成本,可以在用可编程逻辑器件实现设计后,用特殊的方法转成 ASIC 电路,如 Altera 的部分 FPGA 器件在设计成功后可以通过 Hard Copy 技术转成对应的门阵列 ASIC 产品。

2. 一般设计的流程

一般的 ASIC 从设计到制造,需要经过若干步骤,如图 1-3 所示。

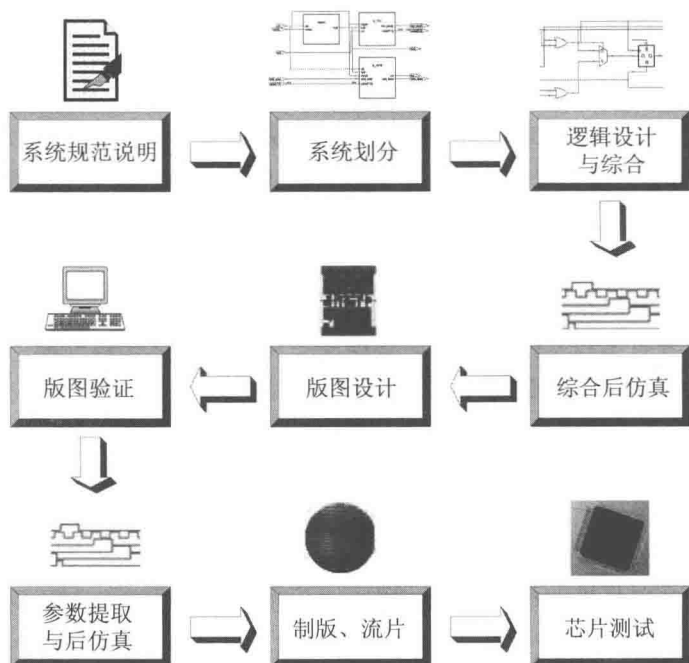


图 1-3 ASIC 设计流程

(1) 系统规格说明(System Specification)

分析并确定整个系统的功能,要求达到的性能、物理尺寸,确定制造工艺、设计周期和设计费用。建立系统的行为模型,进行可行性验证。

(2) 系统划分(System Division)

将系统分割成多个功能子模块,给出各子模块之间的信号连接关系。验证各个功能块的行为模型,确定系统的关键时序。

(3) 逻辑设计与综合(Logic Design and Synthesis)

将划分的各个子模块用文本(网表或硬件描述语言)、原理图等进行具体逻辑描述。对于硬件描述语言描述的设计模块需要用综合器进行综合获得具体的电路网表文件,对于原理图等描述方式描述的设计模块经简单编译后得到逻辑网表文件。

(4) 综合后仿真(Simulate after Synthesis)

从上一步得到网表文件,进行仿真验证。

(5) 版图设计(Layout Design)

版图设计是将逻辑设计中每一个逻辑元件、电阻、电容等以及它们之间的连线转换成集成电路制造所需要的版图信息,可手工或自动进行版图规划(Floorplanning)、布局(Placement)、布线(Routing)。由于这一步涉及逻辑到物理实现的映射,又称物理设计(Physical Design)。

(6) 版图验证(Layout Verification)

版图设计完成以后进行版图验证,主要包括版图原理图比对(LVS)、设计规则检查(DRC)和电气规则检查(ERC)。在手工版图设计中,这是非常重要的一步。



(7) 参数提取与后仿真

验证完毕, 进行版图的电路网表提取(NE)、参数提取(PE), 把提取出的参数反注(Back-Annotate)至网表文件, 进行最后一步仿真验证工作。

(8) 制版、流片

送 IC 生产线进行制版、光罩和流片, 进行试验性生产。

(9) 芯片测试

测试芯片是否符合设计要求, 并评估成品率。

► 1.3.2 可编程逻辑器件设计流程

可编程逻辑器件的设计流程如图 1-4 所示, 包括设计输入、逻辑综合和优化、目标器件的布线/适配、目标器件的编程/下载、设计过程中的有关仿真、仿真和硬件测试等过程。

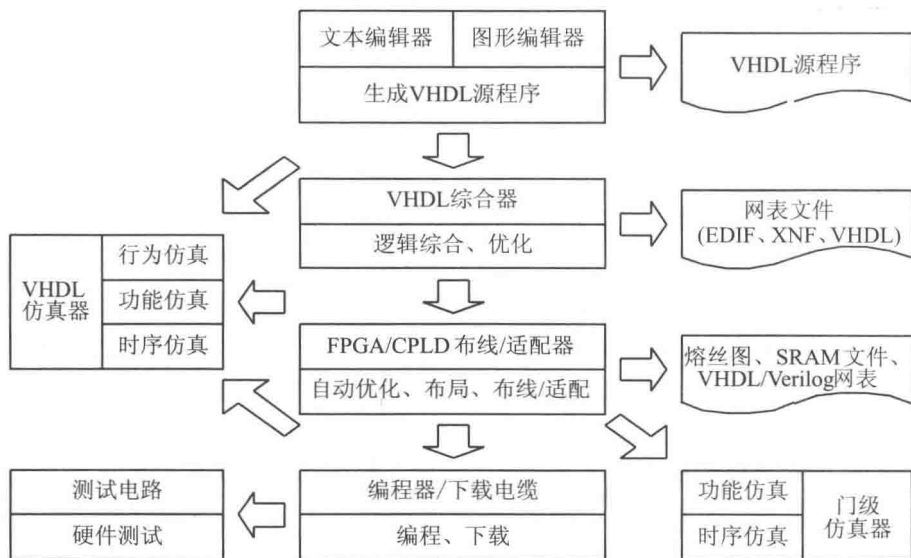


图 1-4 EDA 设计流程图

1. 设计输入

利用 EDA 技术进行一项工程设计, 首先需利用 EDA 工具的文本编辑器或图形编辑器将它用文本方式或图形方式表达出来, 并进行编译排错, 变成 VHDL 文件格式, 为进一步的逻辑综合做准备。

常用的源程序输入方式有三种。

(1) 原理图输入方式

利用 EDA 工具提供的图形编辑器以原理图的方式进行输入。原理图输入方式比较简单, 直观且方便。所画的电路原理图(注意, 这种原理图与利用 Protel 画的原理图有本质的区别)与传统的器件连接方式完全一样, 很容易被人接受, 而且编辑器中有许多现成的单元器件可以利用, 自己也可以根据需要设计元件。然而原理图输入法也有它的缺点:

①随着设计规模增大, 设计的易读性迅速下降, 对于图中密密麻麻的电路连线, 极难搞清电路的实际功能;



②一旦完成, 电路结构的改变将十分困难, 因而几乎没有可再利用的设计模块;

③移植困难、入档困难、交流困难、设计交付困难, 因为不可能存在一个标准化的原理图编辑器。

(2) 状态图输入方式

以图形的方式表示状态图进行输入。当填好时钟信号名、状态转换条件、状态机类型等要素后, 就可以自动生成 VHDL 程序。这种设计方式简化了状态机的设计, 比较流行。

(3) VHDL 软件程序的文本方式

该方式是最一般化、最具普遍性的输入方法, 任何支持 VHDL 的 EDA 工具都支持文本方式的编辑和编译。

2. 逻辑综合和优化

若要把 VHDL 的软件设计与硬件的可实现性挂钩, 需要利用 EDA 软件系统的综合器进行逻辑综合。

综合器的功能就是将设计者在 EDA 平台上完成的某个系统项目的 HDL、原理图或状态图形的描述, 针对给定硬件结构组件进行编译、优化、转换和综合, 最终获得门级电路甚至更底层的电路描述文件。由此可见, 综合器工作前, 必须给定最后实现的硬件结构参数, 它的功能就是将软件描述与给定硬件结构用某种网表文件的方式联系起来。显然, 综合器是软件描述与硬件实现的桥梁。综合过程就是将电路的高级语言描述转换成低级的, 可以与 FPGA/CPLD 或构成 ASIC 的门阵列基本结构相映射的网表文件。

由于 VHDL 仿真器的行为仿真功能是面向高层次的系统仿真, 只能对 VHDL 的系统描述作可行性的评估测试, 不针对任何硬件系统, 因此基于这一仿真层次的许多 VHDL 语句不能被综合器所接受。这就是说, 这类语句的描述无法在硬件系统中实现(至少是现阶段), 这时, 综合器不支持的语句在综合过程中将被忽略掉。综合器对源 VHDL 文件的综合是针对某一 PLD 供应商的产品系列的, 因此, 综合后的结果可以被硬件系统所接受, 具有硬件可实现性。

3. 目标器件的布线/适配

逻辑综合通过后, 必须利用适配器将综合后的网表文件针对某一具体的目标器进行逻辑映射操作, 包括底层器件配置、逻辑分割、逻辑优化、布线与操作, 适配完成后可以利用适配所产生的仿真文件作精确的时序仿真。

适配器的功能是将由综合器产生的网表文件配置于指定的目标器件中, 产生最终的下载文件, 如 JEDEC 格式的文件。适配所选定的目标器件(FPGA/CPLD 芯片)必须属于原综合器指定的目标器件系列。对于一般的可编程模拟器件所对应的 EDA 软件来说, 一般仅需包含一个适配器就可以了, 如 Lattice 的 PAC-DESIGNER。通常, EDA 软件中的综合器可由专业的第三方 EDA 公司提供, 而适配器则需由 FPGA/CPLD 供应商自己提供, 因为适配器的适配对象直接与器件结构相对应。

4. 目标器件的编程/下载

如果编译、综合、布线/适配和行为仿真、功能仿真、时序仿真等过程都没有发现问题, 即满足原设计的要求, 则可以将由 FPGA/CPLD 布线/适配器产生的配置/下载文件通过编程器或下载电缆载入目标芯片 FPGA 或 CPLD 中。