



普通高等教育“十三五”规划教材



微电子与集成电路设计系列规划教材

模拟集成电路与 数字集成电路 设计工具实用教程

© 韩 雁 韩晓霞 张世峰 编著



中国工信出版集团

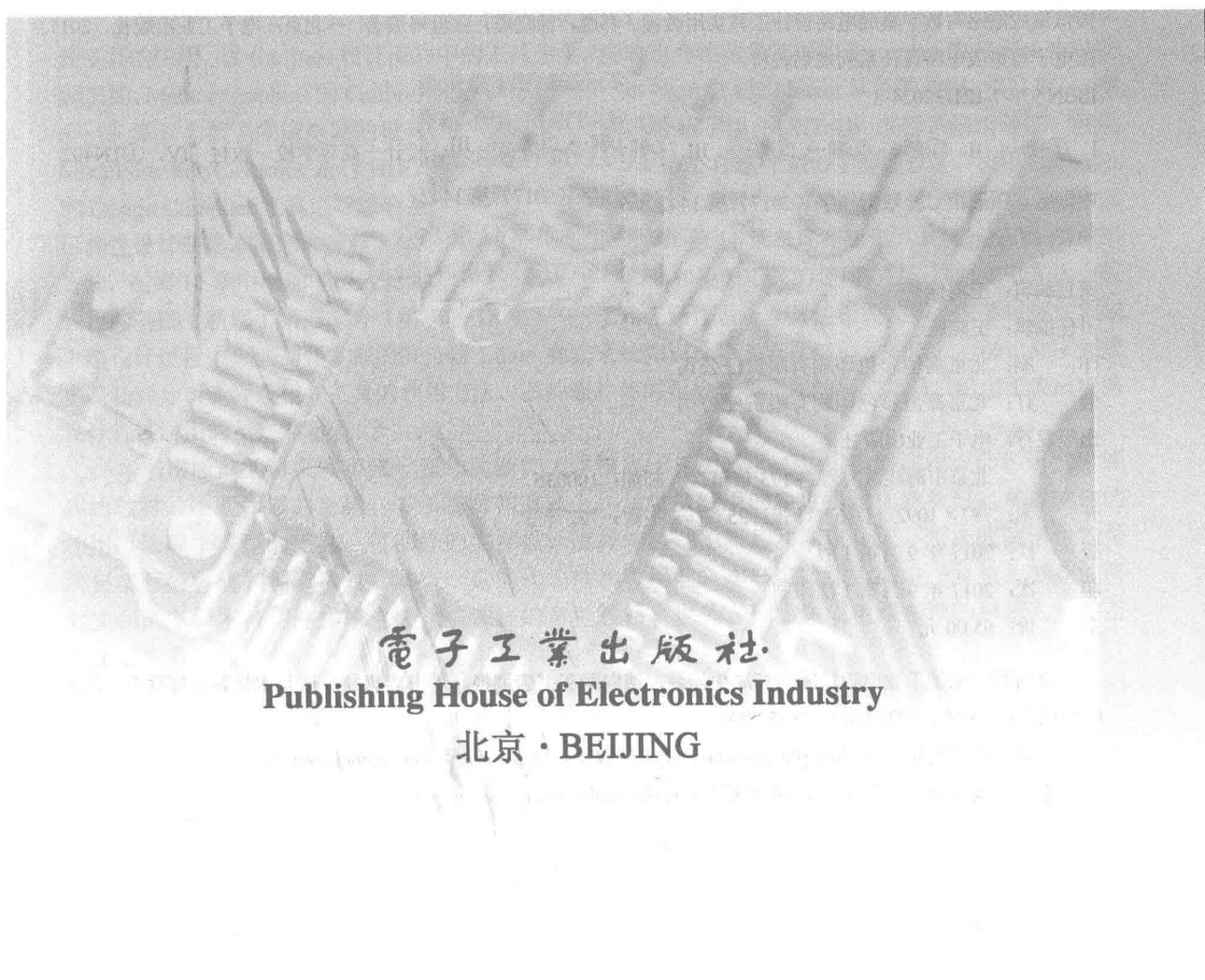


电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

普通高等教育“十三五”规划教材
微电子与集成电路设计系列规划教材

模拟集成电路与数字集成电路 设计工具实用教程

韩 雁 韩晓霞 张世峰 编著

A grayscale, high-magnification photograph of a microchip, showing its intricate circuitry and multiple pins, serving as a background for the publisher information.

电子工业出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书结合多年的集成电路设计和 CAD/EDA 工具使用经验编写, 辅以不同的设计实例和流程, 介绍相应的典型工具的使用。

本书分为三个部分, 共 18 章。第一部分(第 1~5 章)是模拟集成电路设计工具及使用, 主要内容包括: 电路仿真工具软件使用, 设计实例——基准源、噪声、开关电容设计及验证, 版图绘制及其工具软件, 版图验证与后仿真, 设计所需规则文件的详细说明。第二部分(第 6~13 章)是数字集成电路设计工具及使用, 主要内容包括: 系统级建模与数模混合仿真, 数字电路设计与 Verilog HDL, 硬件描述语言的软件仿真与 FPGA 硬件验证, 逻辑综合与 Design Compiler, 自动布局布线及 Astro, 布局布线工具 IC Compiler, 数字集成电路设计的验证方法, 可测性设计及可测性设计软件使用。第三部分(第 14~18 章)是 Linux 操作系统及其他相关知识, 主要内容包括: Linux 系统常用命令, Memory Compiler 软件 Embed-It Integrator 使用方法, 数字 IC 功耗分析工具 PTPX 使用方法, 流片前的 Check List, 集成电路设计领域常用英文缩略语。本书提供配套电子课件、仿真程序源文件等。

本书可以作为微电子及相关专业的研究生和高年级本科生的集成电路课程的参考教材, 也适合于作为集成电路领域的科研人员和工程师的参考资料。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有, 侵权必究。

图书在版编目(CIP)数据

模拟集成电路与数字集成电路设计工具实用教程 / 韩雁, 韩晓霞, 张世峰编著. —北京: 电子工业出版社, 2017.9
微电子与集成电路设计系列规划教材

ISBN 978-7-121-32024-8

I. ①模… II. ①韩… ②韩… ③张… III. ①集成电路—计算机辅助设计—高等学校—教材 IV. ①TN402

中国版本图书馆 CIP 数据核字(2017)第 144235 号

策划编辑: 王羽佳

责任编辑: 王晓庆

印 刷: 北京嘉恒彩色印刷有限责任公司

装 订: 北京嘉恒彩色印刷有限责任公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开 本: 787×1092 1/16 印张: 25 字数: 722 千字

版 次: 2017 年 9 月第 1 版

印 次: 2017 年 9 月第 1 次印刷

定 价: 65.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888, 88258888。

质量投诉请发邮件至 zltts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式: (010) 88254535, wyj@phei.com.cn。

前 言

集成电路是电子工业的基础,以集成电路为基础的电子信息产业的发展,对国民经济发展、产业技术创新能力提高及现代国防建设都具有极其重要的作用,而集成电路设计业则是集成电路产业链中的核心。随着集成电路技术的发展,集成电路设计的手段也经历了从手工设计、到计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)和计算机辅助工程(CAE),在20世纪90年代开始逐步发展到电子设计自动化(Electronics Design Automation, EDA)阶段。CAD/EDA工具已经成为当今集成电路设计和制造流程中的必不可少的工具。

技术进步伴随着设计复杂性的增加,导致了CAD/EDA工具的功能也越来越强大,对集成电路设计工程师和科研人员提出了更高的要求。他们不但要有足够的数学、物理、器件、电路、工艺的知识,还要投入相当的精力学习、熟悉CAD/EDA工具和系统的使用。不同CAD/EDA工具提供的手册因其系统的复杂性及不是用中文阅读者母语编写的,会给没有相应经验指导的初学者带来很大的困难。已经出版的CAD/EDA书籍大多都是关于电子系统级应用或是针对超大规模集成电路的设计方法学,而针对模拟集成电路设计、数字/模拟及数模混合集成电路设计和生产制造相关的CAD/EDA工具的指导书籍却很少。基于这个原因,编著者结合多年的集成电路设计和CAD/EDA工具使用经验,编写了本书,辅以不同的设计实例和流程,介绍相应的典型工具的使用。

本书分为三个部分,共18章。第一部分(第1~5章)以不同的设计实例介绍了模拟集成电路设计工具的应用,以Cadence设计流程中的工具为主,同时也介绍业界常用的Synopsys的Hspice电路仿真工具、Mentor Graphics的Calibre版图验证工具及SpringSoft公司的Laker软件的使用。第二部分(第6~13章)为数字集成电路的设计工具使用教程,分别介绍了用MATLAB进行系统级验证、使用ModelSim和NC-Verilog进行HDL描述和仿真、使用Xilinx ISE进行FPGA验证设计、使用Synopsys的Design Compiler工具进行综合及使用Astro进行后端设计,最后介绍了数字IC设计的验证方法学及可测性设计的基本概念和流程。本书与上一版相比,增加了第11章布局布线工具IC Compiler的使用方法,在第12章中增加了形式验证及静态时序分析的内容和相关工具的使用方法。同时本书在上一版教程的基础上新增了第三部分(第14~18章)——Linux操作系统及其他相关知识,主要讲解在集成电路设计过程中一些需要掌握的服务器Linux操作系统知识、第三方存储单元的嵌入方法、数字集成电路功耗分析流程及相关工具的使用方法、芯片流片前需要检查和注意的事项,最后给出了集成电路设计领域常用的英文缩略语。

本书出版前的讲义多年来一直作为浙江大学微电子相关专业“集成电路课程设计”研究生课程的教材,不断积累并更新。本书在写作方式上,尽量从应用的角度引导读者学习、掌握软件的使用。选取了典型的工具,每部分的主体设计流程均经过了流片和测试验证,所选的例子也都是取自实际的科研和教学项目,具有一定的代表性和实用性。本书可以作为微电子及相关专业的研究生和高年级本科生的集成电路相关课程的参考教材,也适合作为集成电路领域的科研人员和工程师的参考资料。

本书提供配套电子课件、仿真程序源文件等,请登录华信教育资源网(<http://www.hxedu.com.cn>)注册下载。

全书架构及内容由浙江大学微电子学院韩雁教授总负责并审稿定稿,同时负责第一部分的编写;韩晓霞讲师负责第二部分的编写;第三部分由张世峰助理研究员编写。本书在编写过程中得到了浙江

大学微电子学院微纳电子研究所多名研究生的大力帮助，有马绍宇、洪慧、陈金龙、霍明旭、黄小伟、周海峰、崔强、付文、韩成功、黄大海、陈磊、蔡友、陈茗、罗豪、张斌、程维维、廉玉平、张艳、张昊、彭成、范镇琪、蔡坤明、斯瑞珺、彭洋洋、张吉皓、曾才赋、杜宇禅、梁筱、周骞、陈雅雅和乔志通等，他们在文档翻译、实例的仿真验证、文稿录入、图表制作等方面都做了大量工作。作者在编写过程中也参考了大量的文献、资料、手册。在此一并表示真诚的感谢。

由于编者学识和水平有限，加之 CAD/EDA 工具的版本也在不断更新发展，错漏之处敬请读者批评指正。

作 者

2017 年 08 月于浙大求是园

目 录

第一部分 模拟集成电路设计工具及使用

第 1 章 电路仿真工具软件使用	3
1.1 Cadence 电路仿真工具包	3
1.1.1 Cadence 设计环境简介	3
1.1.2 电路图输入工具 Virtuoso Schematic Composer	5
1.1.3 仿真环境工具 Analog Design Environment	6
1.1.4 仿真结果的显示及处理	9
1.1.5 建立子模块	10
1.1.6 示例 (D 触发器)	11
1.2 Hspice 的使用	13
1.2.1 Hspice 简介	13
1.2.2 *.sp 文件的生成	14
1.2.3 Hspice 的运行与仿真	14
1.3 Ultrasim 仿真技术	15
1.3.1 Ultrasim 技术简介	15
1.3.2 Ultrasim 仿真环境设置	16
1.4 芯片封装的建模与带封装信息的仿真	19
1.4.1 Modeling RF IC Packages 简介	19
1.4.2 PKG 的具体使用	19
第 2 章 设计实例——基准源、噪声、开关电容设计及验证	24
2.1 电压基准源设计	24
2.1.1 电压基准源简介	24
2.1.2 电压基准源分类	24
2.1.3 实现带隙基准源的原理	25
2.1.4 基准源启动电路	26
2.1.5 基准源噪声	27
2.1.6 基准源输出驱动	27
2.1.7 基准源计算机仿真	28
2.1.8 基准源的版图设计	31
2.2 CMOS 集成电路噪声分析及仿真	31
2.2.1 噪声类型	32

2.2.2 噪声分析方法	33
2.2.3 连续时间系统的噪声仿真步骤	34
2.3 开关电容电路仿真	36
2.3.1 开关电容电路背景知识	36
2.3.2 开关电容电路的精度	37
2.3.3 使用双相无交叠时钟的开关电容电路的分析方法	38
2.3.4 开关电容电路的 Cadence 仿真方法	39
2.3.5 开关电容电路频率响应仿真	40
2.3.6 开关电容电路的噪声仿真	42
第 3 章 版图绘制及其工具软件	49
3.1 典型 CMOS 工艺流程简介	49
3.2 设计规则简介	52
3.3 Virtuoso 软件简介及使用	53
3.3.1 Virtuoso 软件启用	53
3.3.2 Virtuoso 中快捷键的使用	56
3.3.3 反相器版图绘制举例	57
3.3.4 PDK 简介	59
3.4 Laker 软件简介及使用	62
3.4.1 Laker 使用时需要的文件	62
3.4.2 Laker 软件启用及主窗口	63
3.4.3 Laker 基本的版图编辑功能介绍	63
3.4.4 Laker 特有的高级版图编辑功能介绍	66
3.4.5 原理图驱动的版图编辑	67
3.4.6 设计实例	68
3.5 版图设计中的相关主题	73
3.5.1 天线效应	73
3.5.2 Dummy 的设计	73
3.5.3 Guard Ring 的设计	75
3.5.4 Match 的设计	76
第 4 章 版图验证与后仿真	78
4.1 版图验证与后仿真简介	78
4.2 Diva 验证工具	79
4.2.1 Diva DRC 规则文件	79

4.2.2	Diva 版图提取文件	81	6.6.1	基本语法	131
4.2.3	LVS 文件的介绍	83	6.6.2	基本表达式	132
4.2.4	寄生参数提取文件	83	6.6.3	模拟运算符	132
4.2.5	Diva 的使用	84	6.6.4	Verilog-A 仿真	133
4.3	Calibre 验证工具	88	6.7	Verilog-A 建模实例	133
4.3.1	Calibre 规则文件	88	6.7.1	反相器	133
4.3.2	Calibre 的用法	89	6.7.2	利用 Cadence 中的向导产生 模拟模块	136
4.3.3	数模混合电路 LVS 的操作方法	94	6.8	SpectreVerilog 混合信号仿真	137
第 5 章	设计所需规则文件的详细说明	96	6.8.1	SpectreVerilog 仿真简介	137
5.1	完整的 Diva DRC、Extract、LVS 规则文件	96	6.8.2	创建模拟模块	137
5.1.1	Diva DRC 规则文件	96	6.8.3	创建数字模块	138
5.1.2	Diva Extract 规则文件	97	6.8.4	设置仿真配置文件	138
5.1.3	Diva LVS 规则文件	98	6.8.5	设置和检查模块划分	139
5.2	Diva 层次处理语句的图文解释	99	6.8.6	设置数模接口	141
5.2.1	逻辑命令	99	6.8.7	设置仿真菜单及仿真结果	141
5.2.2	关系命令	101	第 7 章	数字电路设计与 Verilog HDL	143
5.2.3	选择命令	104	7.1	HDL 设计方法学简介	143
5.2.4	尺寸命令	105	7.1.1	数字电路设计方法	143
5.2.5	层生成命令	106	7.1.2	硬件描述语言	143
5.2.6	存储命令	107	7.1.3	设计方法学	144
5.3	Diva 中 DRC 和寄生参数提取 语句	107	7.1.4	Verilog HDL 简介	144
5.3.1	Diva DRC 语句	107	7.2	Verilog HDL 建模概述	146
5.3.2	Diva 寄生参数提取语句	110	7.2.1	模块	146
			7.2.2	时延	148
			7.2.3	三种建模方式	148
第二部分	数字集成电路设计工具 及使用	113	7.3	Verilog HDL 基本语法	151
第 6 章	系统级建模与数模混合仿真	116	7.3.1	标识符	151
6.1	MATLAB 简介	117	7.3.2	注释	152
6.2	MATLAB 的 Toolboxes	117	7.3.3	格式	152
6.2.1	数字信号处理	118	7.3.4	数字值集合	152
6.2.2	滤波器设计	118	7.3.5	数据类型	154
6.2.3	Link For ModelSim	119	7.3.6	运算符及表达式	155
6.3	MATLAB 的编程	122	7.3.7	条件语句	159
6.4	Simulink 仿真基础	123	7.3.8	case 语句	160
6.4.1	Simulink 简介	123	7.4	结构建模	161
6.4.2	Simulink 的模块	124	7.4.1	模块定义	161
6.4.3	Simulink 仿真参数的设定	124	7.4.2	模块端口	161
6.4.4	Simulink 系统仿真的简单实例	125	7.4.3	实例化语句	161
6.5	Verilog-A 简介	130	7.5	数据流建模	162
6.6	Verilog-A 的编程	130	7.5.1	连续赋值语句	163
			7.5.2	阻塞赋值语句	163

7.5.3	非阻塞赋值语句	164	9.2.8	逻辑综合结果的分析	207
7.5.4	数据流建模具体实例	165	9.2.9	逻辑综合结果保存	209
7.6	行为建模	166	9.2.10	时序约束文件的导出	210
7.6.1	简介	166	9.3	Synplify 的使用方法	210
7.6.2	顺序语句块	166	9.3.1	Synplify 概述	210
7.6.3	过程赋值语句	166	9.3.2	Synplify 设计流程	210
7.7	可综合设计	168	9.3.3	Synplify 文件类型总结	213
7.7.1	设计准则	168	9.4	逻辑综合总结	213
7.7.2	进程划分准则	169	第 10 章	自动布局布线及 Astro	214
7.7.3	可综合子集	169	10.1	Astro 简介	214
7.7.4	可综合设计中的组合电路设计	169	10.2	数据准备	214
7.7.5	可综合设计中的时序电路设计	169	10.2.1	库文件	214
第 8 章	硬件描述语言的软件仿真与 FPGA		10.2.2	工艺文件	217
	硬件验证	170	10.2.3	设计文件	217
8.1	ModelSim 的使用	170	10.3	利用 Astro 进行布局布线的设计	
8.1.1	ModelSim 的启动	170		流程	218
8.1.2	ModelSim 仿真流程	171	10.3.1	工具启动	219
8.1.3	编译工艺资源库	173	10.3.2	创建设计库	219
8.1.4	调试	173	10.3.3	读入网表文件	220
8.1.5	ModelSim 仿真小结	174	10.3.4	打开设计库和设计单元	221
8.2	NC-Verilog 的使用	174	10.3.5	布图规划	222
8.2.1	ncvlog 命令	174	10.3.6	布局	229
8.2.2	ncelab 命令	176	10.3.7	时钟树综合	235
8.2.3	ncsim 命令	177	10.3.8	布线前的电源/地线检查	240
8.2.4	NC-Verilog 仿真小结	178	10.3.9	布线	240
8.3	用 Debussy 调试仿真结果	178	10.3.10	可制造性设计处理	246
8.4	HDL 仿真总结	180	10.3.11	版图验证	246
8.5	FPGA 硬件验证	180	10.3.12	数据输出	247
8.5.1	FPGA 基本组成	180	第 11 章	布局布线工具 IC Compiler	249
8.5.2	FPGA 设计流程	181	11.1	IC Compiler 简介	249
8.5.3	FPGA 下载配置	184	11.2	ICC 后端设计须知	250
第 9 章	逻辑综合与 Design Compiler	191	11.2.1	后端设计中常用文件的格式	
9.1	逻辑综合综述	191		说明	250
9.2	用 Design Compiler 综合电路	192	11.2.2	I/O 库与标准单元库中的特殊	
9.2.1	Design Analyzer 的启动	193		单元	251
9.2.2	设计读入	194	11.2.3	ICC 中的静态时序分析	252
9.2.3	链接	196	11.2.4	ICC 中的 MCMC	256
9.2.4	实例唯一化	197	11.3	利用 ICC 进行布局布线的设计	
9.2.5	设计环境	197		流程	258
9.2.6	设计约束	202	11.3.1	设计准备	258
9.2.7	设计的逻辑综合	206	11.3.2	布图规划	265

11.3.3	布局	276	13.2.3	Synopsys Adaptive Scan 压缩	344
11.3.4	时钟树综合	279	13.3	使用 TetraMAX 进行 ATPG 生成	344
11.3.5	布线	286	13.3.1	TetraMAX 的图形界面	344
11.3.6	DFM (可制造性设计)	289	13.3.2	TetraMAX 的基本流程	345
11.3.7	版图验证	295	13.3.3	ATPG 测试向量生成	346
11.3.8	数据输出	296	13.4	DFT 设计实例	348
11.3.9	ECO	297	13.4.1	设计代码编写	348
第 12 章	数字集成电路设计的验证方法	299	13.4.2	综合并插入扫描链的过程	349
12.1	OVM 验证方法学介绍	299	13.4.3	ATPG 自动测试矢量生成	351
12.2	验证工具 QuestaSim 软件介绍	302	第三部分	Linux 操作系统及其他 相关知识	356
12.3	使用 OVM 搭建验证环境	307	第 14 章	Linux 系统常用命令	357
12.4	随机验证	315	14.1	服务器基本操作	357
12.5	形式验证及 Formality 软件使用 方法	318	14.2	Linux 文件名称	358
12.5.1	设置 Reference Design	320	14.3	Linux 文件存取权限	358
12.5.2	设置 Implementation Design	322	14.4	Linux 文件系统常用命令	359
12.5.3	设置环境	323	14.5	程序进程	364
12.5.4	Match	324	14.6	vi 的使用	365
12.5.5	Verify	324	第 15 章	Memory Compiler 软件 Embed-It Integrator 使用方法	367
12.5.6	Debug	325	第 16 章	数字 IC 功耗分析工具 PTPX 使用 方法	373
12.5.7	形式验证中所用的脚本 及代码	325	16.1	PTPX 中的功耗分析技术	373
12.6	静态时序验证及 PrimeTime 软件 使用方法	328	16.2	PTPX 功耗分析所需的文件	373
12.6.1	静态时序验证	328	16.3	PTPX 中的功耗分析模式及功耗 分析流程	374
12.6.2	静态时序分析原理	329	16.3.1	平均功耗分析模式	375
12.6.3	基于 PrimeTime 的静态时序 分析	330	16.3.2	无矢量功耗分析模式	375
第 13 章	可测性设计及可测性设计软件 使用	336	16.3.3	基于时间的功耗分析模式	376
13.1	可测性设计基础	336	16.3.4	PTPX 功耗分析报告	377
13.1.1	测试	336	第 17 章	流片前的 Check List	379
13.1.2	可测性设计	336	17.1	检查事项	379
13.1.3	故障模型	336	17.2	特殊的 Cell 和 Ring 的说明	381
13.1.4	自动测试矢量生成	338	第 18 章	集成电路设计领域常用英文 缩略语	386
13.1.5	可测性设计的常用方法	338	参考文献		390
13.2	使用 DFTC 进行可测性设计	340			
13.2.1	Synopsys 的 DFT 流程	340			
13.2.2	DFT 扫描链插入	342			

第一部分 模拟集成电路 设计工具及使用

虽然在许多应用场合的信号处理已转移到数字领域,但是,人们在面对现实世界时,仍需要大量高品质的模拟电路。随着系统集成度的提高,单片 IC 的规模会越来越大,越来越多的 SoC 中会包含连接现实世界物理量的模拟电路。虽然这部分模拟电路只占整个芯片面积的一小部分,但它通常成为整个系统性能的制约因素和集成电路设计中最困难的部分。因此,仍然需要先进的模拟集成电路设计工具和有经验的模拟集成电路设计者。本部分的目的就是为模拟集成电路设计者提供必要的设计工具方面的知识,帮助其成为优秀的模拟集成电路设计师。

时至今日,手工设计深亚微米模拟集成电路已不可能,必须采用先进的 EDA 或 CAD 工具来进行设计。在模拟集成电路设计工具领域,使用最多的是美国 Cadence 公司的产品。因此本书这部分主要介绍 Cadence 公司的模拟集成电路设计工具,也包含其他公司的一些常用产品,比如 Synopsys 公司的 Hspice 等。

与数字集成电路采用标准单元的设计方法不同,模拟集成电路往往采用全定制设计。也就是说,模拟集成电路设计从交互式的电路图输入开始,经过电路仿真验证,达到设计要求,然后进行人工版图设计。版图的验证包括设计规则验证(DRC)和与线路图的一致性检查(LVS),最后还要进行版图的寄生参数提取和后仿真验证(Post-simulation)。

目前已有的 EDA 工具已经涵盖了模拟集成电路设计流程的各个阶段,即从电路图输入到后仿真,如图 A 所示。据此,本部分的第 1 章首先介绍 Cadence 公司的电路图输入工具软件 Virtuoso Schematic Composer;在随后的电路仿真和验证阶段,介绍两种常用的仿真工具,分别是 Cadence 公司的 Spectre 和 Synopsys 公司的 Hspice。这章的最后简单地介绍快速仿真工具 Ultrasim 的使用。为了加深理解,在第 2 章中给出了一些模拟集成电路的仿真验证实例,包括基准源电路的直流、交流和稳定性分析仿真、电路的噪声仿真、开关电容电路的周期稳态仿真和周期性传输函数仿真等。第 3 章开始介绍版图设计,首先介绍典型的 CMOS 工艺流程,了解和熟悉半导体生产工艺对于版图设计、绘制是非常重要的;然后介绍版图绘制工具 Cadence 的 Virtuoso 软件和 SpringSoft 公司的 Laker 软件,最后给出一些版图设计中需要注意的常见问题。第 4 章介绍两种常用的版图验证工具: Cadence 公司的 DIVA 和 Mentor Graphics 公司的 Calibre,并分别介绍利用这两种工具进行 DRC、LVS、寄生参数提取直至后仿真的步骤方法。最后在第 5 章对 DIVA 规则文件中的语句和命令进行详细的解释说明,以利于读者更好地理解与版图验证相关的设计过程。

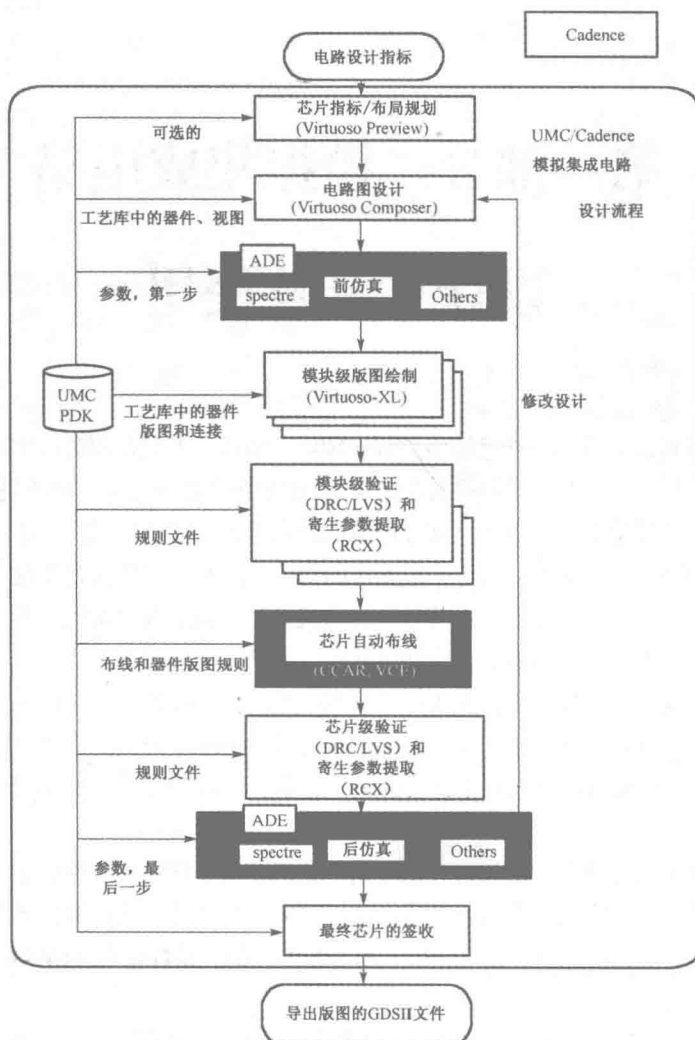


图 A 模拟集成电路设计流程

第1章 电路仿真工具软件使用

本章主要介绍几种电路仿真工具软件的使用。前两节介绍 Cadence 的 ADE (Analog Design Environment) 和 Synopsys 的 Hspice 两种模拟电路仿真工具, 第3节介绍快速仿真器 Ultrasim 的使用方法。通过本章的介绍, 读者可以学习这些软件的基本使用方法, 并可以按照示例独立操作。

1.1 Cadence 电路仿真工具包

1.1.1 Cadence 设计环境简介

Cadence 提供了一个大型的 EDA 软件包, 包括 ASIC 设计、FPGA 设计和 PC 设计。Cadence 在电路仿真、电路图设计、自动布局布线、版图设计及验证等方面有着绝对的优势。Cadence 包含的工具较多, 几乎包括了 IC 设计的方方面面。本节主要介绍的是 Cadence 软件工具包里中全定制 IC 设计工具 Virtuoso Schematic Composer 和电路仿真工具 Analog Design Environment。Virtuoso Schematic Composer 提供了绘制原理图的图形化界面, 并支持 VHDL/Verilog HDL 的文本输入, 使用非常方便高效; Analog Design Environment 提供了友好的图形化仿真界面, 非常直观易用。

首先, 登录工作站 (登录工作站的方式很多, 这里不做描述), 然后在命令行中输入 `icfb&` 命令进入 Cadence 设计环境, 出现图 1.1 所示的命令解释窗口 (Command Interpreter Window, CIW), 然后开始在该设计环境中进行设计。主窗口分为信息窗口、命令行、鼠标命令、主菜单及提示。信息窗口会给出一些系统信息 (如出错信息、程序运行情况等); 命令行可以输入某些命令; 主菜单主要有 File 菜单和 Tools 菜单, 下面详细介绍这两种菜单。

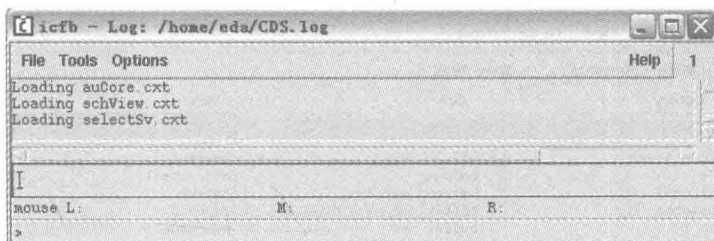


图 1.1 CIW 窗口

1. File 菜单

在 File 菜单下, 主要的菜单项有 New、Open、Options、Exit 等。在具体解释之前不妨先理顺以下几个关系。Library (库) 的地位相当于文件夹, 它用来存放一个设计的所有数据, 如一些子单元 (Cell) 及子单元中的多种视图 (View)。Cell 可以是一个简单的单元, 如一个与非门, 也可以是比较复杂的单元 (由 symbol 搭建而成)。View 则包含多种类型, 常用的有 schematic、symbol、layout、extracted、ivpcell 等, 它们各自代表的意思以后将会一一提到。

New 菜单项的子菜单下有 Library 和 Cellview 两项。Library 项打开 New Library 对话框, Cellview 项打开 Create New File 对话框, 分别如图 1.2 和图 1.3 所示。

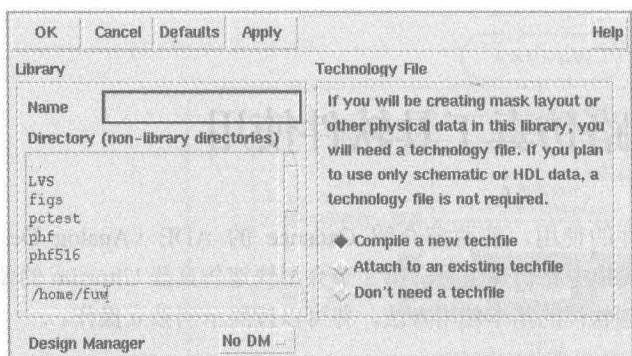


图 1.2 New Library 对话框

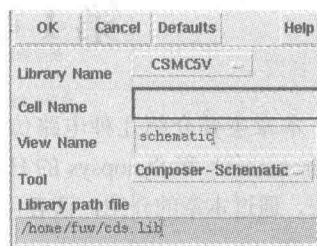


图 1.3 Create New File 对话框

需要注意的问题如下。

(1) 建立库 (Library): 对话框分 Library 和 Technology File 两部分。Library 部分有 Name 和 Directory 两项, 分别输入要建立的 Library 的名称和路径。如果只建立进行 SPICE 仿真的线路图, Technology 部分选择 “Don’t need a techfile” 选项。如果在库中要创立掩模版或其他物理数据 (即要建立除了 Schematic 外的一些 View), 则需选择 “Compile a new techfile” (建立新的 techfile) 或 “Attach to an existing techfile” (使用已有的 techfile)。

(2) 建立单元 (Cell) 文件: 在 Library Name 中选择存放新文件的库, 在 Cell Name 中输入名称, 然后在 Tool 选项中选择 Composer-Schematic 工具 (进行 SPICE 仿真), 在 View Name 中就会自动填上相应的 View Name——schematic。当然在 Tool 工具中还有很多别的工具, 常用的有 Composer-Symbol、virtuoso-layout 等, 分别建立的是 symbol、layout 的视图 (view)。

2. Tools 菜单

在 Tools 菜单下, 主要的菜单项有 Library Manager、Library Path Editor、Technology File 等。Library Manager 项打开的是库管理器对话框, 如图 1.4 所示。

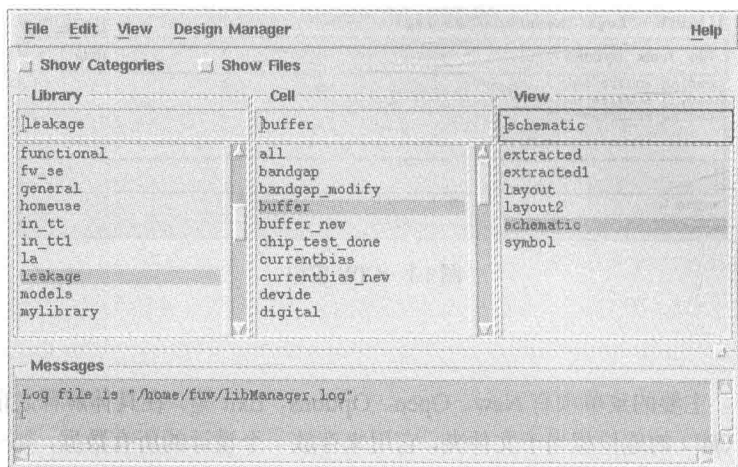


图 1.4 Library Manager 对话框

在对话框的各部分中, 分别显示的是 Library、Cell、View 相应的内容。双击需要打开的 View 名 (或同时按住鼠标左右键从弹出菜单中选择 Open 项) 即可打开相应的文件。同样在 Library Manager 中也可以建立 Library 和 Cell。具体方法是单击 File, 在下拉菜单 New 中选择 Library 或 Cell 即可。

Library Path Editor 项打开的是 Library Path Editor (库路径编辑器) 对话框, 如图 1.5 所示。可以从 Edit 菜单中选择 Add Library 项, 填入相应的库名和路径名, 即可加入相应的库; 同样也可以用 Remove Library Definition 删除库的定义。

Technology File Manager 菜单基本上都是和工艺相关的功能和设置, 如图 1.6 所示。这个对话框用于管理设计库和模型库之间对应关系的设置。比较常用的是 Edit Layers, 可以在版图编辑中用来修改原始图层的一些属性。

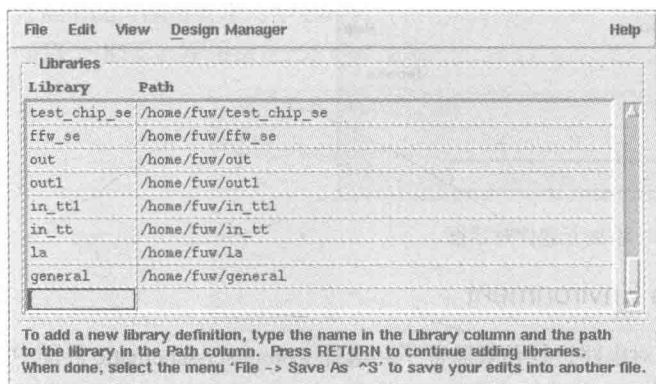


图 1.5 Library Path Editor 窗口



图 1.6 Technology File Manager 菜单

1.1.2 电路图输入工具 Virtuoso Schematic Composer

与数字电路不同, 模拟电路需要电路图输入, 而数字电路通常采用 Verilog HDL 或 VHDL 编程。根据上面叙述的步骤, 在设计库中建立一个单元, Tool 选项中选择 Composer-Schematic 工具 (可以在 CIW 中建立, 也可以在 Library Manager 中建立)。即进入了 Composer-Schematic Editing 窗口, 如图 1.7 所示。窗口左边的快捷栏按钮 (从上到下) 分别为 Check and Save (检查并存盘)、Save (存盘)、Zoom out by 2 (放大两倍)、Zoom in by 2 (缩小至一半)、Stretch (延伸)、Copy (复制)、Delete (删除)、Undo (取消)、Property (属性)、Component (加元件)、Wire (Narrow) (画细线)、Wire (Wide) (画粗线)、Pin (引脚)、Label (标签)、Cmd options (命令行)、Repeat (重复), 可以在菜单中分别找到相应的菜单项。



图 1.7 Composer-Schematic Editing 窗口

选择 Add→Component 菜单或者按快捷键“i”，打开相应添加元器件的对话框，如图 1.8 所示。单击 Browse 按钮，会弹出 Library Manager 对话框，一些常用的元器件都在 AnalogLib 库中。View Name 一般选择 symbol，Instance Names 不用自己填，系统会自动加上去。添加完元器件后需设定元器件的模型名称（如果必要）及一些参数的值，特别是 MOS 管和三极管，一定要填 model name，否则在仿真时会出错。添加元器件后，还需要将元器件用 wire 连接起来，形成完整的电路网表。在完成电路后，要检查保存（Check and Save），检查电路中是否存在电气错误。

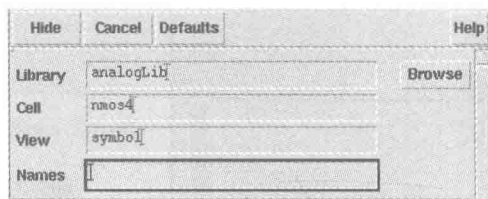


图 1.8 添加元器件对话框

1.1.3 仿真环境工具 Analog Design Environment

完成电路图输入并检查保存后，就可以对电路进行仿真验证了。选择 Composer-schematic 界面中的 Tools→Analog Environment 菜单项可以打开 Analog Design Environment 窗口，如图 1.9 所示。这是仿真时用到的主要工具，下面详细介绍其主要功能。

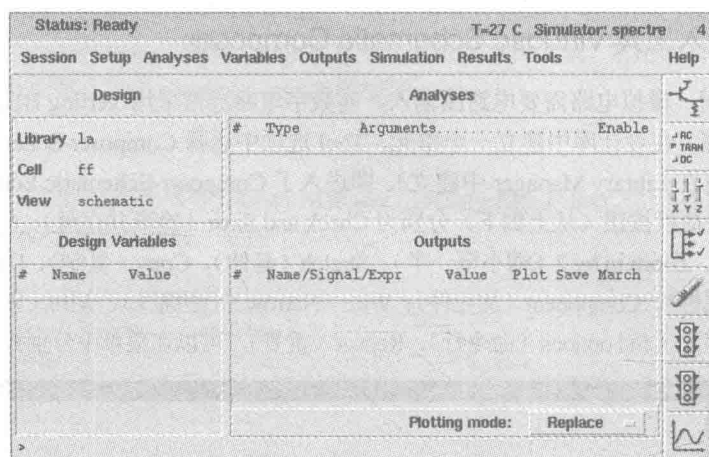


图 1.9 Analog Design Environment 窗口

1. Session 菜单

Session 菜单包括 Schematic Window、Save State、Load State、Options、Reset、Quit 等菜单项。Schematic Window 回到电路图。Save State 打开相应的窗口，保存当前设定的仿真所用到的各种参数。Load State 打开相应的窗口，加载已经保存的状态。Reset 重置 Analog Artist，相当于重新打开一个仿真窗口。

2. Setup 菜单

Setup 菜单包括 Design、Simulator/directory/host、Temperature、Model Path 等菜单项。

(1) Design 选择需要仿真的电路图。

(2) Simulator/directory/host 选择仿真使用的模型，系统提供的选项有 cdsSpice、hspiceS、Spectre 等，一般比较常用的是 Spectre。

(3) Temperature 设置仿真时的温度。

(4) Model Library Setup 打开如图 1.10 所示的对话框, 选择模型文件的路径, 并填入仿真模型的工艺角类型 (共 5 种, 分别为 tt、ff、ss、fs、sf, 分别对应 typical nmos、typical pmos, fast nmos、fast pmos, slow nmos、slow pmos, fast nmos、slow pmos, slow nmos、fast pmos 的组合)。

注: 在模拟电路的仿真过程中, 要在不同的 PVT (工艺、电压、温度) 状况下全面地仿真。工艺对应的是不同的工艺角类型; 电压指的是电源电压, 要求仿真标称值的 $\pm 10\%$ 电源电压下的电路功能、性能情况; 温度要求对于芯片的应用范围有所不同, 一般民用级的温度范围是 $0^{\circ}\text{C} \sim 70^{\circ}\text{C}$, 工业级是 $-45^{\circ}\text{C} \sim 85^{\circ}\text{C}$, 军用级是 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 。

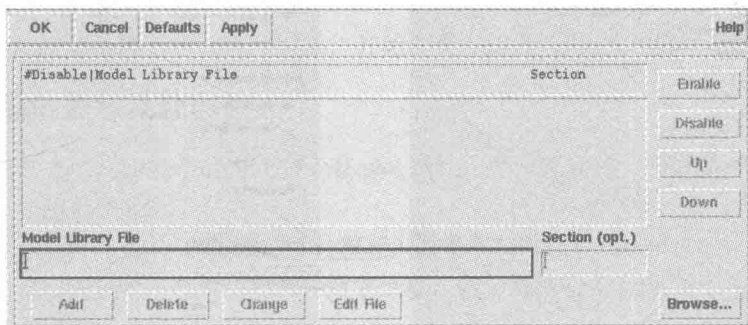


图 1.10 Model Library Setup 模型库设置对话框

3. Analyses 菜单

在 Analyses 菜单中可以选择分析类型。在 Spectre 模型中, 可供选择的分析类型有很多, 常用的是 ac (交流)、dc (直流)、tran (瞬态)。tran 的设置只需填入仿真停止时间即可, 时间单位是秒, Accuracy Defaults 设定仿真精确度和速度。可选择三种仿真精确度: 宽松的 (liberal), 适中的 (moderate), 保守的 (conservative)。其中, liberal 的仿真速度最快, 但是精度最低, 这种精度的仿真适合数字电路或者是变化速度较低的模拟电路; moderate 作为仿真器默认的设置, 其精确度类似于用 SPICE2 计算的仿真结果; conservative 具有最高的精确度, 但是速度最慢, 适合较敏感的模拟电路的仿真 (如图 1.11 所示)。ac 和 dc 分析的设置则更具特点: Spectre 提供了参量扫描功能, 其中可供选择的参量 (parameter) 有 Frequency (ac 分析)、

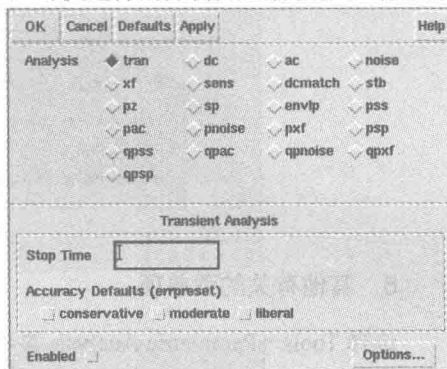


图 1.11 瞬态分析设置

Temperature、Component Parameter 和 Model Parameter。在 ac 分析扫描频率 (常规分析) 时, 只需填入起始频率和终止频率即可。而在扫描其他参数时, 必须将整个电路固定在一个工作频率 (at frequency) 上, 然后进行其他选择。要进行 Component Parameter 扫描时, 先单击 Select Component, 然后在电路图上选择所需扫描的器件, 这时会弹出一个列有可供扫描参量名称的菜单, 在其上选择即可。进行 Model Parameter 扫描时, 只需填入 Model Name 和 Parameter Name 即可。如图 1.12 和图 1.13 所示。

4. Variables 菜单

Variables 菜单包括 Edit 等子菜单项。Edit 可打开图 1.14 所示的对话框。可以对变量进行添加、删除、查找、复制等操作。变量 (Variables) 既可以是电路中元器件的某一个参量, 也可以是一个表达式。变量将在参量扫描 (Parametric Analysis) 时用到, 以下还会具体说明。

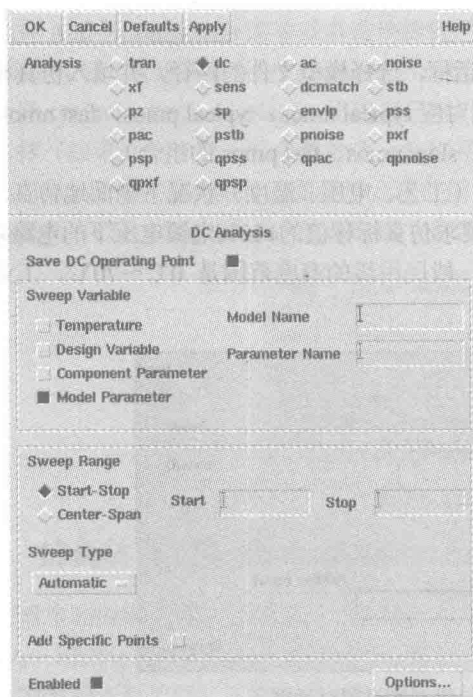


图 1.12 直流分析设置

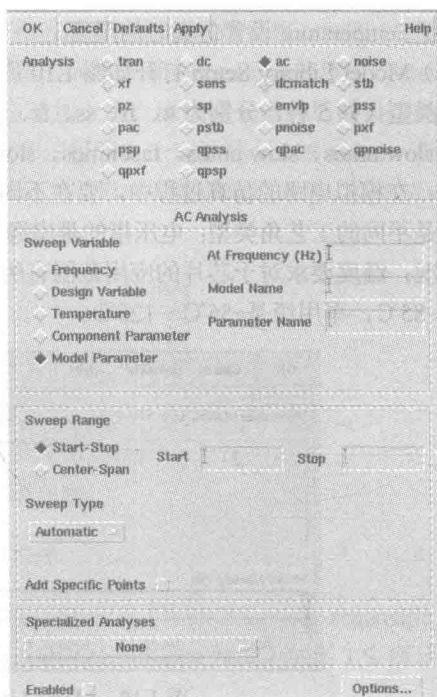


图 1.13 交流分析设置

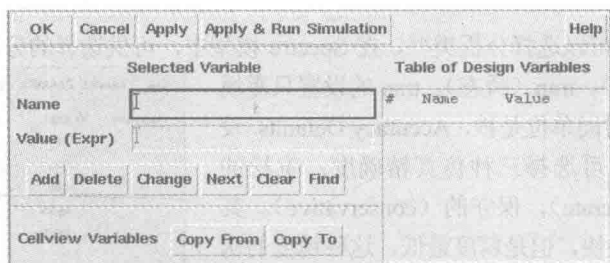


图 1.14 变量编辑对话框

5. 其他有关的菜单项

选择 Tools→Parametric Analysis 菜单项可以打开图 1.15 所示的参量分析对话框。它提供了一种很重要的分析方法——参量分析，也即参量扫描。可以对温度、用户自定义的变量（Variables）进行扫描，从而找出最合适值。下面详细说明。

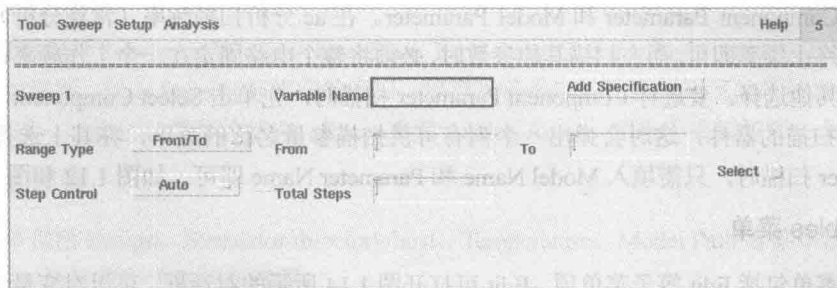


图 1.15 参量分析对话框