

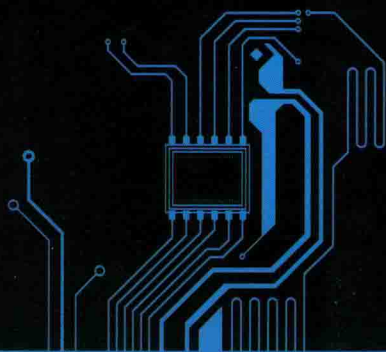


Xilinx公司大学计划指定教材



勇敢的芯 伴你玩转Xilinx FPGA

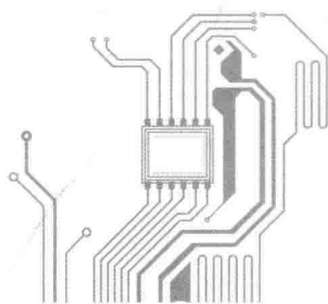
◎ 吴厚航 编著



- ◎ Xilinx大学计划经理 作序推荐
- ◎ Xilinx FPGA零基础快速入门
- ◎ 基础概念阐释、板级电路解析、丰富的Verilog例程讲解
- ◎ 可配套量身定制的开发实验平台，理论和实践相结合

清华大学出版社





勇敢的芯 伴你玩转Xilinx FPGA

◎ 吴厚航 编著

清华大学出版社
北京

内 容 简 介

本书使用 Xilinx 公司的 Spartan 6 FPGA 器件,由浅入深地引领读者从板级设计、基础入门实例、FPGA 片内资源应用实例和综合进阶实例等方面,玩转 FPGA 逻辑设计。本书基于特定的 FPGA 实验平台,既有足够的理论知识深度作支撑,也有丰富的例程进行实践学习,并且穿插着笔者多年 FPGA 学习和开发过程中的经验和技巧。

无论对于希望快速掌握 Verilog 语言进行 FPGA 开发的初学者,还是希望快速掌握基于 Xilinx Spartan 6 FPGA 进行开发的设计者,本书都是很好的选择。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

勇敢的芯伴你玩转 Xilinx FPGA/吴厚航编著. —北京:清华大学出版社,2017

(电子设计与嵌入式开发实践丛书)

ISBN 978-7-302-47427-2

I. ①勇… II. ①吴… III. ①现场可编程门阵列—系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2017)第 129417 号

责任编辑:刘 星 薛 阳

封面设计:刘 键

责任校对:时翠兰

责任印制:杨 艳

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:北京密云胶印厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:23.25

字 数:565 千字

版 次:2017 年 12 月第 1 版

印 次:2017 年 12 月第 1 次印刷

印 数:1~2000

定 价:59.00 元

产品编号:073303-01

序言

经历了三十多年的发展,FPGA 在人工智能、嵌入式视觉这些新兴的领域又一次展示了其可重构、可并行计算的魅力。例如 Xilinx 最新推出的面向平台、算法及应用开发的 reVISION 堆栈。该堆栈支持 OpenCV 等计算机视觉处理,还包括对最广泛神经网络的支持(如 AlexNet、GoogLeNet、SqueezeNet、SSD 和 FCN),可构建定制神经网络(CNN/DNN)并利用各网络层预定义优化 CNN 实现方案所需的功能。

而相比于其他技术,FPGA 始终被认为是一个入门门槛比较高的技术,为了让 FPGA 被更多的开发者使用,Xilinx 陆续推出了高层次综合 HLx、SDAccel、SDSoC 等开发工具套件,以便让更多软件工程师从软件高层对 FPGA 进行编程。与此同时,作为全可编程技术的引领者,Xilinx 倡导软件定义、硬件优化的设计理念。通过软件的方法快速完成原型设计,但在追求差异化时,往往需要在底层硬件上完成独门设计和优化以获取更高的性能,更低的资源占用、功耗等。这就需要工程师自底向上,对底层架构、时序优化、接口类型等方面有深入的理解。

自顶向下还是自底向上,在如此多的新技术中,作为新入门者,该从何入手?如果你是软件爱好者,可以试试高层综合;如果你是电子爱好者,那可以从硬件底层做起。不论是哪个切入点,千里之行,始于足下,最好的办法是动手做起来。

Spartan 系列作为 Xilinx 低成本的平台,非常适合作为入门首选平台。著名众筹网站 Kickstarter 上 FPGA 项目中选用最多的芯片就是 Spartan 系列。而对于愿意从底层硬件入手,从底层逻辑门开始搭建整个电子系统的爱好者来讲,也属于电子设计行业中的“斯巴达勇士”。

本书正是一本不可多得的从底层入手的图书,手把手地从 FPGA 原理开始介绍,到基本逻辑门设计再到常用的接口设计,通过对这些基础案例的讲解以及设计体会的分享,让读者快速掌握 Xilinx FPGA 开发流程。吴厚航在 FPGA 领域有多年的开发经验,同时也是一位非常乐于分享的工程师。与厚航认识很多年,很荣幸他能将其 Xilinx 的使用经验进行分享。对于勇于接受挑战的爱好者,那就随着厚航的分享,一起来发现底层硬件设计和优化的乐趣吧!

Xilinx 大学计划经理 陆佳华

2017 年 9 月

Preface

前言

FPGA 技术在当前的电子设计领域越来越火热,虽然它的成本还是高高在上,但是它给电子系统所带来的不可限量的速度和带宽以及在灵活性、小型性方面的优势,越来越为对性能要求高、偏重定制化需求的开发者所青睐。因此,越来越多的电子工程师和电子专业在校学生希望能够掌握这门技术。而一门电子技能的掌握,单凭几本初级入门教材是很困难的。笔者结合自身的学习经历,为广大学习者量身打造了基于低成本、高性价比的 Xilinx Spartan 6 FPGA 器件的硬件开发学习平台。基于这个平台,配套本教材的各种基础概念阐释和例程讲解,相信可以帮助读者快速掌握这一门新技术。

本书共分为以下 9 章。

第 1 章是基础中的基础,讲述可编程器件的一些基本概念及其主要应用领域、相比于传统技术的优势和开发流程。

第 2 章从 FPGA 开发平台的电路板设计入手,介绍 FPGA 板级硬件电路设计要点,以及本书配套开发平台的周边外围电路的设计。

第 3 章从最基础的 0 和 1 开始回顾数字电路的基础,也会深入探讨读者所关心的可编程器件的内部架构和原理。

第 4 章讲述开发环境的搭建,包括 Xilinx FPGA 集成开发环境 ISE、仿真工具 Modelsim、文本编辑器 Notepad++ 以及下载器驱动和 UART 驱动安装,帮助读者快速搞定学习路上遇到的最棘手的“软”问题。

第 5 章和第 6 章完成最基本的工程创建、语法检查、仿真验证以及编译,甚至在线板级调试和代码固化,带领学习者初步掌握基于 Xilinx ISE 的 FPGA 开发流程。

第 7 章手把手带领读者完成 12 个最基本的入门实例。

第 8 章用 6 个实例帮助读者熟悉 FPGA 除了逻辑资源以外的丰富资源,如 PLL,可配置为 ROM、RAM、FIFO 的内嵌存储器,在线逻辑分析仪 ChipScope。

第 9 章的 15 个例程,是对前面一些例程的集成整合,力图通过大量例程实践,帮助读者熟练掌握 FPGA 的基本开发设计。

本书既有对基础理论知识专门的讲解,也有非常详细的实例演练和讲解,更多的是在实践中传递实用的设计技巧和方法,非常适合初学者。

Foreword

本书配套例程下载链接: <http://pan.baidu.com/s/1jGjAhEm>。

本书配套开发平台淘宝链接: <http://myfpga.taobao.com/>。

吴厚航(网名:特权同学)

2017年8月于上海

目 录

第 1 章	FPGA 开发入门	1
1.1	FPGA 基础入门	1
1.2	FPGA 的优势在哪里	4
1.3	FPGA 应用领域	5
1.4	FPGA 开发流程	6
第 2 章	实验平台“勇敢的芯”板级电路详解	9
2.1	板级电路整体架构	9
2.2	电源电路	10
2.3	复位与时钟电路	13
2.3.1	关于 FPGA 器件的时钟	13
2.3.2	关于 FPGA 器件的复位	15
2.3.3	实验平台电路解析	15
2.4	FPGA 下载配置电路	17
2.5	SRAM 接口电路	18
2.6	ADC/DAC 芯片电路	19
2.7	UART 接口电路	20
2.8	RTC 接口电路	21
2.9	导航按键电路	22
2.10	VGA 显示接口电路	22
2.11	蜂鸣器、数码管、流水灯、拨码开关电路	23
2.12	超声波接口、外扩 LCD 接口电路	24
第 3 章	逻辑设计基础	25
3.1	0 和 1——精彩世界由此开始	25
3.2	表面现象揭秘——逻辑关系	27

Contents

3.3 内里本质探索——器件结构	31
第4章 软件安装与配置	37
4.1 ISE 14.6 软件安装	37
4.1.1 安装文件复制与解压缩	37
4.1.2 虚拟光驱或解压缩安装	38
4.1.3 ISE 14.6 安装	38
4.2 Modelsim SE 10.1 安装	45
4.2.1 安装文件复制与解压缩	45
4.2.2 Modelsim SE 安装	45
4.3 文本编辑器 Notepad++ 安装	50
4.4 ISE 中使用 Notepad++ 的关联设置	52
4.5 ISE 与 Modelsim 联合仿真库编译	54
4.5.1 操作系统确认	54
4.5.2 Xilinx 库编译	55
4.6 ISE 与 Modelsim 联合仿真关联设置	61
4.6.1 modelsim.ini 内容复制与粘贴	61
4.6.2 ISE 设置	64
4.7 Platform Cable USB 驱动安装	65
4.8 串口芯片驱动安装	69
4.8.1 驱动安装	69
4.8.2 设备识别	70
第5章 基于仿真的第一个工程实例	71
5.1 新建工程	71
5.2 Verilog 源码文件创建与编辑	74
5.2.1 Verilog 源码文件创建	74
5.2.2 Verilog 源码文件编辑	77
5.3 Verilog 语法检查	78
5.4 Modelsim 仿真验证	80
5.4.1 ISE 基本设置	80
5.4.2 测试脚本创建与编辑	82
5.4.3 调用 Modelsim 仿真	85
第6章 基于板级调试的第二个工程实例	87
6.1 PWM 蜂鸣器驱动之功能概述	87
6.1.1 功能概述	87
6.1.2 设计源码	88
6.2 PWM 蜂鸣器驱动之引脚分配	89

6.2.1	工程移植	89
6.2.2	PlanAhead 引脚分配	89
6.2.3	脚本直接引脚分配	91
6.3	PWM 蜂鸣器驱动之综合、实现与配置文件产生	93
6.4	PWM 蜂鸣器驱动之 FPGA 在线下载配置	94
6.4.1	开启 iMPACT	94
6.4.2	初始化下载线缆	95
6.4.3	下载配置	98
6.5	PWM 蜂鸣器驱动之 FPGA 配置芯片固化	99
6.5.1	PROM 烧录文件生成	99
6.5.2	固化 PROM	102
6.6	PWM 蜂鸣器驱动之复位与 FPGA 重配置功能	105
6.6.1	复位功能	105
6.6.2	在线重配置功能	105
6.6.3	配置状态指示灯	106
第 7 章	基础入门实例	107
7.1	蜂鸣器开关实例	107
7.1.1	功能简介	107
7.1.2	代码解析	108
7.1.3	打开工程	109
7.1.4	下载配置操作	110
7.2	流水灯实例	111
7.2.1	功能简介	111
7.2.2	代码解析	112
7.2.3	下载配置	112
7.3	3-8 译码器实验	112
7.3.1	功能简介	112
7.3.2	代码解析	113
7.3.3	板级调试	114
7.4	按键消抖与 LED 开关实例	114
7.4.1	按键消抖原理	114
7.4.2	功能简介	116
7.4.3	代码解析	116
7.4.4	板级调试	118
7.5	经典模式流水灯实验	118
7.5.1	功能简介	118
7.5.2	代码解析	119
7.5.3	板级调试	121

7.6	基于 PLL 分频计数的 LED 闪烁实例	121
7.6.1	PLL 概述	121
7.6.2	功能简介	121
7.6.3	新建 IP 核文件	122
7.6.4	PLL 配置	124
7.6.5	模块化设计概述	128
7.6.6	模块化设计实践	129
7.6.7	代码解析	130
7.6.8	板级调试	132
7.7	数码管驱动实例	132
7.7.1	数码管驱动原理	132
7.7.2	功能概述	133
7.7.3	代码解析	133
7.7.4	板级调试	138
7.8	SRAM 读写测试	138
7.8.1	SRAM 读写时序解读	138
7.8.2	功能简介	141
7.8.3	代码解析	142
7.8.4	Xilinx 库设置	148
7.8.5	功能仿真	149
7.8.6	FPGA 在线配置	150
7.8.7	触发采样波形	152
7.9	UART loopback 测试	153
7.9.1	功能概述	153
7.9.2	代码解析	154
7.9.3	板级调试	162
7.10	VGA 驱动 ColorBar 显示	163
7.10.1	VGA 概述	163
7.10.2	功能简介	166
7.10.3	代码解析	167
7.10.4	板级调试	173
7.11	LCD 基本驱动实例	174
7.11.1	LCD 驱动时序	174
7.11.2	功能简介	175
7.11.3	代码解析	176
7.11.4	装配	180
7.11.5	板级调试	180
7.12	LCD 字符显示驱动	181
7.12.1	字符取模	181

7.12.2	ROM 初始化文档创建	184
7.12.3	新建源文件	185
7.12.4	IP 选择	186
7.12.5	ROM 配置	187
7.12.6	功能简介	188
7.12.7	代码解析	190
7.12.8	板级调试	194
第 8 章	FPGA 片内资源应用实例	196
8.1	基于 ChipScope 的超声波测距调试	196
8.1.1	超声波测距原理	196
8.1.2	功能简介	197
8.1.3	代码解析	197
8.1.4	硬件装配	200
8.1.5	ChipScope 源文件创建	200
8.1.6	ChipScope 配置	203
8.1.7	ChipScope 调试	208
8.2	FPGA 片内 ROM 实例	212
8.2.1	功能概述	212
8.2.2	代码解析	212
8.2.3	ROM 初始化文档创建	215
8.2.4	新建源文件	216
8.2.5	IP 选择	217
8.2.6	ROM 配置	217
8.2.7	Xilinx 库设置	220
8.2.8	功能仿真	221
8.2.9	FPGA 在线调试	222
8.2.10	触发采样波形	224
8.3	FPGA 片内 RAM 实例	225
8.3.1	功能概述	225
8.3.2	代码解析	225
8.3.3	新建源文件	228
8.3.4	IP 选择	229
8.3.5	RAM 配置	229
8.3.6	功能仿真	231
8.3.7	FPGA 在线调试	232
8.4	FPGA 片内 FIFO 实例	233
8.4.1	功能概述	233
8.4.2	代码解析	233

8.4.3	新建源文件	236
8.4.4	IP 选择	237
8.4.5	FIFO 配置	238
8.4.6	功能仿真	240
8.4.7	FPGA 在线调试	241
8.5	FPGA 片内异步 FIFO 实例	243
8.5.1	功能概述	243
8.5.2	代码解析	244
8.5.3	新建源文件	247
8.5.4	IP 选择	248
8.5.5	FIFO 配置	248
8.5.6	功能仿真	251
8.5.7	FPGA 在线调试	252
8.6	FPGA 片内 ROM FIFO RAM 联合实例之功能	254
8.6.1	功能概述	254
8.6.2	代码解析	254
8.6.3	功能仿真	258
8.6.4	FPGA 在线调试	260
第 9 章	综合进阶实例	263
9.1	基于数码管显示的超声波测距回响脉宽计数	263
9.1.1	功能简介	263
9.1.2	代码解析	264
9.1.3	板级调试	266
9.2	基于均值滤波处理的超声波测距回响脉宽计数	266
9.2.1	功能简介	266
9.2.2	滤波算法与实现	267
9.2.3	代码解析	268
9.2.4	板级调试	270
9.3	基于进制换算的超声波测距结果显示	270
9.3.1	功能简介	270
9.3.2	距离计算公式实现	270
9.3.3	进制换算实现	271
9.3.4	代码解析	271
9.3.5	乘法器 IP 核创建、配置与例化	273
9.3.6	除法器 IP 核创建、配置与例化	278
9.3.7	板级调试	282
9.4	倒车雷达实例	282
9.4.1	倒车雷达应用背景	282

9.4.2	功能简介	282
9.4.3	代码解析	284
9.4.4	板级调试	285
9.5	基于 SRAM 批量读写的 UART bulk 测试	286
9.5.1	功能概述	286
9.5.2	代码解析	287
9.5.3	板级调试	295
9.6	基于数码管显示的 RTC 读取	297
9.6.1	RTC 芯片解析	297
9.6.2	功能简介	299
9.6.3	代码解析	300
9.6.4	板级调试	309
9.7	基于 UART 发送的 RTC 读取	310
9.7.1	功能简介	310
9.7.2	代码解析	310
9.7.3	板级调试	313
9.8	基于 UART 收发的 RTC 读写	314
9.8.1	功能简介	314
9.8.2	代码解析	315
9.8.3	板级调试	318
9.9	基于 UART 控制的 VGA 多模式显示	319
9.9.1	功能简介	319
9.9.2	代码解析	320
9.9.3	板级调试	320
9.10	基于 LED 显示的 D/A 输出驱动实例	322
9.10.1	D/A 芯片概述	322
9.10.2	功能简介	322
9.10.3	代码解析	323
9.10.4	板级调试	328
9.11	基于按键调整和数码管显示的 D/A 输出实例	329
9.11.1	功能简介	329
9.11.2	代码解析	329
9.11.3	板级调试	329
9.12	波形发生器	330
9.12.1	功能简介	330
9.12.2	代码解析	331
9.12.3	IP 核 CORDIC 配置与例化	336
9.12.4	Xilinx 库设置	338
9.12.5	功能仿真	340

9.12.6	板级调试	341
9.13	基于数码管显示的 A/D 采集实例	342
9.13.1	A/D 芯片接口概述	342
9.13.2	功能简介	342
9.13.3	代码解析	343
9.13.4	板级调试	347
9.14	A/D 和 D/A 联合测试	347
9.14.1	功能简介	347
9.14.2	代码解析	348
9.14.3	板级调试	350
9.15	RTC 时间的 LCD 显示和 UART 设置	350
9.15.1	功能简介	350
9.15.2	代码解析	351
9.15.3	板级调试	354

FPGA 开发入门

本章导读：

本章从 FPGA 的一些基本概念入手，将 ASIC、ASSP、ARM、DSP 与 FPGA 进行对比，同时也论及 FPGA 开发语言及主要厂商；接着对 FPGA 技术在嵌入式应用中的优势和局限性进行讨论；最后论述 FPGA 的应用领域和开发流程。

1.1 FPGA 基础入门

1. FPGA 是什么

简单来说，FPGA 就是“可反复编程的逻辑器件”。如图 1.1 所示，这是一颗 Xilinx 公司的 Spartan 6 FPGA 器件，从外观上看，它和一般的 CPU 芯片没有太大区别。

FPGA 取自 Field Programmable Gate Array 这 4 个英文单词的首个字母，译为“现场可编程阵列”。1985 年，Xilinx 公司的创始人之一 Ross Freeman 发明了现场可编程阵列。Freeman 发明的 FPGA 是一块全部由“开放式门”组成的计算机芯片。采用该芯片，工程师可以根据需要进行灵活编程，添加各种新功能，以满足不断发展的协议标准或规范，工程师们甚至可以在设计的最后阶段对它进行修改和升级。Freeman 当时就推测低成本、高灵活性的 FPGA 将成为各种应用中定制芯片的替代品。也正是由于此项伟大的发明，让 Freeman 于 2009 年荣登美国发明家名人堂。

而至于 FPGA 到底是什么，能够干什么，又有什么过人之处？下面就把它和它的“师兄师弟”们摆在一起，一一呈现这些问题的答案。

2. FPGA、ASIC 和 ASSP

抛开 FPGA 不提，大家一定都很熟悉 ASIC 与 ASSP。所谓 ASIC，即专用集成电路

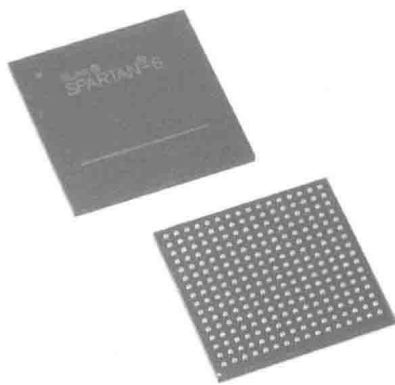


图 1.1 Xilinx 公司的 Spartan 6
FPGA 器件

(Application Specific Integrated Circuit)的简称;而 ASSP,即专用标准产品(Application Specific Standard Parts)。电子产品中,它们无所不在,比 FPGA 普及程度高得多。但是 ASIC 以及 ASSP 的功能相对固定,是为专一功能或专一应用领域而生的,希望对它进行任何的功能和性能的改善往往是无济于事的。打个浅显的比喻,如图 1.2 所示,如果说 ASIC 或 ASSP 是布满铅字的印刷品,那么 FPGA 就是可以自由发挥的一张白纸。



图 1.2 ASIC/ASSP 和 FPGA 就如同印刷品和白纸

使用了 FPGA 器件的电子产品,在产品发布后仍然可以对产品设计做出修改,极大地方便了产品的更新以及针对新的协议标准做出的相应改进,从而可以加速产品的上市时间,并降低产品的失败风险和维护成本。相对于无法对售后产品设计进行修改的 ASIC 和 ASSP 来说,这是 FPGA 特有的一个优势。由于 FPGA 可编程的灵活性以及近年来电子技术领域的快速发展,FPGA 也正在向高集成、高性能、低功耗、低价格的方向发展,并且逐渐具备了与 ASIC 和 ASSP 相当的性能,使其被广泛地应用在各行各业的电子及通信设备中。

3. FPGA、ARM 和 DSP

与 ASIC 相比,FPGA、ARM 和 DSP 都具备与生俱来的可编程特性。或许身处开发第一线的底层工程师要说 No 了,很多 ASIC 不是也开放了一些可配置选项,实现了“可编程”特性吗?是的,但与 FPGA、ARM、DSP 能够“为所欲为”地任意操控整个系统而言,ASIC 的那点儿“可编程”性的确摆不上台面。当然,换个角度来看,FPGA、ARM 和 DSP 都或多或少集成了一些 ASIC 功能,正是这些 ASIC 功能,加上“可编程”特性,使得它们相互区别,并且各自独霸一方。

ARM(Advanced RISC Machines)公司是微处理器行业的一家知名企业,设计了大量高性能、廉价、耗能低的 RISC 处理器、相关技术及软件。由 ARM 公司设计的处理器风靡全球,大有嵌入式系统无处不 ARM 的趋势。通常所说的 ARM,更多的是指 ARM 公司的处理器,即 ARM 处理器,如图 1.3 所示。ARM 通常包含一颗强大的处理器内核,并且为这颗处理器量身配套了很多成熟的软件工具以及高级编程语言,这也是它备受青睐的原因之一。当然了,ARM 不只是一颗处理器而已,因为在 ARM 内核处理器周边,各种各样精于控制的外设比比皆是,如 GPIO、PWM、ADC/DAC、UART、SPI、IIC……ARM 的长处在于控制和管理,在很多工业自动化中大有用武之地。

DSP(Digital Signal Processor,数字信号处理器)是一种独特的微处理器,有自己的完整指令系统,能够进行高速、高吞吐量的数字信号处理,如图 1.4 所示。它不像 ARM 那么

“花俏”，它更“专”。它只专注一件事，就是对各种语音、数据和视频做运算处理；或者也可以这么说，DSP 是为各种数学运算量身打造的。

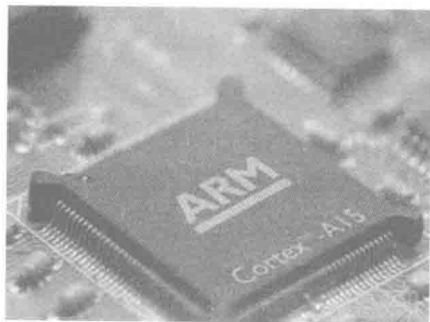


图 1.3 ARM 处理器



图 1.4 DSP 处理器

相比之下，套用近些年 Xilinx 公司的一句很经典的广告词 All Programmable 形容 FPGA 再合适不过了。ARM 虽然有很多外设，DSP 虽然具备强大的信号运算能力，但是在 FPGA 眼里，这些都还是“小菜一碟”。这或许说得有些过了，但是，毫不夸张地讲，ARM 能做的，DSP 能做的，FPGA 一定也都能做；而 FPGA 可以做的，ARM 不一定行，DSP 也不一定行。这就是很多原型产品设计过程中，时不时地有人会提出 FPGA 方案的原因了。在一些灵活性要求高、定制化程度高、性能要求也特别高的场合，FPGA 再合适不过了，甚至有时会是设计者的唯一选择。当然，客观地看，FPGA 固然强大，它高高在上的成本、功耗和开发复杂性还是会让很多潜在的目标客户望而却步，而在这些方面，ARM 和 DSP 正好弥补了 FPGA 带来的缺憾。FPGA 器件如图 1.5 所示。

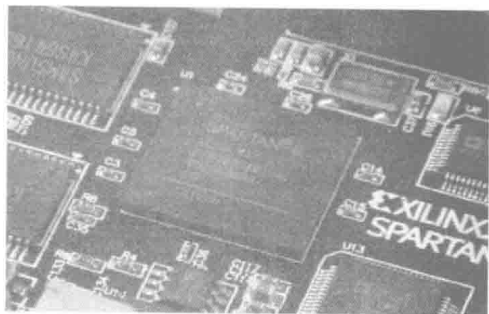


图 1.5 FPGA 器件

总而言之，在嵌入式系统设计领域，FPGA、ARM 和 DSP 各有优劣，各有所长。很多时候它们所实现的功能无法简单地相互替代，否则就不会见到如 TI 的达·芬奇系列 ARM 中有 DSP、Xilinx 的 Zynq 或 Altera 的 Soc FPGA 中有 ARM 的共生现象了。FPGA、ARM 和 DSP，它们将在未来很长的一段时间内呈现三足鼎立的局面。

4. Verilog 与 VHDL

说到 FPGA，一定会关心它的开发方式。FPGA 开发本质上就是一些逻辑电路的实现而已，因此早期的 FPGA 开发通过绘制原理图（和现在的硬件工程师绘制原理图的方式大体相仿）完成。而随着 FPGA 规模和复杂性的不断攀升，这种落后的设计方式几乎已经被大家遗忘了，取而代之的是能够实现更好的编辑性和可移植性的代码输入方式。

说到 FPGA 的设计代码，经过近 30 年的发展，只有 Verilog 和 VHDL 二者最终脱颖而出，成为公认的行业标准。对于这两种不同的语法，它们的历史渊源、孰优孰劣这里就不提了。美国和中国台湾地区的逻辑设计公司大都以 Verilog 语言为主，国内目前学习和使用 Verilog 的人数也在逐渐超过 VHDL。从学习的角度来讲，Verilog 相对 VHDL 有着快速上手、易于使用的特点，博得了更多工程师的青睐。即便是从来没有接触过 Verilog 的初学