



普通高等教育精品教材
普通高等教育“十一五”国家级规划教材
微电子与集成电路设计系列规划教材

SoC设计方法 与实现 (第3版)

© 郭炜 魏继增 郭箬 谢憬 编著



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

普通高等教育精品教材

普通高等教育“十一五”国家级规划教材

微电子与集成电路设计系列规划教材

SoC 设计方法与实现

(第3版)

郭 炜 魏继增 郭 箏 谢 憬 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书是普通高等教育“十一五”国家级规划教材、普通高等教育精品教材。本书结合 SoC 设计的整体流程，对 SoC 设计方法学及如何实现进行了全面介绍。全书共 15 章，主要内容包括：SoC 设计绪论、SoC 设计流程、SoC 设计与 EDA 工具、SoC 系统结构设计、IP 复用的设计方法、RTL 代码编写指南、同步电路设计及其与异步信号交互的问题、综合策略与静态时序分析方法、SoC 功能验证、可测性设计、低功耗设计、后端设计、SoC 中数模混合信号 IP 的设计与集成、I/O 环的设计和芯片封装、课程设计与实验。书中不仅融入了很多来自于工业界的实践经验，还介绍了 SoC 设计领域的最新成果，可以帮助读者掌握工业化的解决方案，使读者能够及时了解 SoC 设计方法的最新进展。本书提供中英文电子课件。

本书可以作为集成电路、微电子、电子、计算机等专业高年级本科生及研究生的教材，也可以作为集成电路设计工程师的技术参考书。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有，侵权必究。

图书在版编目(CIP)数据

SoC 设计方法与实现 / 郭炜等编著. — 3 版. — 北京: 电子工业出版社, 2017.8

微电子与集成电路设计系列规划教材

ISBN 978-7-121-32254-9

I. ①S… II. ①郭… III. ①集成电路—芯片—设计—高等学校—教材 IV. ①TN402

中国版本图书馆 CIP 数据核字 (2017) 第 171241 号

策划编辑: 王羽佳

责任编辑: 王羽佳 特约编辑: 曹剑锋

印 刷: 北京季蜂印刷有限公司

装 订: 北京季蜂印刷有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开 本: 787×1092 1/16 印张: 20.5 字数: 600 千字

版 次: 2007 年 6 月第 1 版

2017 年 8 月第 3 版

印 次: 2017 年 8 月第 1 次印刷

定 价: 49.90 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：(010) 88254888, 88258888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式：(010) 88254535, wjy@phei.com.cn。

序 一

2007年是晶体管发明60周年，2008年是集成电路发明50周年。也许连晶体管的发明人威廉·肖克利（William Shockley）和集成电路的发明人杰克·基尔比（Jack Kilby）当初也没有意识到，他们的发明能够对后世产生如此重大和深远的影响，以至于今天我们的生活中晶体管和集成电路无处不在。1965年戈登·摩尔（Gordon Moore）提出了著名的摩尔定律（Moore's Law），准确地预言了其后的40多年集成电路技术的发展。尽管今天在面临功耗等诸多挑战的时候，人们对摩尔定律还能持续多久产生了一些疑问，但也没有人怀疑它在未来20年中还会一直有效。

即使对集成电路技术一无所知的人，也很容易计算出 2^{26} 是一个多么巨大的数字。回顾集成电路在过去的40多年中以集成度每18个月翻一番的速度成长的过程，我们今天无论如何也不该再简单地使用芯片这个单词了，因为它已经无法准确地描述今天集成电路的复杂度和功能。在绞尽脑汁用小规模、中规模、大规模、甚大规模、超大规模和特大规模等形容词来描述集成电路复杂度的过程中，人们发现已经找不到更合适的形容词了，似乎语言的能力在高速发展的集成电路技术面前也有些黔驴技穷。上世纪末逐渐被人们所采用的系统级芯片（SoC, System on Chip）预示着这个行业在快速发展40年后，正在出现一个量变到质变的突破。

2003年也许注定就是一个不平凡的年份，在亚洲国家遭受“非典”影响的同时，全球集成电路产业也悄悄地经历了一个痛苦、但是意义深远的变革。这次变革虽然没有惊天动地，但足以让集成电路产业来重新审视我们过去研究和预言过无数次的未来。我们曾经非常熟悉、且深信不移集成电路产业发展的动力，如以工艺能力为中心的工艺技术进步驱动产业发展，等比例缩小驱动性能提升和成本下降，提高性能是芯片追求的主要目标和动态功耗主导芯片功耗等，除了等比例缩小仍然是成本下降的主要手段之外，其他的都发生了深刻的变化。例如，以设计能力为核心的系统设计技术成为驱动产业发展的主要力量，创新驱动性能提升，芯片的功耗不再取决于动态功耗，而取决于静态功耗等。面对这些变化，我们一方面不得不感叹技术进步的迅猛和知识更新换代的频繁，另外一方面也惊讶地发现，我们要面对的不再是传统芯片的设计问题，包括软件、通信、应用等诸多系统层面的问题也成为我们必须面对和克服的挑战。不少有识之士在不断地提醒着我们SoC中的S（System）比C（Chip）更重要，这是因为了解S是设计C的先决条件。显然，SoC的设计者不仅要掌握芯片的设计技术，更要了解和掌握系统的知识。

中国是信息产业大国，也是集成电路产业大国。经过数十年的精心组织和发展，中国已经成为全球集成电路产业的重要基地之一。可以预见的是，在未来若干年中，全球集成电路产业向中国转移的大趋势将不会改变，这不仅仅是因为中国经济的发展造就了庞大的市场需求，更是中国本土集成电路产业的进步营造了一个全球不可多得的，优秀的集成电路产业发展环境。以设计为龙头的产业发展策略在造就了一个生机勃勃的集成电路设计行业的同时，也极大地提升了我国在集成电路领域的创新能力。以移动通信为例，我们在第一代模拟移动通信中只是一个站在圈外的买家，在第二代移动通信的发展中期，我们就参与了关键芯片产品的竞争，而在第三代移动通信发展的初期，我们已经成为一个全球不能忽视的重要伙伴。这些有目共睹的变化昭示着中国集成电路产业发展的希望和强劲力量。进入新世纪以来，我们见证了集成电路产业在中国的飞速发展，更感受到产业发展对人才培养的迫切需求。与发达国家相比，我国集成电路设计人才的数量和质

量都相差甚远，根本无法满足产业发展的需求。因此，我们完全有理由相信今后 10 年中对于集成电路人才的需求，特别是对高层次集成电路人才的需求将持续升温。

人才的培养离不开一流的师资和教材。目前，国内高校在集成电路设计教学方面更多的是采用国外引进的专业基础教材，虽然其中不乏经典之作，但总体来看，这些教材缺乏从系统看芯片的介绍，缺乏对 SoC 概念的讲解，缺乏从工程的角度教会学生做 SoC 设计的内容，学生也很难将底层器件和上层系统联系在一起。这造成了国内培养的工程师往往能够设计一个小的功能模块，却很难胜任一个复杂 SoC 的设计。

本书围绕 SoC 设计，全面深入地介绍了有关 SoC 的知识，着重阐述了 SoC 设计中广受关注的系统架构设计，低功耗设计，可测性设计，先进验证方法和后端设计。内容既包括 SoC 的概念介绍，常用的微处理器、总线和存储器，还包括 SoC 设计的完整流程和工具介绍，以及 RTL 代码编写指南等十分实用的内容，是一本内容全面并具有一定前瞻性的教材及参考书。

本书的主要作者郭炜教授具有在 Motorola 长期参与芯片设计与项目管理的丰富经历，以及多年从事科研与教学的经验，书中不仅介绍了 SoC 设计领域的最新成果，还融入了很多来自工业界的实践经验和案例，可以帮助读者通过了解工业界实用的解决方案，快速提升对 SoC 设计的理解，掌握 SoC 设计的关键技术。书中不仅涉及芯片的设计，也包含了封装等一般集成电路设计教材中大多忽略的内容，使得实用化成为本书的第二个重要特点。

本书没有遵循一般专著或教材的编写特点，而是以教会学生实用的设计技术为主线，按照 SoC 设计流程来组织和安排各个章节的内容，能够让初次涉足此领域的学生顺着书阅读，自然地学习和掌握 SoC 的设计过程，书中给出的实验大纲和项目进度管理等，不仅进一步充实了本书作为教材的内容，对于学生今后的就业也是不错的基础培训。

过去几年中，我国越来越多的高等院校扩大了集成电路设计专业的人才培养，因此建设更多、更优秀、实践性更强的教材迫在眉睫。希望今后能够看到更多富有工程及教学经验的人士编写出更多、更好的教材，为我国集成电路设计人才的培养作出我们应有的贡献。



(魏少军)

2007 年 4 月于北京清华大学

序 二

2007年初,我读了郭炜研究员编写的《SoC设计方法与实现》一书的手稿,并为之写序,我当时主要看到的是一个成功的SoC设计者的丰富实践经验。今天,我再次先于读者拜读《SoC设计方法和实现(第2版)》,明显看到了作者根据技术的革新与进步,对第1版的技术内容做了大幅度增删,也明显看到了沉淀在书稿中的作者在这4年多的时间里积累的教学经验。

4年多来,传统的硅基CMOS主流工艺技术仍在不断改进,应用于不同领域的处理器的集成度还在不断增加。在晶体管集成度,单位功率性能和功能集成等关键指标方面,在新的记录不断产生的同时又不断被打破。高性能数字单元的实现工艺覆盖了不同的工艺技术,包括65nm、45nm、40nm、32nm及SOI CMOS技术。

4年多来,SoC设计中所涉及的新器件、新结构迅速出现,模拟SoC的设计需求越来越多。数字技术的迅速发展和壮大,曾使人们一度忘记了真正的世界其实是模拟的世界!今天,为了满足模拟SoC信号处理的精度需求,大量使用了将数字信号处理模块嵌入到模拟电路模块的设计方法,利用这类技术研发的电路的性能已经可以与传统方式设计的高性能模拟集成电路相比拟,甚至有的已经超越了后者。

4年多来,得益于先进的纳米尺度CMOS工艺技术及电路结构和实现技术的不断创新,无线通信电路模块的数据传输速率在不断提高。采用CMOS工艺的射频单元技术和电路技术发展迅速,利用载波频率为120GHz的频带,近距离无线通信的收发器可以实现10Gb/s的收发速率,这种无线链接的数据速率已经与传统的有线解决方案的速率十分接近。随着无线多媒体通信对数据通信速率的要求越来越高,SoC设计越来越多地要包含射频单元。

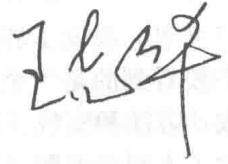
4年多来,无论是面向高性能计算的SoC,还是面向低功耗消费电子产品的SoC,都发展迅速,系统中越来越多地要嵌入不同类型的存储单元。随着工艺的特征尺寸发展到32nm或28nm以下,SoC中包含的存储容量越来越大,性能越来越强,但是工艺尺寸缩小也使得包含嵌入式存储器的SoC设计面临越来越多的技术难题和挑战。

4年多来,随着工艺水平的发展,处理器的系统集成度越来越高,从而在SoC设计时对系统级的功耗优化和有效的电源管理提出了更加苛刻的要求。由于低功耗的需要,SoC设计者有时不得不放弃对高工作频率的追求,转而通过集成多个工作频率较低的处理器核来并行执行任务。利用这种计算模式,在不需要运算时可以关掉某些处理器核或使之进入休眠模式,以降低系统功耗。

经过4年多的技术演变,SoC设计者面临的设计问题、应用对象、可用设计元素及SoC设计方法与实现技术本身都已发生了很大变化。我很高兴地看到,郭炜研究员的及时修订体现了这种技术演变。

《SoC设计方法与实现》第1版付梓时,郭炜研究员刚刚离开工业界,到大学执教,甚至可以说,她是SoC设计的专家,却是SoC设计人才培养(教学工作)的“新手”。我很高兴地看到,本书的修订在实验环节上做了大幅度的补充,充分反映了郭炜研究员的教学经验。

《SoC 设计方法与实现（第2版）》能更好地适应复杂 SoC 设计工作的需求，能够帮助读者掌握有关集成电路设计 SoC 技术工业化的解决方案，使读者能够及时了解 SoC 设计方法的最新进展，是一本内容全面、将理论与实践有机结合的教材及技术参考书，相信不论是高校的在校学生，还是 SoC 设计的入门者和有经验的工程师都可以从本书中获取有益的知识！



(王志华)

2011年5月于清华大学

第 3 版前言

随着对产品快速市场化和多样性需求的增加，半导体产业已经由技术驱动进入应用驱动阶段。创新周期越来越短，技术开发和产业化的边界日趋模糊，技术更新和成果转化更加快捷，产业更新换代不断加快。面向系统应用的新型 SoC，融合计算、通信和多媒体等多种应用，由“CPU+DSP+FPGA+硬件加速器+I/O”等组成的混合架构，在能够满足多种功能的需求的同时，对成本和能效提出了更高的要求。在新的挑战面前，SoC 设计方法也在不断地发展。基于 FPGA 的 SoC 设计，由于它的可重构性和设计周期短，更容易适合系统设计的变化，正在被越来越广泛地应用在汽车电子、网络通信、超级计算及人工智能等领域。SoC 中的 IP 和可复用的设计方案，加快了产品的快速实现，使得 IP（包括验证 IP）、验证环境不断标准化。统一的验证方法学（UVM）的出现，大大缩短研发时间。在对性能要求与日俱增的同时，能耗或者能效已成为与性能同等重要的设计约束。由此而发展的统一功耗格式标准（UPF 标准），使得低功耗 SoC 设计更加高效。

为了跟上工业界发展的步伐，本书第 3 版主要更新如下章节。

1. 在第 2 章 SoC 设计流程中，添加了基于 FPGA 的 SoC 设计流程。在 FPGA 上集成 CPU 软核或硬核，或将 FPGA 和 CPU 集成在同一芯片上，极大地扩充了 FPGA 的功能和应用领域，这种 FPGA 称为 SOPC 或“SoC FPGA”。但从功能上看，可以归类为基于 FPGA 的 SoC。

2. 在第 4 章 SoC 系统架构设计中，添加了各类存储器在 SoC 中的使用及近年来基于新存储机制新型非易失存储器的介绍。在 SoC 中，存储器是决定性能的另一个重要因素。

3. 在第 9 章 SoC 功能验证中，添加了 UVM 验证方法学介绍。UVM 提供了可重用的验证组件，减少验证的费用，目前已被工业界采纳。

4. 在第 11 章低功耗设计中，添加了 UPF 标准介绍，并通过具体例子，进一步掌握低功耗设计的实现方法。

5. 在第 15 章课程设计中，补充了 ESL 实验环境的搭建，减少读者在软件安装和配置上所花费的时间。

在本书第 3 版的编写过程中，得到了很多来自工业界和学术界专家的修订建议及宝贵资料。这也促成第 3 版的完成。在此表示深深的谢意！

作者

2017 年 7 月

第 2 版前言

从本书的第 1 版出版（2007 年）至今，SoC 设计方法与实现技术已发生了很大变化。随着摩尔定律的延伸（More than Moore），SoC 及 SiP 在各类消费电子、汽车电子、医疗电子等嵌入式应用中已成为主流，其系统结构也从简单的单核结构发展为复杂的多核甚至众核结构。

本书在第 1 版的基础上，紧跟复杂 SoC 设计的发展潮流，强调和阐述 SoC 设计在系统结构、设计方法学、设计技术、验证方法上的最新进展和发展趋势。此外，本书与第 1 版相比的另一个显著特点是更加注重实验环节。新增加的实验采用了先进的电子系统级（ESL）设计方法，从单核 SoC 系统结构逐步优化到多核 SoC（MPSoC, Multi-processor SoC）系统结构，从串行程序设计到多线程并行程序开发，从嵌入式操作系统的移植到驱动程序的开发，内容覆盖 SoC 软硬件协同设计的完整过程，使读者能够将所学到的 SoC 设计的最新理论与具体设计实现技术相结合，增加感性认识，强化动手能力，从而能够更好地适应复杂 SoC 设计工作的需求。

第 2 版主要做了如下修订：

1. 在第 1 章 SoC 设计绪论中，强调了 SoC 设计理论和实现技术的最新进展。在当前摩尔定律及其延伸（More than Moore）的背景下，阐述 SoC 设计方法与设计技术的发展与挑战。

2. 第 4 章 SoC 系统结构设计是第 2 版的重点内容。针对复杂 SoC 的发展趋势，增加了多核 SoC 的系统结构设计的内容。根据多核 SoC 系统结构设计的考虑，介绍可用的并发性、多核 SoC 设计中的系统结构选择、多核 SoC 的性能评价、典型的多核 SoC 系统结构，如片上网络（NoC）、可重构 SoC 等。此外，第 4 章在第 1 版的电子系统级设计基础之上，增加了对 OSCI TLM 2.0 最新事务级标准协议及建模方法的介绍。

3. 随着可复用技术的发展，一种比 IP 规模更大的可重用、可扩展复用单元应运而生，即平台。基于平台的设计方法可以使 IP 更容易集成到整个系统当中，可以更好地复用平台，进而可以更快地开发产品。在第 5 章 IP 复用的设计方法中，强调了平台的概念和基于平台的 SoC 设计方法。

4. 由于复杂的软硬件结构及众多的模块，验证已经成为复杂 SoC 设计中最关键也是最花时间的环节，它贯穿了整个设计流程。在第 9 章 SoC 功能验证中，增加了功能验证方法与验证规划的介绍，通过多个以 SystemVerilog 语言写的实例，强调验证的自动化。

5. 在第 12 章后端设计中，修改了时钟树综合部分，结合低功耗的应用需求，给出了相应的时钟树设计策略。同时，新加入了时钟网络的概念，并介绍时钟网络和时钟树融合的全局时钟结构。

6. 随着人与环境交互功能需求的增加，集成电路的类型从数字电路到模拟电路、射频电路、无源器件、高压电路、传感器、生物芯片等不断增加，这些电路的制造已超出了单一的 CMOS 工艺（Beyond CMOS）。系统集成和新的混合集成技术成为发展趋势。在第 13 章 SoC 数模混合信号 IP 的设计与集成中，增加了对 SoC 混合集成的新趋势的介绍，重点介绍了 3D 集成电路。与传统的 SiP 封装集成不同，3D 集成电路是在芯片设计阶段依托 EDA 工具和特定的半导体生产工艺，直接在多层晶圆上完成晶体管集成，是一种单片集成技术。

7. 在第 14 章 I/O 环的设计和芯片封装中,增加了近几年更为成熟的倒置 (FLIP-CHIP) 封装方式对芯片 I/O 设计的影响。主要内容包括:倒置封装的原理、与普通 IO 的区别和基于倒置封装的芯片后端设计方法。

8. 增加了基于 ESL 设计方法的 Motion-JPEG 视频解码器设计实验。通过该实验,可了解并掌握从单核 SoC 到多核 SoC 的系统结构设计及软件开发的全部流程。

本书提供电子课件,请登录华信教育资源网 (<http://www.hxedu.com.cn>) 注册下载。本书可作为高等学校电子信息、微电子、计算机等专业的高年级本科生和研究生的“SoC 设计”或“高级 VLSI 设计”课程的教材及教学参考书,也可供 IC 设计工程师、嵌入式系统工程师学习、参考。

第 2 版修订大纲由天津大学郭炜老师制定。第 1、9 章由郭炜老师编写,第 4、5 和 15 章由天津大学魏继增老师编写,第 12、14 章由上海交通大学郭箬老师编写,第 13 章由上海交通大学谢憬老师编写。全书由郭炜老师统稿。

本书自第 1 版出版以来,收到了很多读者反馈。清华大学的魏少军教授、王志华教授等多位专家提出很多建设性的意见。法国国家 TIMA 实验室 (TIMA Laboratory) 系统级综合研究组的 Frédéric Pétrot 教授及沈浩研究员把他们多年来在 ESL 设计及多核 SoC 方面的研究成果无私的与我们分享,使第 2 版的实验得到了进一步充实。来自工业界的 Synopsys、ARM、IBM、苏州国芯等公司也提供了近几年他们关注的实际问题及解决方案,使本书的内容更贴近工业界的发展前沿。电子工业出版社为本书的顺利出版给予了很大帮助。由于篇幅的原因,对于书中提及和引用的参考文献的作者不能一一列出,他们的工作为本书提供了强有力的理论和实践的支持。在此,我们一并表示由衷的感谢!

由于时间仓促,不足或错误之处,希望读者批评指正。

作者
2011 年 7 月

前 言

本书是普通高等教育“十一五”国家级规划教材，并被评为 2008 年度普通高等教育精品教材。由于我国集成电路设计发展迅速，人才的培养迫在眉睫，大部分 IC 设计工程师缺乏 SoC 整体设计的概念。2003 年秋，上海交通大学为工程硕士开设了 SoC 设计课程，由于缺少相关的教材及参考书，学生所能阅读的内容非常有限，于是就开始着手编写本书。在近两年的编写过程中，前后修改过多次，其间分别试用于研究生的教学及对业界工程师的培训中。书中不仅融入了编者多年的工程经验，还尽可能地将近几年集成电路设计领域国内外最新的进展收入其中。

本书适用于电子科学与技术专业和电子信息工程专业高年级本科生及研究生集成电路领域相关课程的教学，也可以作为 IC 设计工程师的技术参考书。书中列举了大量工程实例来直接告诉读者“如何做 SoC 设计”。希望这本书不仅能使刚刚涉足集成电路设计领域的读者建立完整的 SoC 设计理念，而且能够给 IC 设计工程师提供一些帮助。

本书结合 SoC 设计的整体流程，对 SoC 设计方法学及如何实现进行了全面的介绍。全书共分 14 章。

第 1 章阐述 SoC 设计技术发展的趋势及所面临的挑战，这些挑战使读者专注于 SoC 设计的难点。

第 2 章阐述软硬件协同设计的流程，以及基于标准单元的设计流程，希望读者对 SoC 设计的完整过程有一定的了解。本书其余几章是按照 SoC 设计流程，一步一步深入下去的。

第 3 章介绍与 SoC 设计密切相关的 EDA 工具。SoC 设计从系统架构设计开始，到硬件实现的每个步骤都与 EDA 工具紧密相连。通过这章的介绍，希望读者对 SoC 的设计流程有更深入的认识。

第 4 章阐述 SoC 的架构设计。重点介绍了新兴的、用于复杂 SoC 架构设计的电子系统级(ESL)设计方法。

第 5 章介绍 IP 复用的设计方法及基于平台的 SoC 设计方法。SoC 以 IP 复用为基础，而基于平台的 SoC 设计方法是在 IP 复用的基础上拓展开来的，此类方法更能满足快速的市场变化，目前被工业界广泛使用。

第 6 章和第 7 章就 RTL 代码编写中常犯的错误，如缺少整体规划、同步电路与异步电路的处理等问题给出指导性的建议。

第 8 章就综合的策略、静态时序分析(STA)及基于统计的时序分析(SSTA)方法加以详细介绍。这些方法对于前端和后端 IC 设计工程师都应该熟练掌握。其中 SSTA 方法是在 45nm 以下工艺进行设计时最受关注的新方法。本章还结合 Synopsys 的工具给出设计实例。

第 9 章提出了 SoC 验证所面临的问题和挑战，主要介绍系统级的验证策略和基于断言的验证(Assertion Based Verification)方法。

第 10 章对 SoC 的可测试设计(DFT)进行介绍，包括逻辑和存储器的内建自测(BIST)、边界扫描和扫描链插入等。

第 11 章介绍业界关注的低功耗设计问题和不同层次上的低功耗设计技术。

第 12 章和第 13 章主要涵盖了后端设计的关键知识及数模混合电路在 SoC 设计集成时的考虑，包括布局布线、时钟分配和时钟树的生成，以及信号完整性问题和可制造性设计(DFM/DFY)等。

第 14 章讨论了 I/O 环的设计及封装问题。包括噪声消除技术、ESD 保护方案及如何选择 SoC 的封装形式等。

此外，为了让读者更好地掌握本书的内容，掌握一定的 SoC 设计实际经验，在本书附录中，还引入了一个需要一个团队共同来完成的 SoC 设计实验，并就如何进行项目管理、如何控制进度加以介绍。对于一个完整的集成电路设计项目，团队合作、团队沟通至关重要，这也是本书希望有志于日后投身集成电路设计事业的人员所需要掌握的重要内容之一。

本教材为读者提供免费的多媒体电子课件，请登录华信教育资源网 (<http://www.hxedu.com.cn>) 注册下载。

本书由郭炜、郭箬和谢憬执笔完成。在编写期间，受到了来自多方面的支持和帮助。上海交通大学微电子学院的领导和师生一直对本书的编写给予了大力支持。学院付宇卓教授、汪辉副教授等同仁对本书的编写提出了很重要的建议并花费了大量时间为本书进行审稿。2003 级、2004 级和 2005 级的部分研究生参与了文献整理，修订了本书中的许多纰漏和差错。另外，清华大学的魏少军教授和王志华教授也对本书的撰写做了前瞻性的指导。电子工业出版社对本书的出版给予了热情的帮助。Synopsis 公司为本书提供了许多实例。在此谨向所有在本书的编写和出版工作中曾给予鼓励和帮助的各界人士表示衷心的感谢！此外，在写作过程中，作者参阅了国内外作者的有关论文和著作，特别是本书参考书目中列出的论著，在此一并表示谢意！

鉴于 SoC 技术发展迅速，且涉及众多技术领域，作者虽已尽力，但书中难免存在遗漏和错误之处，敬请读者批评指正。

郭 炜

2007 年 3 月于上海

目 录

第 1 章 SoC 设计绪论	1	3.5.2 布局布线工具的发展趋势	36
1.1 微电子技术概述	1	3.6 物理验证及参数提取与相关的工具	36
1.1.1 集成电路的发展	1	3.6.1 物理验证的分类	37
1.1.2 集成电路产业分工	2	3.6.2 参数提取	37
1.2 SoC 概述	3	3.7 著名 EDA 公司与工具介绍	39
1.2.1 什么是 SoC	3	3.8 EDA 工具的发展趋势	40
1.2.2 SoC 的优势	4	本章参考文献	41
1.3 SoC 设计的发展趋势及面临的挑战	5	第 4 章 SoC 系统架构设计	42
1.3.1 SoC 设计技术的发展与挑战	5	4.1 SoC 系统架构设计的总体目标与各个阶段	42
1.3.2 SoC 设计方法的发展与挑战	10	4.1.1 功能设计阶段	43
1.3.3 未来的 SoC	12	4.1.2 应用驱动的系统架构设计阶段	43
本章参考文献	12	4.1.3 平台导向的系统架构设计阶段	43
第 2 章 SoC 设计流程	13	4.2 SoC 中常用的处理器	43
2.1 软硬件协同设计	13	4.2.1 通用处理器	44
2.2 基于标准单元的 SoC 芯片设计流程	15	4.2.2 处理器的选择	45
2.3 基于 FPGA 的 SoC 设计流程	19	4.3 SoC 中常用的总线	45
2.3.1 FPGA 的结构	19	4.3.1 AMBA 总线	46
2.3.2 基于 FPGA 的设计流程	23	4.3.2 CoreConnect 总线	47
本章参考文献	27	4.3.3 Wishbone 总线	48
第 3 章 SoC 设计与 EDA 工具	28	4.3.4 开放核协议	48
3.1 电子系统级设计与工具	28	4.3.5 复杂的片上总线架构	49
3.2 验证的分类及相关工具	28	4.4 SoC 中典型的存储器	50
3.2.1 验证方法的分类	29	4.4.1 存储器分类	50
3.2.2 动态验证及相关工具	29	4.4.2 静态随机存储器 SRAM	51
3.2.3 静态验证及相关工具	30	4.4.3 动态随机存储器 DRAM	52
3.3 逻辑综合及综合工具	31	4.4.4 闪存 Flash	54
3.3.1 EDA 工具的综合流程	32	4.4.5 新型存储器	54
3.3.2 EDA 工具的综合策略	32	4.5 多核 SoC 的系统架构设计	57
3.3.3 优化策略	32	4.5.1 可用的并发性	57
3.3.4 常用的逻辑综合工具	33	4.5.2 多核 SoC 设计中的系统架构选择	57
3.4 可测性设计与工具	33	4.5.3 多核 SoC 的性能评价	59
3.4.1 测试和验证的区别	33	4.5.4 几种典型的多核 SoC 系统架构	60
3.4.2 常用的可测性设计	33	4.6 SoC 中的软件架构	62
3.5 布局布线与工具	36	4.7 电子系统级 (ESL) 设计	64
3.5.1 EDA 工具的布局布线流程	36		

4.7.1	ESL 发展的背景	64	6.3	调用 Synopsys DesignWare 来 优化设计	119
4.7.2	ESL 设计基本概念	65		本章参考文献	120
4.7.3	ESL 设计的流程	66	第 7 章	同步电路设计及其与异步信号 交互的问题	121
4.7.4	ESL 设计的特点	67	7.1	同步电路设计	121
4.7.5	ESL 设计的核心——事务级 建模	69	7.1.1	同步电路的定义	121
4.7.6	事务级建模语言简介及设计 实例	78	7.1.2	同步电路的时序收敛问题	121
4.7.7	ESL 设计的挑战	91	7.1.3	同步电路设计的优点与缺陷	122
	本章参考文献	91	7.2	全异步电路设计	123
第 5 章	IP 复用的设计方法	92	7.2.1	异步电路设计的基本原理	123
5.1	IP 的基本概念和 IP 分类	92	7.2.2	异步电路设计的优点与缺点	125
5.2	IP 设计流程	94	7.3	异步信号与同步电路交互的 问题及其解决方法	125
5.2.1	设计目标	94	7.3.1	亚稳态	126
5.2.2	设计流程	94	7.3.2	异步控制信号的同步及其 RTL 实现	129
5.3	IP 的验证	99	7.3.3	异步时钟域的数据同步及其 RTL 实现	133
5.4	IP 核的选择	100	7.4	SoC 设计中的时钟规划策略	137
5.5	IP 市场	101		本章参考文献	138
5.6	IP 复用技术面临的挑战	103	第 8 章	综合策略与静态时序分析方法	139
5.7	IP 标准组织	104	8.1	逻辑综合	139
5.8	基于平台的 SoC 设计方法	105	8.1.1	流程介绍	139
5.8.1	平台的组成与分类	106	8.1.2	SoC 设计中常用的综合策略	141
5.8.2	基于平台的 SoC 设计方法 流程与特点	106	8.2	物理综合的概念	142
5.8.3	基于平台的设计实例	107	8.2.1	物理综合的产生背景	142
	本章参考文献	108	8.2.2	操作模式	143
第 6 章	RTL 代码编写指南	109	8.3	实例——用 Synopsys 的工具 Design Compiler (DC) 进行逻辑 综合	144
6.1	编写 RTL 代码之前的准备	109	8.3.1	指定库文件	144
6.1.1	与团队共同讨论设计中的 问题	109	8.3.2	读入设计	145
6.1.2	根据芯片架构准备设计 说明书	109	8.3.3	定义工作环境	145
6.1.3	总线设计的考虑	110	8.3.4	设置约束条件	146
6.1.4	模块的划分	110	8.3.5	设定综合优化策略	148
6.1.5	对时钟的处理	113	8.3.6	设计脚本举例	148
6.1.6	IP 的选择及设计复用的考虑	113	8.4	静态时序分析	150
6.1.7	对可测性的考虑	114	8.4.1	基本概念	150
6.1.8	对芯片速度的考虑	115	8.4.2	实例——用 Synopsys 的工具 PrimeTime 进行时序分析	153
6.1.9	对布线的考虑	115	8.5	统计静态时序分析	159
6.2	可综合 RTL 代码编写指南	115			
6.2.1	可综合 RTL 代码的编写准则	115			
6.2.2	利用综合进行代码质量检查	118			

8.5.1	传统的时序分析的局限	160	10.4.5	扫描测试的可测性设计 流程及相关 EDA 工具	192
8.5.2	统计静态时序分析的概念	160	10.5	存储器的内建自测	193
8.5.3	统计静态时序分析的步骤	161	10.5.1	存储器测试的必要性	193
	本章参考文献	161	10.5.2	存储器测试方法	194
第 9 章	SoC 功能验证	162	10.5.3	BIST 的基本概念	195
9.1	功能验证概述	162	10.5.4	存储器的测试算法	196
9.1.1	功能验证的概念	162	10.5.5	BIST 模块在设计中的集成	198
9.1.2	SoC 功能验证的挑战	163	10.6	边界扫描测试	200
9.1.3	SoC 功能验证的发展趋势	163	10.6.1	边界扫描测试原理	200
9.2	功能验证方法与验证规划	163	10.6.2	IEEE 1149.1 标准	200
9.3	系统级功能验证	165	10.6.3	边界扫描测试策略和相关 工具	204
9.3.1	系统级的功能验证	165	10.7	其他 DFT 技术	204
9.3.2	软硬件协同验证	167	10.7.1	微处理器核的可测性设计	204
9.4	仿真验证自动化	168	10.7.2	Logic BIST	206
9.4.1	激励的生成	169	10.8	DFT 技术在 SoC 中的应用	207
9.4.2	响应的检查	170	10.8.1	模块级的 DFT 技术	207
9.4.3	覆盖率的检测	170	10.8.2	SoC 中的 DFT 应用	208
9.5	基于断言的验证	171		本章参考文献	209
9.5.1	断言语言	172	第 11 章	低功耗设计	210
9.5.2	基于断言的验证	174	11.1	为什么需要低功耗设计	210
9.5.3	断言的其他用途	175	11.2	功耗的类型	211
9.6	UVM 验证方法学	176	11.3	低功耗设计方法	215
	本章参考文献	178	11.4	低功耗技术	216
第 10 章	可测性设计	179	11.4.1	静态低功耗技术	216
10.1	集成电路测试概述	179	11.4.2	动态低功耗技术	218
10.1.1	测试的概念和原理	179	11.4.3	门级优化技术	221
10.1.2	测试及测试矢量的分类	179	11.4.4	低功耗 SoC 系统的动态 管理	224
10.1.3	自动测试设备	180	11.4.5	低功耗 SoC 设计技术的 综合考虑	225
10.2	故障建模及 ATPG 原理	181	11.5	低功耗分析和工具	225
10.2.1	故障建模的基本概念	181	11.6	UPF 及低功耗设计实现	226
10.2.2	常见故障模型	181	11.6.1	基于 UPF 的设计流程	227
10.2.3	ATPG 基本原理	184	11.6.2	UPF 功耗描述文件举例	227
10.2.4	ATPG 的工作原理	184	11.7	低功耗设计趋势	228
10.2.5	ATPG 工具的使用步骤	185		本章参考文献	229
10.3	可测性设计基础	185	第 12 章	后端设计	230
10.3.1	可测性的概念	185	12.1	时钟树综合	230
10.3.2	可测性设计的优势和不足	187	12.2	布局规划	234
10.4	扫描测试 (SCAN)	187	12.3	布线	236
10.4.1	基于故障模型的可测性	187	12.4	ECO 技术	238
10.4.2	扫描测试的基本概念	188			
10.4.3	扫描测试原理	189			
10.4.4	扫描设计规则	191			

12.5	功耗分析	239	14.3.2	ESD 保护电路的设计	265
12.6	信号完整性的考虑	240	14.4	I/O 环的设计	268
12.6.1	信号完整性的挑战	240	14.4.1	考虑对芯片的尺寸的影响	268
12.6.2	压降和电迁移	242	14.4.2	考虑对芯片封装的影响	269
12.6.3	信号完整性问题的预防、 分析和修正	243	14.4.3	考虑对噪声的影响	270
12.7	物理验证	244	14.4.4	考虑对芯片 ESD 的影响	270
12.8	可制造性设计/面向良品率的设计	245	14.5	SoC 芯片封装	270
12.8.1	DFM/DFY 的基本概念	245	14.5.1	微电子封装的功能	270
12.8.2	DFM/DFY 方法	246	14.5.2	微电子封装的发展趋势	271
12.8.3	典型的 DFM/DFY 问题及 解决方法	246	14.5.3	当前的封装技术	271
12.8.4	DFM/DFY 技术的发展 趋势	249	14.5.4	封装技术发展的驱动力	273
12.9	后端设计技术的发展趋势	249	本章参考文献		274
	本章参考文献	250	第 15 章	课程设计与实验	275
第 13 章	SoC 中数模混合信号 IP 的设计 与集成	251	15.1	基于 ESL 设计方法的 Motion- JPEG 视频解码器设计	275
13.1	SoC 中的数模混合信号 IP	251	15.1.1	实验内容	275
13.2	数模混合信号 IP 的设计流程	251	15.1.2	实验准备工作	276
13.3	基于 SoC 复用的数模混合 信号 (AMS) IP 包	253	15.1.3	SoCLib ESL 仿真平台及 MJPEG 解码流程的介绍	278
13.4	数模混合信号 (AMS) IP 的 设计及集成要点	253	15.1.4	实验 1 构建基于 SoCLib 的单核 SoC	279
13.4.1	接口信号	253	15.1.5	实验 2 构建基于 SoCLib 的 MPSoC	286
13.4.2	模拟与数字部分的整体 布局	254	15.1.6	实验 3 系统软件开发—— 嵌入式操作系统及设备 驱动设计	292
13.4.3	电平转换器的设计	254	15.1.7	实验 4 面向 MJPEG 解码 的 MPSoC 系统优化	293
13.4.4	电源的布局与规划	255	15.2	实验——基于 ARM7TDMI 处理器的 SoC 设计	295
13.4.5	电源/地线上跳动噪声的 消除	256	15.2.1	任务目标	295
13.4.6	其他方面的考虑	256	15.2.2	设计参考	295
13.5	数模混合 IP 在 SoC 设计中 存在的问题和挑战	257	15.2.3	建议使用的 EDA 工具	296
13.6	SoC 混合集成的新趋势	257	15.2.4	基本 SoC 设计方案	296
	本章参考文献	260	15.2.5	实验要求	298
第 14 章	I/O 环的设计和芯片封装	261	15.3	项目进度管理	298
14.1	I/O 单元介绍	261	15.3.1	项目任务与进度阶段	298
14.2	高速 I/O 的噪声影响	261	15.3.2	进度的管理	299
14.3	静电保护	262	本章参考文献		305
14.3.1	ESD 的模型及相应的测试 方法	263	附录 A	Pthread 多线程编程接口	306
			附录 B	SoCLib 系统支持包	309

第1章 SoC 设计绪论

1.1 微电子技术概述

1.1.1 集成电路的发展

当1947年12月世界上第一个晶体管在贝尔(Bell)实验室诞生的时候,没有人想象得出这样一个不起眼的元件,会怎样令人难以置信地改变这个世界。但很快,人们渐渐地察觉到:在晶体管发明后的不到5年的时间里,即在1952年5月,英国皇家研究所的达默就在美国工程师协会举办的座谈会上第一次提到了集成电路(IC, Integrated Circuit)的设想。他说:“可以想象,随着晶体管和半导体工业的发展,电子设备可以在一个固体块上实现,而不需要外部的连接线。这块电路将由绝缘层、导体和具有整流放大作用的半导体等材料组成”,这就是最早的集成电路概念。

通常所说的“芯片”是指集成电路,它是微电子产业的主要产品。微电子技术是现代信息技术的基础,日常所接触的电子产品,包括通信系统、计算机与网络系统、智能化系统、自动控制系统、空间技术、数字家电等,都是在微电子技术的基础上发展起来的。因此可以说,半导体已经成为信息时代的标志和基础。

回顾全球集成电路发展的路程,基本上可以总结出6个阶段。

第一阶段:1962年制造出包含12个晶体管的小规模集成电路(SSSI, Small-Scale Integration)。

第二阶段:1966年发展到集成度为100~1000个晶体管的中规模集成电路(MSI, Medium-Scale Integration)。

第三阶段:1967~1973年,研制出1千~10万个晶体管的大规模集成电路(LSI, Large-Scale Integration)。

第四阶段:1977年研制出在30平方毫米的硅晶片上集成15万个晶体管的超大规模集成电路(VLSI, Very Large-Scale Integration)。这是电子技术的第4次重大突破,从此真正迈入了微电子时代。

第五阶段:1993年随着集成了1000万个晶体管的16MB FLASH和256MB DRAM的研制成功,进入了特大规模集成电路(ULSI, Ultra Large-Scale Integration)时代。

第六阶段:1994年由于集成1亿个元件的1GB DRAM的研制成功,进入巨大规模集成电路(GSI, Giga Scale Integration)时代。

从集成度上看,几十年来集成电路的发展基本遵循着摩尔定律,即集成电路上可容纳的晶体管数目约每隔18个月增加1倍。从集成电路的类型和制造工艺尺寸两个方面看,已经超越了摩尔定律。图1-1所示为2005年国际半导体技术蓝图(ITRS, 2005 International Technology Roadmap for Semiconductors)中首次提出的摩尔定律及其延伸的概念。可以清楚地看出,一方面,集成电路的类型正在向多样化发展(More than Moore),从单一的数字电路到模拟电路、射频电路、无源器件、高压电路、传感器、生物芯片等,与人和环境的交互功能越来越强;另一方面,在集成电路制造工艺尺寸不断缩小(More Moore)的同时也超出了单一的CMOS工艺(Beyond CMOS),使得集成电路的信息处理量不断提高,系统的集成度越来越高,系统级芯片(SoC, System on