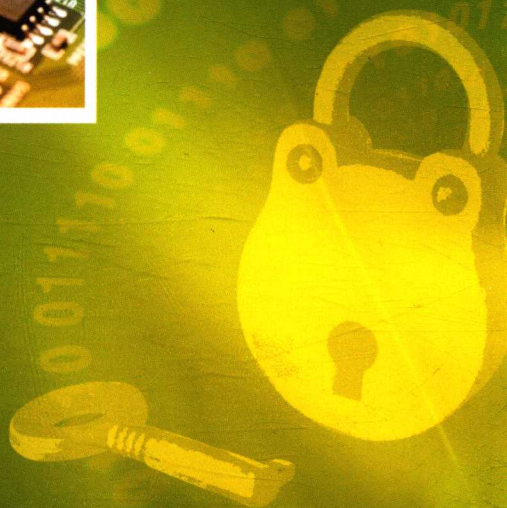
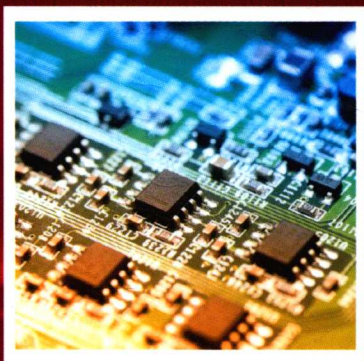


后摩尔时代集成电路 新型互连技术

赵文生 王高峰 尹文言 著



科学出版社

后摩尔时代集成电路 新型互连技术

赵文生 王高峰 尹文言 著



科学出版社

北京

内 容 简 介

本书针对后摩尔时代集成电路中的互连难题,集中讨论基于碳纳米材料的片上互连技术和三维集成电路的硅通孔技术。书中简单介绍集成电路互连技术的发展和后摩尔时代集成电路所面临的互连极限难题,重点讨论碳纳米管、石墨烯互连线以及硅通孔互连的一些关键科学问题,包括碳纳米互连的参数提取和电路模型、硅通孔的电磁建模、新型硅通孔结构、碳纳米管以及铜-碳纳米管混合硅通孔互连线等。

本书可供从事集成电路设计的相关技术人员参考,也可供高等学校微电子专业研究生和高年级本科生阅读。

图书在版编目(CIP)数据

后摩尔时代集成电路新型互连技术/赵文生,王高峰,尹文言著. —北京:科学出版社,2017.9

ISBN 978-7-03-053418-7

I. ①后… II. ①赵… ②王… ③尹… III. ①集成电路-联接 IV. ①TN405

中国版本图书馆 CIP 数据核字(2017)第 126108 号

责任编辑:朱英彪 / 责任校对:桂伟利

责任印制:张 伟 / 封面设计:蓝正设计

科 学 出 版 社 出 版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

北京中石油彩色印刷有限责任公司 印刷

科学出版社发行 各地新华书店经销

*

2017 年 9 月第 一 版 开本:720×1000 B5

2017 年 9 月第一次印刷 印张:14 1/2

字数:289 000

定价:88.00 元

(如有印装质量问题,我社负责调换)

前 言

摩尔定律于 1965 年被提出,在接下来的 50 多年中,一直卓有成效地指引着半导体产业向实现更低的成本、更大的市场和更高的经济效益等方向前进。然而,随着半导体技术逐渐逼近硅工艺尺寸极限,摩尔定律行将失效,这一观点在 2015 年发布的国际半导体技术发展路线图中也得到了肯定。甚至有研究者认为,摩尔定律在 28 nm 制程节点已然停止,之后的晶体管虽然仍可做得更小,但已失去了成本优势。总之,集成电路已经进入“后摩尔时代”,我们面临着新的技术难题,也迎来了新的发展机会。互连极限难题正是后摩尔时代集成电路面临的核心问题之一。随着集成电路特征尺寸的不断缩小,片上互连的电阻率受边缘散射等因素的影响急剧增大,这严重地威胁到集成电路的性能和可靠性。针对这一难题,研究人员不断探索,通过引入新型材料、改进工艺等方法来缓解互连瓶颈。

本书共 8 章,主要介绍一些后摩尔时代集成电路的新型互连技术,着重讨论基于碳纳米材料的片上互连和三维集成电路的硅通孔技术。第 1 章概述半导体技术的发展和面临的挑战,介绍超导互连、光互连等一些新型互连技术。第 2 章介绍传统片上互连的结构、工艺方法和一些关键性能指标,以及基本的互连模型和相应的参数(电阻、电感和电容)提取技术,在此基础上讨论互连线优化设计方法(如缓冲器插入等),指出传统片上互连所面临的问题。第 3 章和第 4 章讨论基于碳纳米材料的片上互连结构,首先从二维石墨烯的结构出发,推导得到一维碳纳米材料的电学特性。在此基础上对碳纳米管互连(包括单壁碳纳米管束、多壁碳纳米管和混合碳纳米管等)和石墨烯互连展开建模研究,比较碳纳米互连与铜互连在不同制程节点的延迟和功耗。进一步地,介绍了新型铜-碳纳米管混合互连和铜-石墨烯互连。第 5 章介绍片上互连在射频和微波/毫米波电路中的应用,以及片上互连传输高频信号时的各种损耗机理,给出片上单端互连和耦合互连的等效电路模型及参数提取技术。第 6 章介绍不同形式的三维集成技术及其研究进展,着重讨论三维集成电路中的关键技术——硅通孔。第 7 章给出硅通孔的电路模型,介绍差分硅通孔、同轴硅通孔等新型硅通孔技术,分析浮硅衬底对硅通孔电学特性的影响。第 8 章详细介绍了基于碳纳米管的硅通孔,结合水平石墨烯互连,构造全碳三维互连的概念,并分析了全碳三维互连的电学特性和电热响应。

本书的出版得到杭州电子科技大学的“电子科学与技术”浙江省一流学科(A 类)的资助。部分内容来自国家自然科学基金(61411136003、61431014、60788402、61171037、61504033)和浙江省自然科学基金(LZ14F040001、LQ14F010010)的研

究成果。所涉及的新型互连技术的相关研究,均已在 IEEE 会刊等国际期刊上发表,可供读者参考。

感谢参与相关课题研究的合作者和研究生们,没有他们的技术见解和辛勤工作,本书将大为失色。此外,为增强联系性、逻辑性和可读性,在撰写本书过程中引用了多位同行的研究工作,感谢他们对行业发展做出的卓越贡献。

限于作者水平,书中不妥之处在所难免,敬请广大读者批评、指正。

作者

2017年2月

目 录

前言

第 1 章 引言	1
1.1 概述	1
1.2 互连	5
1.3 本书架构	8
参考文献	9
第 2 章 传统片上互连	13
2.1 多层互连与制造技术	13
2.2 互连模型及分析	15
2.2.1 性能指标	15
2.2.2 互连模型	18
2.2.3 优化设计	27
2.3 面临的挑战	29
参考文献	32
第 3 章 碳纳米材料	37
3.1 碳纳米材料的物理特性	37
3.2 碳纳米材料的制备方法	38
3.3 一维碳纳米材料的电学特性	40
3.3.1 石墨烯的能带结构	40
3.3.2 纳米线的能带结构	42
3.3.3 纳米线的导电性	45
参考文献	52
第 4 章 碳纳米互连特性分析	55
4.1 碳纳米管互连	55
4.1.1 单壁碳纳米管互连	56
4.1.2 多壁碳纳米管互连	65
4.1.3 混合碳纳米管互连	78
4.1.4 碳纳米管通孔	79
4.2 石墨烯互连	80
4.2.1 单层石墨烯纳米带互连	82

4.2.2 多层石墨烯纳米带互连	84
4.3 全碳纳米互连	89
4.4 铜-碳纳米互连	90
4.4.1 铜-碳纳米管混合互连	90
4.4.2 铜-石墨烯异质互连	91
参考文献	95
第5章 片上互连的高频特性	100
5.1 片上单端互连	100
5.2 片上耦合互连	106
5.3 碳纳米互连的高频特性	111
5.3.1 碳纳米管互连	111
5.3.2 石墨烯互连	117
5.3.3 铜-石墨烯异质互连	117
参考文献	120
第6章 三维集成与硅通孔技术	123
6.1 三维集成	123
6.2 硅通孔	132
6.2.1 硅通孔的制造	133
6.2.2 硅通孔的测量	134
6.3 三维集成的研究进展	140
6.3.1 新型硅通孔	140
6.3.2 三维集成的可靠性	144
6.3.3 信号与电源完整性	145
6.3.4 物理设计自动化	148
6.3.5 三维集成的热问题	148
6.3.6 三维集成与硅通孔的应用	150
参考文献	155
第7章 硅通孔的特性分析	162
7.1 硅通孔的电路模型	162
7.1.1 硅通孔的低频电路模型	162
7.1.2 硅通孔的高频电路模型	166
7.2 差分硅通孔的特性分析	167
7.2.1 差分硅通孔的等效电路模型	168
7.2.2 差分硅通孔的电学特性	173
7.3 同轴硅通孔的特性分析	177

7.3.1 同轴硅通孔的自屏蔽功能	177
7.3.2 同轴硅通孔的等效电路模型	178
7.3.3 模型验证与分析	184
7.4 浮硅衬底中硅通孔的特性分析	186
7.4.1 浮硅衬底中硅通孔的等效电路模型	187
7.4.2 浮硅衬底中硅通孔的电学特性	192
参考文献	198
第8章 基于碳纳米管的硅通孔	201
8.1 碳纳米管硅通孔的特性分析	202
8.1.1 等效复电导率	202
8.1.2 电流密度分布	203
8.1.3 电学特性分析	205
8.1.4 散热管理	207
8.2 全碳三维互连结构	208
8.2.1 全碳三维互连的电学特性	208
8.2.2 全碳三维互连的电热分析	212
8.3 铜-碳纳米管硅通孔的特性分析	215
8.3.1 铜-碳纳米管硅通孔的结构	215
8.3.2 铜-碳纳米管硅通孔的等效复电导率	215
8.3.3 铜-碳纳米管硅通孔的电特性分析	219
参考文献	221

第 1 章 引 言

1.1 概 述

摩尔定律自 1965 年被提出后,一直卓有成效地指引着半导体产业向实现更低的成本、更大的市场和更高的经济效益等方向前进^[1,2]。摩尔定律指出,“半导体芯片上集成的晶体管数目每 18~24 个月翻一番,性能提升一倍”,在过去的 50 多年中半导体产业严格按照摩尔定律所预测的路线前进。同样,个人计算机的三大要素(微处理器芯片、半导体存储器和系统软件)也遵循着这一趋势在发展^[3,4]。实际上,摩尔定律并非数学或物理定律,而是对半导体行业发展的分析和预测,在成本与风险之间进行折中,从而得到最为合适的晶体管制程发展速度,遵从摩尔定律也是芯片制造商有意而为之的。

图 1.1 所示为传统平面 CMOS 场效应管、超薄体 SOI(silicon-on-insulator,绝缘体上硅)场效应管和鳍式场效应管(fin field effect transistor,FinFET)。在受摩

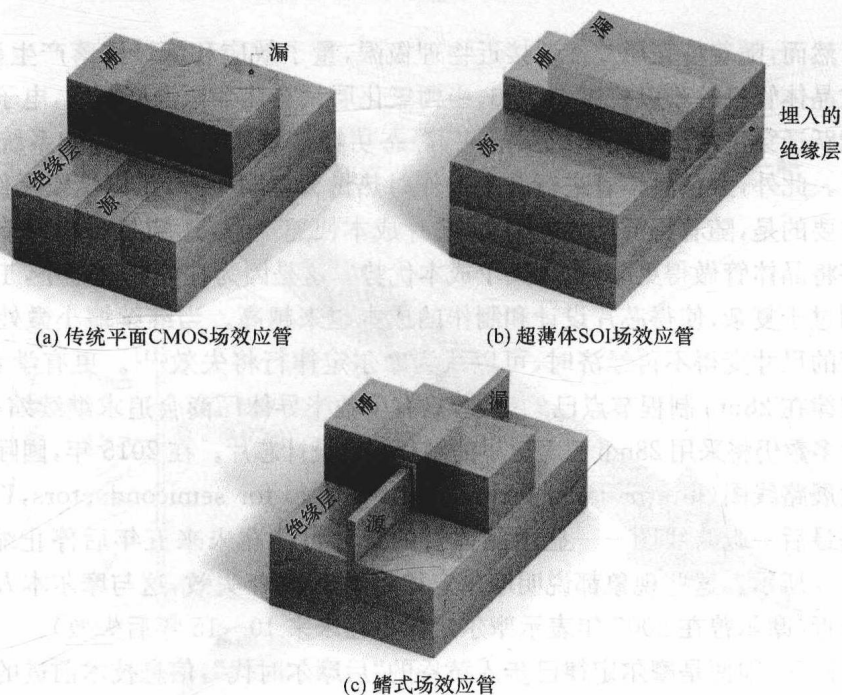


图 1.1 场效应管的发展^[5]

尔定律驱动缩小晶体管特征尺寸的同时,晶体管的性能随之改善,因此电子产品性能也得到快速提升,这带动了电子市场的迅猛增长(典型的例子就是个人计算机和手机产品^[6])。为了使摩尔定律继续向前推进,新结构、新材料和新工艺不断地被引入互补式金属-氧化物-半导体(complementary metal-oxide-semiconductor, CMOS)技术中^[5],如图 1.2 所示。特别地,美国英特尔公司于 2011 年 5 月发布鳍式场效应管^[7],有效地在 22nm 制程节点延续了摩尔定律。鳍式晶体管将平面栅极变成立体栅极,在鳍状沟道的三面均提供电流控制通道,使晶体管在开启状态下能通过更多的电流,而在关闭状态下减小漏电的概率^[8]。

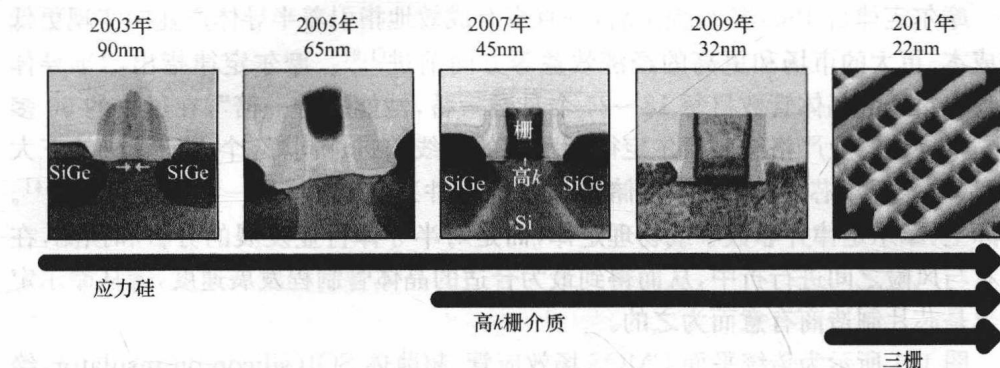


图 1.2 英特尔公司发布的晶体管创新技术发展图^[7]

然而,随着特征尺寸逐渐接近物理极限,量子效应和统计涨落产生显著影响,导致晶体管特性难以控制。例如,当栅氧化层只有几个原子层厚时,电子有一定概率能跃迁穿过绝缘层而形成漏电流,静态功耗显著增加,严重影响系统的正常工作^[9]。此外,大量晶体管进行开关操作时热量会急剧攀升,足以烧毁元件本身^[10]。更重要的是,随着特征尺寸的缩小,芯片成本快速上涨,达到某一制程节点时即便能够将晶体管做得更小,也丧失了成本优势。这是因为在先进制程中,工艺和设计规则过于复杂,使得芯片设计和制作的成本越来越高。当继续缩小微处理器中晶体管的尺寸变得不再经济时,可以认为摩尔定律行将失效^[11]。更有学者认为,摩尔定律在 28nm 制程节点已然失效,只有少数半导体厂商会追求继续缩小晶体管,而大多数仍将采用 28nm 甚至更早的制程节点设计芯片。在 2015 年,国际半导体技术发展路线图(international technology roadmap for semiconductors, ITRS)——也是最后一版路线图——显示晶体管的尺寸可能在未来五年后停止缩小^[12],如图 1.3 所示。这些现象都说明摩尔定律将于 2021 年失效,这与摩尔本人的预测较为接近(摩尔曾在 2007 年表示摩尔定律将在未来 10~15 年后失效)。

然而,即便是摩尔定律已步入黄昏的“后摩尔时代”,信息技术前进的步伐也不会变慢。半导体业界对未来还是较为乐观,且已经有了部分规划。正如美国加利

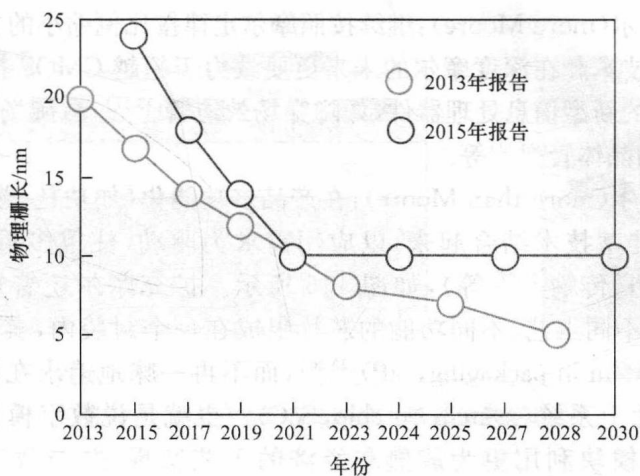


图 1.3 2013 年和 2015 年版国际半导体技术发展路线图对物理栅长的预测^[12]

福尼亚大学伯克利分校胡正明教授于 2016 年所指出的，“晶体管尺寸的减小是一个有终点的游戏，但这并不意味着半导体产业及在此之上的高科技产业的终结，半导体产业还将有百余年的盛世，部分原因是没有替代品，以及世界需要半导体产业”。国际半导体技术发展路线图中，已针对半导体产业近期和远期的挑战提出了两种发展方式^[12-14]，如图 1.4 所示。

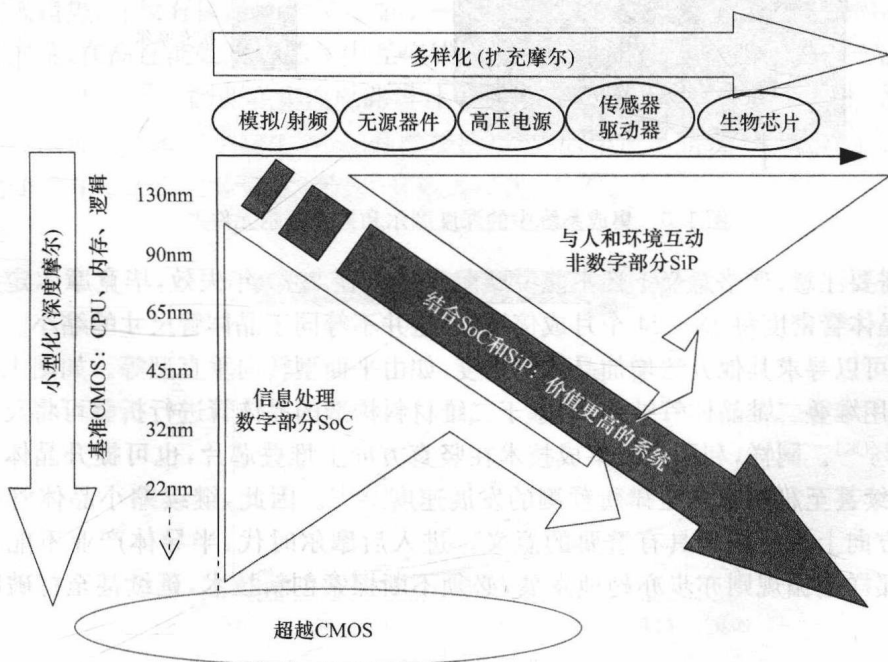


图 1.4 深度摩尔与扩充摩尔^[12]

(1) 深度摩尔(more Moore):继续按照摩尔定律按比例缩小的方向前进,专注于硅基 CMOS 技术。在深度摩尔的未来更要致力于超越 CMOS 技术,研发一些低能耗、高性能的新型信息处理器件,如隧穿场效应管^[15-17]、自旋场效应管^[18,19]和基于纳米材料的晶体管^[20-22]等。

(2) 扩充摩尔(more than Moore):在产品多功能化(如功耗、带宽等)的需求下将硅基与非硅基技术结合起来,以应用需求为驱动,注重多重创新(如传感器^[23,24]、无线能量传输^[25-27]等),如图 1.5 所示。扩充摩尔还着重发展封装技术,开始关注将不同工艺、不同功能的芯片集成在一个封装内,实现强大功能的系统级封装(system in packaging, SiP)^[28-30],而不再一味地追求在同一芯片上放置更多模块的片上系统(system on chip, SoC)。也就是说数字模块继续使用先进工艺,而其他模块利用更为成熟和经济的工艺实现,并与数字模块封装在一起。

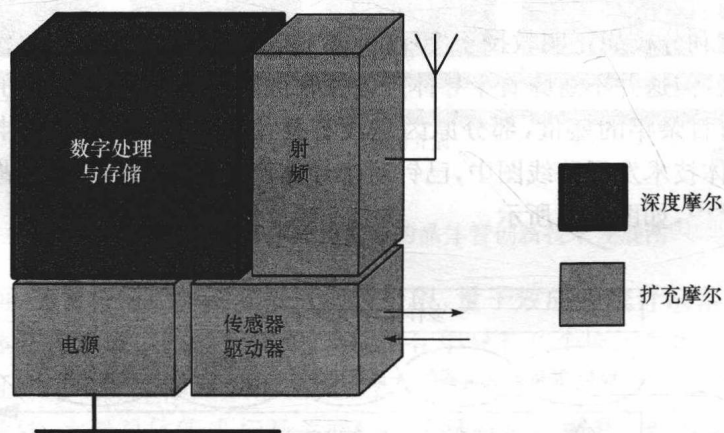
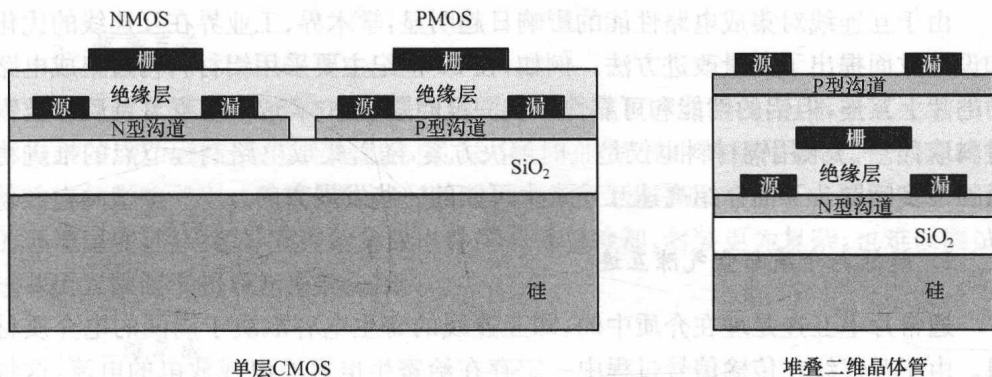


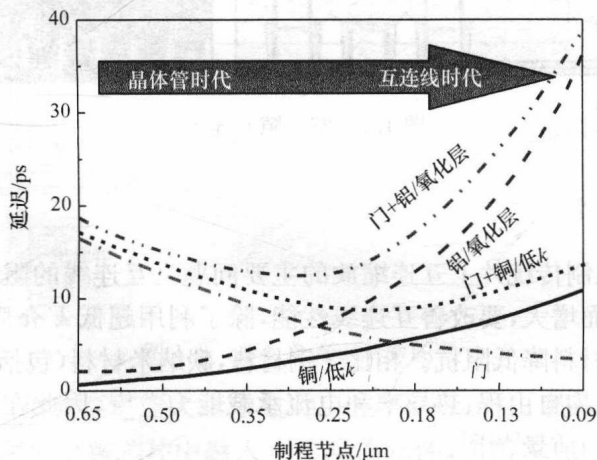
图 1.5 集成系统中的深度摩尔和扩充摩尔元件^[12]

需要注意,严格意义上还不能说摩尔定律会在 2021 年失效,毕竟摩尔定律仅指出晶体管密度每 18~24 个月成倍增加,这并不等同于晶体管尺寸的缩小。也就是说,可以寻求其他方法增加晶体管密度,如由平面型转向垂直型等。如图 1.6 所示,采用堆叠二维晶体管结构,将基于二维材料构造的晶体管进行折叠可将尺寸缩小 45%^[31]。同样,利用三维集成技术在竖直方向上堆叠芯片,也可提升晶体管密度,延续甚至超越摩尔定律所预测的发展速度^[32-34]。因此,继续缩小晶体管并在竖直方向上进行拓展具有重要的意义。进入后摩尔时代,半导体产业不能再像过去那样遵循规则亦步亦趋地发展,必须不断探索创新技术,延续甚至打破摩尔定律。

图 1.6 单层 CMOS 与堆叠二维晶体管结构^[31]

1.2 互 连

互连线是芯片系统中单元电路间、模块内和多芯片组件间的信号传输载体。随着集成电路特征尺寸的不断缩小,互连线对集成电路性能的影响日趋凸显。为了增加集成密度,互连线的尺寸也随着集成电路制程节点的推进而缩小^[35]。然而,与晶体管尺寸缩小不同,互连线的寄生阻抗随尺寸缩小急剧增大,线间距的减小带来了更大的寄生电容。也就是说,尽管互连线尺寸和密度与晶体管有着相似的发展趋势,却没有像晶体管尺寸缩小一样带来性能上的改善,如图 1.7 所示。更重要的是,在高性能处理器芯片中互连线传输数据所带来的功耗已占整个芯片功耗的一半以上^[36]。因此在集成电路设计中互连线已取代晶体管成为决定性因素,正如美国佐治亚理工学院的 Meindl 教授所指出的,集成电路设计由晶体管占主导地位变成互连线占主导地位,进入“互连线时代”^[37,38]。

图 1.7 门延迟与互连线延迟的比较^[14]

由于互连线对集成电路性能的影响日趋明显,学术界、工业界在互连线的优化和设计方面提出了大量改进方法。例如,在 20 世纪主要采用铝材料构造集成电路中的片上互连,但铝的性能和可靠性存在一定问题,在 $0.25\mu\text{m}$ 制程节点后已被铜材料取代^[39]。采用铜材料也仅是临时解决方案,随着集成电路制程节点的推进将面临诸多问题。下面介绍高速互连未来可能的一些发展方向。

1. 超低 k 介质与空气隙互连

通常片上互连是埋在介质中的,即互连线的寄生电容取决于周围的电介质材料。由于互连线在传输信号过程中一定存在给寄生电容充电或放电的电流,这将影响互连线延迟。电介质材料还决定着相邻互连线之间的耦合电容,这些耦合电容会带来信号完整性的问题^[40]。因此,发展具有超低介电常数的绝缘材料,可以减小互连线的寄生电容^[41],降低互连线的延迟和功耗。目前,超低 k 介质材料的制造与集成工艺中还存在着一一些问题,包括机械稳定性低、抗热循环能力差以及对沉积金属的附着能力弱等^[42,43]。

空气隙可以看成超低 k 介质的终极方案,如图 1.8 所示,空气隙互连利用空气替代电介质材料来隔离不同层或同层的金属导线。制作空气隙要先淀积一层临时电介质材料,然后用热分解或湿法刻蚀的方法去除;也可在金属间先刻蚀掉电介质,再利用等离子体增强化学气相沉积方法对窄间隙填充率低的特性引入空气隙^[44]。

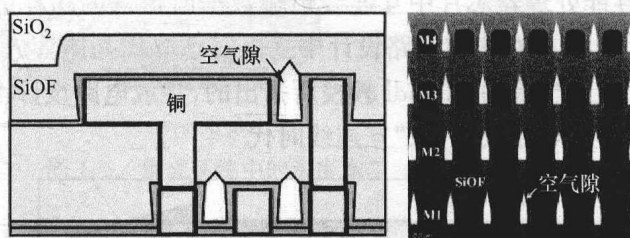


图 1.8 空气隙互连^[44]

2. 碳纳米互连

如前所述,限制传统片上互连缩放的主要问题是互连线的阻抗和寄生电容随制程节点的推进而增大,要改善互连线性能,除了利用超低 k 介质降低寄生电容,还可以应用新型材料降低阻抗。相比于铜材料,碳纳米材料(包括碳纳米管和石墨烯)具有更大的平均自由程、热导率和电流承载能力^[45-47],因此在片上纳米互连方面具有潜在的应用前景^[48,49]。

3. 超导互连

与碳纳米互连类似,高温超导材料同样可降低互连线阻抗,且不受尺寸缩小的影响,可以极大地提高芯片集成密度,减少传统互连线中的信号衰减、色散和畸变等效应的影响^[50-53]。然而,考虑到超导材料的转变温度远高于集成电路实际工作的环境温度,应用超导互连的集成电路需要低温冷却,封装更为复杂,也难以测试,这些因素限制了超导互连的应用^[50]。

4. 三维集成

三维集成是扩充摩尔的一项重要技术,即不再依靠晶体管尺寸的缩小来维持集成电路的性能优势,而是利用竖直空间将芯片堆叠起来^[14]。三维集成技术可以在芯片面积不变的前提下提高器件数目,减小互连长度,提升性能,降低功耗。

5. 光互连

用片上光互连取代全局层电互连的概念是在 1984 年提出的^[54]。相比于电互连,光互连传输信号的速度更快,有助于解决芯片中的系统同步、带宽和功耗等问题^[55]。图 1.9 给出了片上光互连的示意图,可以看到片上光互连需要从电到光和从光到电的转换器件,这些转换都需要消耗能量,这也是片上光互连主要用来取代全局层电互连的原因^[56]。此外,光互连涉及的器件必须与 CMOS 工艺兼容,且在功耗、尺寸和成本方面应具有一定优势,这为光互连的实际应用带来了很多挑战。

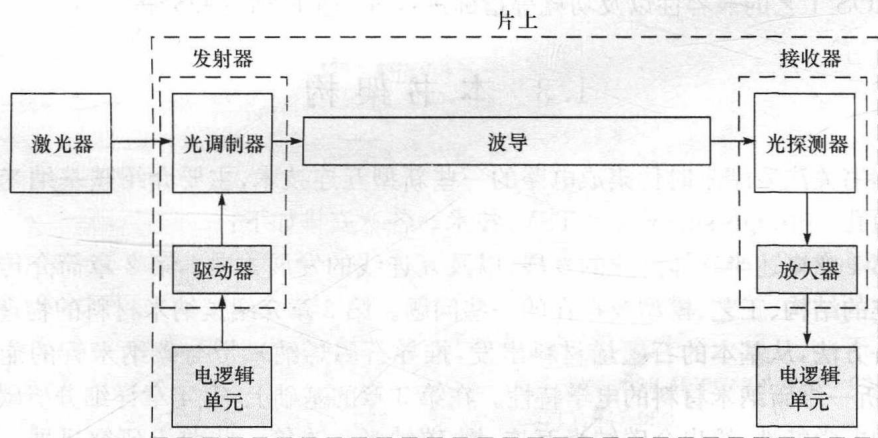


图 1.9 片上光互连示意图^[56]

2015 年,美国加利福尼亚大学伯克利分校 Stojanovi'c 教授领导的研究团队首次在微处理器集成电路芯片中融入了光互连元件,如图 1.10 所示。其中,处理器采用了第五代简化指令集计算机(RISC-V)架构,包含超过 7000 万个晶体管和

850 个光子元件^[57]。该芯片利用了 45nm 制程节点的 CMOS/SOI 工艺,在加工光子元件时不需要改变工艺。测试结果表明,这一芯片处理每比特数据只需消耗能量 1.3pJ(即 3.25mW),处理速度是现有芯片的 10~50 倍。

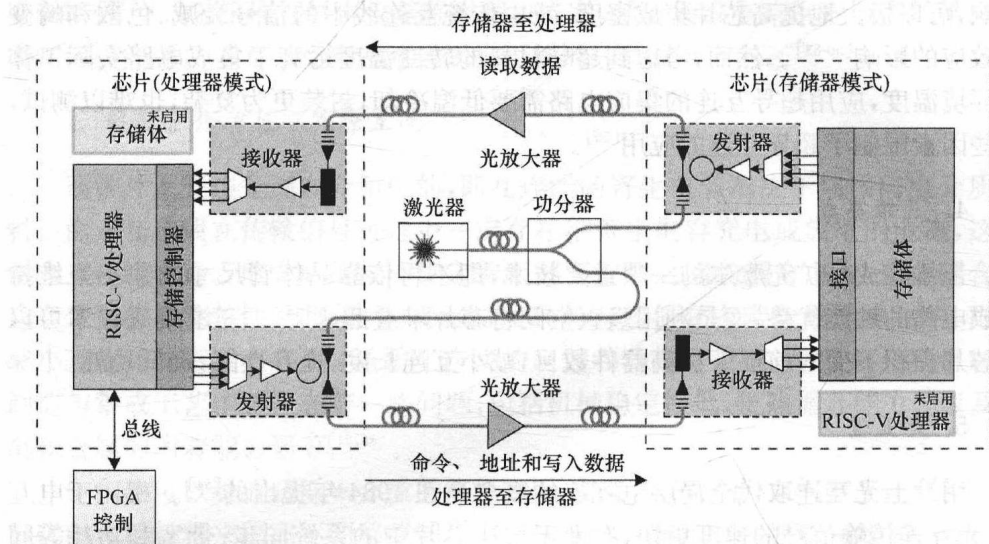


图 1.10 基于光互连的微处理器芯片框图^[57]

此外,还有基于片上天线的无线互连^[58-60]、用于电子自旋输运的互连结构^[19,61,62]和拓扑绝缘体互连^[63]等,它们均具有各自的优势和特点,需要结合成本、与 CMOS 工艺的兼容性以及功耗等指标进行进一步的研究和分析。

1.3 本书架构

本书关注后摩尔时代集成电路的一些新型互连技术,主要介绍碳基纳米互连和硅通孔(through-silicon via, TSV)技术。各章安排如下:

第 1 章概述半导体产业的发展,以及互连线的发展方向。第 2 章简介传统片上互连的结构、工艺、模型及存在的一些问题。第 3 章介绍碳纳米材料的物理特性与制备方法,从基本的石墨烯材料出发,推导石墨烯纳米带与碳纳米管的能带结构,分析一维碳纳米材料的电学特性。在第 3 章的基础上,第 4 章详细分析碳纳米互连的电学特性,给出全碳纳米互连、铜-碳纳米互连等一些前沿研究进展。后摩尔时代集成电路的发展不仅关注数字部分,还将根据具体的应用需求,实现功能的多样性。由于 CMOS 工艺的成本优势,有必要探索基于 CMOS 工艺的射频/毫米波电路,因而在第 5 章中将讨论片上高频互连的电学特性。第 6 章介绍三维集成与硅通孔技术的发展历史和研究现状,包括工艺、应用与挑战等。第 7 章给出了硅

通孔对以及一些新型硅通孔结构的电学建模,包括差分硅通孔、同轴硅通孔和浮硅衬底中硅通孔的特性分析。第8章介绍碳纳米管构造的硅通孔互连,这种互连技术可以改善三维集成电路的散热性及可靠性。此外,本章给出了铜-碳纳米管混合材料填充硅通孔的一些初步研究工作。

参考文献

- [1] Moore G. Cramming more components onto integrated circuits[J]. Electronics, 1965, 38(8): 114-117.
- [2] Mack C A. Fifty years of Moore's law[J]. IEEE Transactions on Semiconducting Manufacturing, 2011, 24(2): 202-207.
- [3] Mollick E. Establishing Moore's law[J]. IEEE Annals of the History of Computing, 2006, 28(3): 62-75.
- [4] Lee J B. Semiconductor memory road map: Advances in semiconductor memory[J]. IEEE Solid-State Magazine, 2016, 8(2): 66-74.
- [5] Ahmad K, Schuegraf K. Transistor war[J]. IEEE Spectrum, 2011, 48(11): 50-66.
- [6] Mack C. The multiple lives of Moore's law[J]. IEEE Spectrum, 2015, 52(4): 31.
- [7] Bohr M, Mistry K. Intel's revolutionary 22nm transistor technology[EB/OL]. <http://www.intel.com/>[2012-02-14].
- [8] Hisamoto D, Lee W C, Kedzierski J, et al. FinFET—a self-aligned double-gate MOSFET scalable to 20nm[J]. IEEE Transactions on Electron Devices, 2000, 47(12): 2320-2325.
- [9] Roy K, Mukhopadhyay S, Mahmoodi-Meimand H. Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits[J]. Proceedings of the IEEE, 2003, 91(2): 305-327.
- [10] Pop E, Sinha S, Goodson K E. Heat generation and transport in nanometer-scale transistors[J]. Proceedings of the IEEE, 2006, 94(8): 1587-1601.
- [11] Waldrop M M. The chips are down for Moore's law[J]. Nature, 2016, 530(7589): 144-147.
- [12] International Technology Roadmap for Semiconductors. ITRS reports (ITRS) [EB/OL]. <http://www.itrs2.net/itrs-reports.html>[2016-7-10].
- [13] Kahng A B. Scaling more than Moore's law[J]. IEEE Design & Test of Computers, 2010, 27(3): 86-87.
- [14] Baliga J. Chips go vertical[J]. IEEE Spectrum, 2004, 41(3): 43-47.
- [15] Britnell L, Gorbachev R V, Jalil R, et al. Field-effect tunneling transistor based on vertical graphene heterostructures[J]. Science, 2012, 335(6071): 947-950.
- [16] Sarkar D, Xie X, Liu W, et al. A subthreshold tunnel field-effect transistor with an atomically thin channel[J]. Nature, 2015, 526(7571): 91-95.
- [17] Wang H, Chang S, Hu Y, et al. A novel barrier controlled tunnel FET[J]. IEEE Electron Device Letters, 2014, 35(7): 798-800.
- [18] Schliemann J, Egues J C, Loss D. Nonballistic spin-field-effect transistor[J]. Physical Re-