

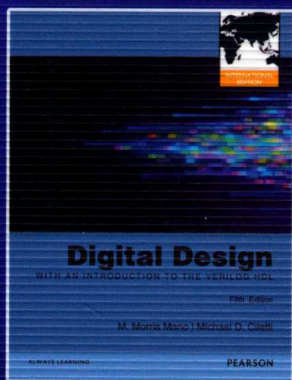
国外电子与通信教材系列

英文版

Pearson

数字设计 与Verilog实现 (第五版)

Digital Design: With an Introduction to the Verilog HDL
Fifth Edition



[美] M. Morris Mano 著
Michael D. Ciletti



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

国外电子与通信教材系列

数字设计与 Verilog 实现

(第五版) (英文版)

Digital Design
With an Introduction to the Verilog HDL
Fifth Edition

[美]

M. Morris Mano

Michael D. Ciletti



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书是一本系统介绍数字电路设计的优秀教材,旨在教会读者关于数字设计的基本概念和基本方法。全书共分10章,内容涉及数字逻辑的基本理论、组合逻辑电路、时序逻辑电路、寄存器和计数器、存储器与可编程逻辑器件、寄存器传输级设计、半导体和CMOS集成电路、标准IC和FPGA实验、标准图形符号、Verilog HDL与数字系统设计等。全书结构严谨,选材新颖,内容深入浅出,紧密联系实际,教辅资料齐全。

本书可作为电气工程、电子工程、通信工程、计算机工程和计算机科学与技术等相关专业的双语教材,也可作为电子设计工程师的参考书。

Authorized reprint from the English language edition, entitled Digital Design: With an Introduction to the Verilog HDL, Fifth Edition, by M. Morris Mano and Michael D. Ciletti, published by Pearson Education, Ltd., Copyright © Pearson Education Inc. 2013.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

English language edition published by PEARSON EDUCATION ASIA LTD., and PUBLISHING HOUSE OF ELECTRONICS INDUSTRY, Copyright © 2017.

This edition is manufactured in the People's Republic of China, and is authorized for sale and distribution only in the mainland of China exclusively (except Taiwan, Hong Kong SAR and Macau SAR).

本书英文影印版专有出版权由 Pearson Education (培生教育出版集团)授予电子工业出版社。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

本书在中国大陆地区出版,仅限在中国大陆发行。

本书贴有 Pearson Education (培生教育出版集团)激光防伪标签,无标签者不得销售。

版权贸易合同登记号 图字:01-2016-9623

图书在版编目(CIP)数据

数字设计与Verilog实现:第五版:英文版=Digital Design: With an Introduction to the Verilog HDL, Fifth Edition/ (美)M. 莫里斯·马诺(M. Morris Mano), (美)迈克尔·D. 奇莱蒂(Michael D. Ciletti)著.

北京:电子工业出版社,2017.8

国外电子与通信教材系列

ISBN 978-7-121-32307-2

I. ①数… II. ①M… ②迈… III. ①数字电路—电路设计—高等学校—教材—英文 IV. ①TN79

中国版本图书馆CIP数据核字(2017)第181841号

策划编辑:冯小贝

责任编辑:冯小贝

印刷:三河市双峰印刷装订有限公司

装订:三河市双峰印刷装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编:100036

开本:787×980 1/16 印张:35.25 字数:1026千字

版次:2008年7月第1版(原著第4版)

2017年8月第2版(原著第5版)

印次:2017年8月第1次印刷

定价:99.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888, 88258888。

质量投诉请发邮件至zllts@phei.com.cn, 盗版侵权举报请发邮件至dbqq@phei.com.cn。

本书咨询联系方式:fengxiaobei@phei.com.cn。

导 读

当今的信息时代，数字系统在我们的日常生活中起着越来越重要的作用，并被广泛地应用于通信、计算机、自动控制、GPS导航、互联网、物联网、大数据等领域。从数字电话到数字电视，从数字通用光盘到数字计算机，从数码相机到军用雷达、医用CT仪器设备，数字技术的应用比比皆是。由于数字技术在处理和传输信息方面的各种优点，数字电路得到非常广泛的应用。

“数字电路与逻辑设计”是电子工程、信息工程、计算机科学与技术等专业的一门非常重要的专业基础课。对于每一个工科电子信息类专业的学生和设计工程师而言，数字电路与数字设计的基础知识是必备常识。

数字设计经历了从单元电路到系统电路、从小规模电路到大规模、超大规模集成电路的发展过程。随着微电子技术和信息处理技术的飞速发展，各种类型的数字集成电路不断推出并广泛应用于各种技术领域，数字电路与数字系统的设计方法和设计手段也发生了很大的变化。利用先进的EDA软件工具和可编程逻辑器件，采用硬件描述语言已经成为当今数字设计技术的主流。

M. Morris Mano编著的《数字设计》是一本系统介绍数字电路与系统设计理论和技术的巨著，自本书第一版出版以来已经被许多所著名大学选作教材。这本书的第五版保留了前四版中经过检验的经典内容，主要包括二进制与布尔代数基础、组合逻辑电路的分析与设计、时序逻辑电路的分析与设计、寄存器与计数器、存储器与可编程逻辑器件、寄存器传输级设计、数字集成电路与FPGA实验、标准图形符号等。根据最新的IEEE 1364标准更新和扩充了有关Verilog HDL的内容，增加了半导体技术和CMOS集成电路的知识。全书中有大量的例题，以帮助读者对所学知识的理解。每章末尾都附有大量的习题，这些习题中

的一部分是为巩固已学知识而设立的，另一部分则是为开拓学生视野、紧密联系工程实际而设立的。全书内容系统完整，结构新颖，理论严谨，深入浅出，是一本不可多得的好教材。

本书中译本译者

第五版前言

自从《数字设计（第四版）》出版以来，基于数字技术来接收、控制和传输信息的设备在商业领域中的应用呈现快速增长的趋势，新的手机和手持移动设备层出不穷，性能也在大幅提升。在这些美观的用户界面之下，使用二进制代码进行数据传输的二进制系统扮演了很重要的角色。这些系统的基本理论并没有发生太大变化，然而制造商对某些核心理论的完善，以及现代化设计工具的应用进一步推动了市场的发展。因此，为适应新技术，本书精炼了内容并且加强了对数字器件的传统理解和现代设计方法的介绍。

《数字设计与Verilog实现（第五版）》的内容大部分建立在前面四个版本基础上，除此之外，用户的反馈也帮助我们确定了一部分内容编写的方向。这个版本中的内容更侧重于数字设计的基础课程以及当今主流数字系统设计技术——CMOS 电路。本书适合的读者范围很广，计算机科学、计算机工程以及电子工程专业的学生均可阅读。本书的核心内容包括：（1）布尔逻辑，（2）逻辑门，（3）同步有限状态机，（4）数据通道控制器。所有这些都是要通过数字系统的设计来实现的。

该版同时去掉了一些电子电路的内容，所以读者可能无法再找到有关异步状态机或者双极型晶体管的描述。另外，随着网络上有关的辅助材料越来越多，我们减少了关于FPGA的篇幅。现在的设计者更倚重于硬件描述语言（HDL），《数字设计与Verilog实现（第五版）》把更多的注意力放在了应用上，以及怎样才能思路清晰地使用Verilog HDL对数字系统进行设计和开发。

多样化的学习方法

《数字设计与Verilog实现（第五版）》提供了多样化的学习方法。称作VARK的学习方法区分了四种主要的学习模式：（V）Visual，视觉；（A）Aural，听觉；（R）Reading，阅读；（K）Kinesthetic，动觉。VARK 方法以及范例可以用来支持课堂教学。本书中提供了高标准的图例图解（Visual），对于大量的范例及讨论，学生使用免费的模拟器进行实验，

内容包括怎样设计一个逻辑系统并使它正常工作 (Kinesthetic), 而最后的听觉 (Aural) 部分的内容则交给教师来完成。因此, 使用《数字设计与Verilog实现 (第五版)》来开展数字设计课程教学, 可以给学生带来丰富且循序渐进的学习体验。

有些人可能会对本书的内容以及第一堂课就涉及硬件描述语言 (HDL) 抱有疑问, 事实上我们注意到, 伴随着新生的为集成电路设计的CAD工具的大量普及, 当今工业界已经逐步淘汰了20世纪80年代开始的基于原理图的设计。原理图创造了一种用接线图对系统功能进行描述的方法, 然而其不足之处在于对于任何人来说, 想要在较短时间内没有任何仪器的帮助和说明书, 仅由画在纸上的逻辑电路原理图来确定电路功能无疑是很困难的。因此工业界转而把目光放在硬件描述语言 (诸如Verilog HDL) 上, 开始使用HDL来描述逻辑功能的设计, 并且囊括了功能说明、模拟、仿真测试以及与实际硬件系统 (如标准ASIC或FPGA单元) 的综合调试。原理图方法只有通过详细的并且精确分级的设计模块文档的仔细分析, 才能达到实用的目的。较旧的范例中, 设计者们依靠多年的经验来制作电路原理图以说明其功能。而在当今工业的设计图中, 设计者们使用硬件描述语言来更直接、更有效地说明数字系统的功能, 而不需要多年积累的经验, 同时通过综合的模拟工具来自动生成原理图作为参考。工业实践证明, 传统原理图带来的低效能如果不被新的分析方法取代, 将会给新一代大型复杂集成电路的设计带来巨大困难。

我们再次说明, 在《数字设计与Verilog实现 (第五版)》的第一课就涉及硬件描述语言, 并不代表要摒弃传统基础理论和手工设计方法。对于学生来说, 理解硬件是如何工作的仍然非常重要。因此我们保留了详尽的组合和连续逻辑模块的内容。手工设计在锻炼学生能力的同时, 将结果与HDL范例中得到的结果进行比较, 可以进一步加深学生对硬件知识的理解。无论如何, 我们想强调的是“硬件是如何设计的”, 为学生将来在工业上的工作实践打下坚实基础, 这就是为什么基于硬件描述语言的设计实践是至关重要的。

适用性

书中内容的次序很好地适应了课程需求, 由基于传统手工工艺的数字电路设计、使用硬件描述语言的数字电路设计和在两者之间或两者混合的课程组成。因为当今综合性设计工具的高度自动化使得逻辑分析最小化。卡诺图以及其他相关的主题可以被最优化地呈现在数字设计的开始或者在使用硬件描述语言测试、设计、模拟电路之后。本书的内容包含了手工设计电路和基于硬件描述语言设计电路的范例。通过每章结尾前后参照的习题, 让传统手工设计任务变成采用硬件描述语言并且需要同伴一起完成的任务。通过在模拟结

果、习题的解答和手工设计的解决方案中添加注释，将传统手工设计和基于硬件描述语言的电路设计有机结合起来。

内容的更新

《数字设计与Verilog实现（第五版）》遵循最新的IEEE 1364标准，此次修订后的版本更新如下：

- 去除了一些非典型的逻辑电路（诸如RTL、DTL、射级耦合逻辑电路）。
- 在每章的最后加上了有关“网络搜索主题”的内容来指导学生在互联网上进行相关内容的扩展阅读。
- 每章最后对大约三分之一的问题进行了复习。
- 包含所有新的习题的解答手册。
- 有关卡诺图化简的内容更加合理。
- 增加了基本的CMOS技术在逻辑门上的应用。
- 附录中包含了有关半导体技术的介绍。

设计方法论

这个版本对于如何在数字系统中设计状态机来控制数据通道提供了一种比较系统的方法论。此外，这些材料的框架用来解决控制器如何处理数据通道发出的信号等实际问题，例如系统反馈（响应）的问题。因此，我们提供了设计复杂交互数字系统的基本方法。这种方法论在人工以及基于硬件描述语言的设计中都可以得到运用。

合适的HDL内容

仅仅局限于介绍硬件描述语言的语法是远远不够的，书中只在需要的地方提供了这些Verilog语法元素，而且正确的语法并不意味着这个电路模块就能够正常实现它的功能或者顺利组合成一个物理硬件。我们希望学生能够通过生产实践，确认手工模型能够有效地被综合成物理硬件电路。如果不能做到这点会导致软件竞争问题的出现，并会造成模拟的结果与综合成物理硬件后的结果不符。同样，设计时不进行生产实践也许能够得到正确的模拟结果，但因为设计者的方法不同，从而在设计过程中会不经意地造成硬件闭锁。而工业

实践会给我们提出无竞争和无闭锁的设计要求，所以对学生来说，在生产过程中学习和运用硬件描述语言模型而不是仅仅依赖于综合工具是十分重要的。

验证

在生产过程中的一个重要步骤是检验电路是否能够正常工作。现在的数字电路教学过程中并没有足够地重视验证这个环节，而是仅仅关注设计本身，验证通常被看成是第二位的。这种观点会带来一种“这个电路将会很好地工作”的不成熟的想法。同样，生产过程中一般是通过分析模型是否“可读、可携带、可回收”来对基于硬件描述语言的模型进行检验的。通过对硬件描述语言模型进行检验，可获取可观的收益。我们将对模型的建立和参数的使用进行讨论。同时本书还将提供测试题和所有练习的解决方案；用来（1）检验电路是否正常工作；（2）强调测试中的重点内容；（3）通过自测题介绍重要的概念，例如测试平台的自检。我们提倡并推荐通过测试方案的研究去指导测试平台的研制，我们会在教材中图文并茂地介绍和推荐一些测试的方法，并且在教材结尾的习题答案中扩展它们。

硬件描述语言课程的内容

我们确保教材中所有的范例和所有的解决方案符合设计数字化硬件的工业生产标准。像上一版一样，硬件描述语言内容被放置在一个单独的部分，这样可以按照教学安排进行删减，这个版本并没有减少关于手工设计的论述，也没有指定讲课的顺序。书中的论述适合同时学习数字电路和硬件描述语言的初学者。本书旨在帮助学生自主设计一个项目并且在以后的计算机体系结构课程中取得成功。

教师资源^①

教师可以在www.pearsonhighered.com/mano 处下载课程资源，包括：

- 所有的硬件描述语言示例的源代码和测试题。
- 教材中所有的数据和表格。
- 所有在手工解决方案中的硬件描述语言模型源代码。
- 可下载的用于课堂教学的图形化解决方案。

① 相关的教师资源申请方式请参见书后的“教学支持说明”。

HDL模拟器

本书推荐使用两个由SynaptiCAD (www.syncad.com) 提供的模拟器。第一个是VeriLogger Pro, 这是一个传统的能模拟硬件描述语言示例和检验硬件描述语言问题的模拟器。此模拟器符合IEEE 1995标准, 对旧的模型十分有用。另一个是一种交互的模拟器——Verilogger Extreme, 符合IEEE 1995和IEEE 2001标准。这个模拟器允许设计者在完成对模型的模拟之前对自己的设计方案进行模拟和分析。这种技术对学生十分有用, 它可以快速输入布尔逻辑和D触发器以及锁存器的表达式来校验等价性并测试触发器及锁存器。

各章摘要

下面简要介绍各章的要点。

第1章: 介绍了用于表达数字系统信息的各种二进计数制, 解释并说明了二进制数和二进制代码, 给出了带符号的二进制数及BCD十进制数的加减法举例。

第2章: 介绍了布尔代数的基本定理, 描述了布尔表达式与其对应的逻辑图之间的相互关系, 研究了两个逻辑变量的所有可能的逻辑运算, 在此基础上给出了数字系统设计中最有用的逻辑门。本章还介绍了基本的CMOS逻辑门。

第3章: 介绍了布尔表达式的卡诺图化简法, 这种方法也可以用于简化由“与或”门、“与非”门和“或非”门构成的数字电路; 讨论了其他所有可能的两级门电路及其实现方法, 给出了Verilog HDL用于简单门级建模的例子。

第4章: 概述了组合电路分析和设计的方法步骤。作为设计举例介绍了数字系统设计的一些基本组件, 如加法器和代码变换器等, 解释了一些经常使用的并行加法器和减法器、译码器、编码器和数据选择器等数字逻辑函数, 给出了这些数字逻辑在组合电路设计中的用法。给出了门级建模、数据流建模和行为建模的HDL例子, 展示了Verilog HDL描述组合电路的各种不同的方法。介绍了如何编写一个简单的测试平台程序, 为一个HDL设计提供激励。

第5章: 概述了同步时序电路分析和设计的方法步骤。介绍了几种触发器的逻辑门结构, 讨论了电平触发与边沿触发的区别, 用几个特定的例子介绍了时序电路分析中状态表和状态图的推导, 列举了几个使用D触发器设计时序电路的实例, 介绍了用Verilog HDL对时序电路进行行为建模的方法, 给出了几个说明米利 (Mealy) 型和摩尔 (Moore) 型时序电路的HDL例子。

第6章: 描述了寄存器、移位寄存器和计数器等各种时序电路组件, 这些数字组件是构成复杂数字系统的基本构造块。本章还简要介绍了移位寄存器和计数器的HDL描述。

第7章：描述了随机存取存储器（RAM）和可编程逻辑器件，讨论了存储器的解码和纠错。简要介绍了ROM、PLA、CPLD和FPGA等组合和时序可编程元件。

第8章：描述了数字系统的寄存器传输级的表示方法，介绍了算法状态机（ASM）流程图，用几个例子说明了ASM流程图、ASMD流程图、RTL表示和数字系统设计中的HDL描述。详细介绍了如何用有限状态机来控制数据路径，包括状态机如何从数据路径中获取信号并加以控制。本章是本书中最重要的一章，它从一个系统的角度为学生提供了先进的设计方法。

第9章：简述了一些可以在实验室里完成的硬件实验，这些硬件在市场上很容易买到。实验用集成电路的功能可以参见前几章介绍的相关组件的原理图，这里只是给出了每个实验的内容，希望学生设计出电路图，并编制一个程序以检查实验电路的工作情况。每一项实验都可以独立完成，不仅可以通过基于传统面包板和TTL电路的传统方法完成，也可以通过在FPGA平台上基于HDL综合的方法完成。目前，基于HDL模型和FPGA实现的综合软件可以免费从FPGA供应商手里获得，在实验室中真正使用电路板和其他元件做实验之前，学生可以在自己的个人计算机上先做一些模拟和仿真。基于FPGA的综合电路板实验平台的价格也很适中，其中包括基本的按钮、开关、七段译码显示器、液晶屏以及其他I/O设备，学生可以更好地利用它快速得到实验结果。利用这些资源，学生可以进一步锻炼他们的项目开发能力。

第10章：介绍了使用ANSI/IEEE标准化逻辑函数图形符号，这些图形符号用来表示一些SSI和MSI部件，以便使用户可以从唯一分配的图形符号中辨认每个逻辑函数。本章展示了实验室常用集成电路的标准图形符号。

致谢

我们非常感谢所有参与本书的审校者，他们的专业知识、细致的校对以及建议都对《数字设计与Verilog实现（第五版）》的改进起到了重要作用。

在此特别感谢：

Dmitri Donetski: 纽约州立大学石溪分校

Ali Amini: 加州州立大学北岭分校

Mihaela Radu: 罗斯霍曼理工学院

Stephen J Kuyath: 北卡罗莱纳大学夏洛特分校

Peter Pachowicz: 乔治曼森大学

David Jeff Jackson: 阿拉巴马大学

A. John Boye: 内布拉斯加大学林肯分校

William H. Robinson: 范德比尔特大学

Dinesh Bhatia: 得州大学达拉斯分校

另外，我们同样想对Prentice Hall/Pearson Education的编辑以及出版团队致谢。最后，我们还要感谢我们俩人的妻子Sandra以及Jerilynn对我们无微不至的关心及支持。

M. Morris Mano

名誉教授

加州州立大学洛杉矶分校

计算机工程系

Micheal D. Ciletti

名誉教授

科罗拉多大学

电子与计算机工程系

Contents

1 Digital Systems and Binary Numbers 17

1.1	Digital Systems	17
1.2	Binary Numbers	19
1.3	Number-Base Conversions	22
1.4	Octal and Hexadecimal Numbers	24
1.5	Complements of Numbers	26
1.6	Signed Binary Numbers	30
1.7	Binary Codes	34
1.8	Binary Storage and Registers	43
1.9	Binary Logic	46

2 Boolean Algebra and Logic Gates 54

2.1	Introduction	54
2.2	Basic Definitions	54
2.3	Axiomatic Definition of Boolean Algebra	56
2.4	Basic Theorems and Properties of Boolean Algebra	59
2.5	Boolean Functions	62
2.6	Canonical and Standard Forms	67
2.7	Other Logic Operations	74
2.8	Digital Logic Gates	76
2.9	Integrated Circuits	82

3 Gate-Level Minimization 89

3.1	Introduction	89
3.2	The Map Method	89
3.3	Four-Variable K-Map	96
3.4	Product-of-Sums Simplification	100
3.5	Don't-Care Conditions	104
3.6	NAND and NOR Implementation	106
3.7	Other Two-Level Implementations	113
3.8	Exclusive-OR Function	119
3.9	Hardware Description Language	124

4 Combinational Logic 141

4.1	Introduction	141
4.2	Combinational Circuits	141
4.3	Analysis Procedure	142
4.4	Design Procedure	145
4.5	Binary Adder–Subtractor	149
4.6	Decimal Adder	160
4.7	Binary Multiplier	162
4.8	Magnitude Comparator	164
4.9	Decoders	166
4.10	Encoders	171
4.11	Multiplexers	174
4.12	HDL Models of Combinational Circuits	180

5 Synchronous Sequential Logic 206

5.1	Introduction	206
5.2	Sequential Circuits	206
5.3	Storage Elements: Latches	209
5.4	Storage Elements: Flip-Flops	212
5.5	Analysis of Clocked Sequential Circuits	220
5.6	Synthesizable HDL Models of Sequential Circuits	233
5.7	State Reduction and Assignment	247
5.8	Design Procedure	252

6 Registers and Counters 271

6.1	Registers	271
6.2	Shift Registers	274
6.3	Ripple Counters	282
6.4	Synchronous Counters	287
6.5	Other Counters	294
6.6	HDL for Registers and Counters	299

7 Memory and Programmable Logic 315

7.1	Introduction	315
7.2	Random-Access Memory	316
7.3	Memory Decoding	323
7.4	Error Detection and Correction	328
7.5	Read-Only Memory	331
7.6	Programmable Logic Array	337
7.7	Programmable Array Logic	341
7.8	Sequential Programmable Devices	345

8 Design at the Register Transfer Level 367

8.1	Introduction	367
8.2	Register Transfer Level Notation	367
8.3	Register Transfer Level in HDL	370
8.4	Algorithmic State Machines (ASMs)	379
8.5	Design Example (ASMD Chart)	387
8.6	HDL Description of Design Example	397
8.7	Sequential Binary Multiplier	407
8.8	Control Logic	412
8.9	HDL Description of Binary Multiplier	418
8.10	Design with Multiplexers	427
8.11	Race-Free Design (Software Race Conditions)	438
8.12	Latch-Free Design (Why Waste Silicon?)	441
8.13	Other Language Features	442

9 Laboratory Experiments with Standard ICs and FPGAs 454

9.1	Introduction to Experiments	454
9.2	Experiment 1: Binary and Decimal Numbers	459
9.3	Experiment 2: Digital Logic Gates	462
9.4	Experiment 3: Simplification of Boolean Functions	464
9.5	Experiment 4: Combinational Circuits	466
9.6	Experiment 5: Code Converters	468
9.7	Experiment 6: Design with Multiplexers	469
9.8	Experiment 7: Adders and Subtractors	471
9.9	Experiment 8: Flip-Flops	473
9.10	Experiment 9: Sequential Circuits	476
9.11	Experiment 10: Counters	477
9.12	Experiment 11: Shift Registers	479
9.13	Experiment 12: Serial Addition	482
9.14	Experiment 13: Memory Unit	483
9.15	Experiment 14: Lamp Handball	485

9.16	Experiment 15: Clock-Pulse Generator	489
9.17	Experiment 16: Parallel Adder and Accumulator	491
9.18	Experiment 17: Binary Multiplier	494
9.19	Verilog HDL Simulation Experiments and Rapid Prototyping with FPGAs	496

10 Standard Graphic Symbols 504

10.1	Rectangular-Shape Symbols	504
10.2	Qualifying Symbols	507
10.3	Dependency Notation	509
10.4	Symbols for Combinational Elements	511
10.5	Symbols for Flip-Flops	513
10.6	Symbols for Registers	515
10.7	Symbols for Counters	518
10.8	Symbol for RAM	520

Appendix 523

Answers to Selected Problems 537

Index 555

国外电子与通信教材系列

数字设计与 Verilog 实现

(第五版) (英文版)

Digital Design
With an Introduction to the Verilog HDL
Fifth Edition

[美] M. Morris Mano 著
Michael D. Ciletti

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

试读结束：需要全本请在线购买：www.ertongbook.com