



经典译丛

微电子学

Advanced Chip Design, Practical Examples in Verilog

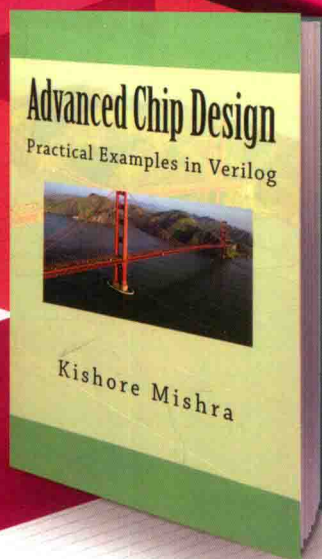
Verilog

高级数字系统设计 技术与实例分析

Advanced Chip Design
Practical Examples in Verilog

【美】 Kishore Mishra 著

乔庐峰 尹廷辉 于倩 杨乐 等译



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

经典译丛·微电子学

Verilog 高级数字系统 设计技术与实例分析

Advanced Chip Design
Practical Examples in Verilog

[美] Kishore Mishra 著

乔庐峰 尹廷辉 于倩 杨乐 等译

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书通过大量实例由浅入深地介绍了数字电路和数字系统设计中的重要概念和知识要点。本书分两大部分。第一部分重点关注数字电路设计层面，偏重基础。第2章到第6章为Verilog语法与数字电路设计相关知识，包括常用语法、基本数字电路单元等。第7章到第9章重点介绍高级数字设计知识，包括数字系统架构设计、复杂数字系统中常用的电路单元、算法，并给出了大量工程实例。第10章给出了一些重要的工程设计经验，包括文档管理、代码设计、系统验证、高可靠性设计等。第二部分重点关注数字系统设计层面。第11章到第13章介绍了常用数字系统关键电路，包括与处理器系统相关的存储结构与存储访问技术、存储介质（硬盘、闪存、DDR等）与驱动电路、处理器总线结构与协议等。第14章和第15章介绍了电路可测性设计、静态定时分析、芯片工程修改的相关知识。第16章和第17章从电路设计层面到系统设计层面介绍了降低电路功耗的方法。第18章到第20章介绍常用串行总线和串行通信协议，包括PCI Express、SATA、USB及以太网技术。

本书适合电子工程专业、计算机专业高年级本科生和研究生作为教材使用，也非常适合从事电子技术领域科研工作的工程师参考。

Original English language edition copyright ©2013 of Advanced Chip Design, Practical Examples in Verilog by Kishore Mishra.

Chinese language edition copyright ©2018 by Publishing House of Electronics Industry.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission in writing from the Proprietor.

本书简体中文字版专有翻译出版权由Kishore Mishra授予电子工业出版社。

未经许可，不得以任何手段和形式复制或抄袭本书内容。

版权贸易合同登记号 图字：01-2013-7400

图书在版编目(CIP)数据

Verilog高级数字系统设计技术与实例分析 / (美)基肖尔·米什拉(Kishore Mishra)著; 乔庐峰等译.

—北京: 电子工业出版社, 2018.2

(经典译丛·微电子学)

书名原文: Advanced Chip Design, Practical Examples in Verilog

ISBN 978-7-121-33483-2

I. ①V… II. ①基… ②乔… III. ①硬件描述语言—程序设计 IV. ①TP312

中国版本图书馆CIP数据核字(2018)第006819号

策划编辑: 马 岚

责任编辑: 葛卉婷

印 刷: 三河市鑫金马印装有限公司

装 订: 三河市鑫金马印装有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路173信箱 邮编: 100036

开 本: 787×1092 1/16 印张: 25.75 字数: 660千字

版 次: 2018年2月第1版

印 次: 2018年2月第1次印刷

定 价: 109.00元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888, 88258888。

质量投诉请发邮件至zltts@phei.com.cn, 盗版侵权举报请发邮件至dbqq@phei.com.cn。

本书咨询联系方式: classic-series-info@phei.com.cn。

前 言

本书面向从事数字系统设计和数字系统架构设计的研究生和工程师。本书划分为两大部分，第1章到第10章重点关注数字电路设计层面，第11章到第20章重点关注数字系统设计层面。

第1章重点介绍了本书面向的读者群体，以及本书的主要内容、组织方式和这样组织的原因。

第2章介绍了Verilog语言的历史、发展变化，以及Verilog在现代数字设计中的地位。

第3章和第4章介绍了在设计和验证中常用的Verilog语法结构。其中，第3章重点介绍了进行数字设计时使用的可综合的Verilog语法结构，同时给出了很多可重用的设计实例，这些例子中普遍使用了parameter、function和generate这类可重用设计方式；第4章初步介绍了电路验证问题，目的是使读者对电路验证有一个基本理解，能够使用Verilog进行模块级验证。

第5章介绍了数字设计中的基本单元，包括逻辑门、真值表、德摩根定理、建立时间/保持时间、边沿检测和数值系统。

第6章介绍了数字设计中的一些常用基本模块，包括LFSR（线性反馈移位寄存器）、扰码与解扰、检错与纠错、奇偶校验、CRC（循环冗余校验）、格雷码编码/解码和数字同步技术。在介绍这些基本模块的同时，给出了它们的常见实际应用例子。

第7章介绍了芯片设计和架构设计中的一些先进概念，主要包括时钟和复位设计策略、增加数字电路吞吐率的方法、减少电路延迟的方法、不同的流控机制、流水线操作、乱序执行等。

第8章继续介绍先进的数字设计概念，主要包括FIFO的操作和设计、状态机设计、仲裁、现代总线接口的种类、链表数据结构、LRU算法的用处及算法实现。

第9章介绍了怎样设计一片ASIC或SoC，介绍了芯片的微结构、芯片划分、数据通道和控制逻辑，介绍了与芯片实际设计相关的时钟树、复位树和EEPROM的使用。

第10章介绍了对芯片设计非常重要的实践经验，包括哪些事情应该避免，哪些经验应该采用。其中一节还给出了高速电路设计中好的经验。

本书的第二部分重点介绍了系统架构设计和IO协议。第11章介绍了存储器，包括cache在内的存储层次结构，中断机制和操作、不同类型的DMA和DMA操作。这里给出了一个典型DMA控制器的RTL设计代码，并通过一个详细的实例介绍了分/集式DMA的概念。

第12章描述了硬盘驱动器的工作机制和相关电路，包括固态盘驱动器的基本原理和操作细节。本章介绍了DDR的操作，介绍了系统中的BIOS、OS、驱动程序以及它们和硬件之间的相互操作。

第13章描述了嵌入式系统和不同种类的内部总线，如嵌入式设计中的AHB总线和AXI总线。本章还介绍了透明和非透明桥接的概念。

第14章和第15章引入了与芯片设计实际相关的一些知识。第14章介绍了芯片测试、DFT、边界扫描和ATPG。

第15章提供了详细的芯片设计流程，介绍了静态定时检查和分析，给出了一个实际的进行ECO的例子。

第16章和第17章介绍了低功耗设计方法和功耗管理协议。其中，第16章详细描述了不同的降低功耗的技术，包括变频技术、门控时钟技术、功率阱隔离技术，这些技术可以在不同层面上降低功耗；第17章介绍了功率管理协议，包括系统的S状态、CPU的C状态、设备的D状态，以及它们在工作中是如何相互配合的。

第18章解释了串行总线技术和PCS、PMA层的具体功能。本章通过实例介绍了串行IO的时钟关系，弹性缓冲区FIFO的操作特点，以及通道绑定、链路聚合和线路翻转等重要概念。本章还介绍了PMA中常用的发送/接收均衡、PLL和终端匹配技术。

第19章和第20章重点介绍串行总线协议和操作。其中，第19章介绍了PCIe、Serial ATA、USB和雷电接口技术；第20章从10M以太网开始，按照以太网的历史发展沿革，一直介绍到最新的100G以太网。

附录A列举了作者曾经参考或引用过的资源。附录B介绍了FPGA的优点、结构、应用、主要生产厂商以及与FPGA设计流程相关的知识。附录C介绍了用于验证的测试平台（testbench）。附录D重点介绍了System Verilog断言。

希望此书能够通过大量实例清晰地解释数字系统设计中的重要概念和知识要点。此书可供学习数字系统设计和芯片设计课程的学生使用，此书可以为他们今后从事相关工作提供引导和帮助。

Kishore Mishra
Silicon Valley, USA

目 录

第1章	绪论	1
第2章	寄存器传输语言(RTL)	2
第3章	可综合的Verilog——用于电路设计	3
3.1	什么是Verilog	3
3.2	Verilog的发展历史	3
3.3	Verilog的结构	4
3.4	硬件RTL代码的执行	7
3.5	Verilog模块分析	7
3.6	Verilog中的触发器	11
3.6.1	带RST复位引脚的触发器	12
3.6.2	没有复位引脚的触发器	12
3.7	组合逻辑	12
3.7.1	always块语句	12
3.7.2	case和if-else语句	13
3.7.3	赋值语句	14
3.8	Verilog操作符	14
3.8.1	操作符描述	14
3.8.2	操作符的执行顺序	20
3.8.3	Verilog中的注释	20
3.9	可重用和模块化设计	21
3.9.1	参数化设计	21
3.9.2	Verilog函数	23
3.9.3	Verilog中的generate结构	26
3.9.4	Verilog中的`ifdef	27
3.9.5	数组、多维数组	29
第4章	用于验证的Verilog语法	30
4.1	Verilog的测试平台	30
4.2	initial语句	30
4.3	Verilog 系统任务	31
4.3.1	\$finish/\$stop	31
4.3.2	\$display/\$monitor	31
4.3.3	\$time, \$realtime	32

4.3.4	\$random/\$random (seed)	33
4.3.5	\$save	35
4.3.6	\$readmemh/\$writememh	35
4.3.7	\$fopen/\$fclose	36
4.4	任务	37
4.5	存储器建模	37
4.6	其他Verilog语法结构	39
4.6.1	while循环	39
4.6.2	for循环、repeat	39
4.6.3	force/release	40
4.6.4	fork/join	40
4.7	一个简单的testbench	41
第5章	数字电路设计——初级篇	46
5.1	组合逻辑门	46
5.1.1	逻辑1和逻辑0	46
5.1.2	真值表	46
5.1.3	晶体管	47
5.1.4	反相器	47
5.1.5	与门	48
5.1.6	或门	49
5.1.7	与非门	49
5.1.8	或非门	49
5.1.9	XOR (异或)、XNOR (异或非)	49
5.1.10	缓冲门	50
5.1.11	复用器	50
5.1.12	通用逻辑门——NAND、NOR	52
5.1.13	复杂门电路	52
5.1.14	噪声容限	53
5.1.15	扇入和扇出	54
5.2	德摩根定理	55
5.3	通用D触发器	56
5.3.1	D触发器时序图	56
5.4	建立和保持时间	57
5.4.1	建立时间	57
5.4.2	保持时间	57
5.4.3	亚稳态	58
5.5	单比特信号同步	58
5.5.1	两个触发器构成的同步器	58
5.5.2	信号同步规则	59
5.6	关于时序	60
5.7	事件/边沿检测	62

5.7.1	同步上升沿检测	62
5.7.2	同步下降沿检测	63
5.7.3	同步上升/下降沿检测	63
5.7.4	异步输入上升沿检测	64
5.8	数值系统	64
5.8.1	十进制数值系统	64
5.8.2	二进制数	66
5.8.3	十进制数到二进制数的转换	66
5.8.4	十六进制数值系统	67
5.8.5	十六进制数和二进制数的转换	67
5.9	加法和减法	68
5.9.1	行波进位加法器	68
5.9.2	超前进位加法	69
5.9.3	累加器	69
5.10	乘和除	70
5.10.1	乘以一个常数	70
5.10.2	除以常数 (2的整数次幂)	71
5.11	计数器	71
5.11.1	加法/减法计数器	71
5.11.2	LFSR (线性反馈移位寄存器) 计数器	73
第6章	数字设计——基础模块	75
6.1	LFSR	75
6.1.1	引言	75
6.1.2	斐波那契LFSR与伽罗瓦LFSR	75
6.1.3	LFSR反馈多项式	76
6.1.4	LFSR的用法	77
6.2	扰码与解扰	77
6.2.1	什么是扰码与解扰	77
6.2.2	扰码的作用	78
6.2.3	串行扰码器	78
6.2.4	并行扰码器	78
6.2.5	扰码电路设计要点	79
6.2.6	PCIe扰码电路	79
6.2.7	Verilog RTL-PCIe扰码器	80
6.3	检错与纠错	82
6.3.1	检错	82
6.3.2	错误纠正	82
6.3.3	纠错编码	83
6.3.4	汉明码	84
6.3.5	汉明码应用举例——DDR ECC	86
6.3.6	BCH编码	87

6.3.7	里德-所罗门编码	87
6.3.8	LDPC编码	88
6.3.9	卷积码	88
6.3.10	卷积译码	89
6.3.11	软判决与硬判决	90
6.4	奇偶校验	90
6.4.1	偶校验和奇校验	90
6.4.2	奇偶校验位的生成	90
6.4.3	奇偶校验的应用	91
6.5	CRC (循环冗余校验)	91
6.5.1	CRC介绍	91
6.5.2	串行CRC计算	92
6.5.3	并行CRC计算	93
6.5.4	部分数据CRC计算	94
6.5.5	常用CRC类型	100
6.6	格雷编码/解码	102
6.6.1	二进制码转换为格雷编码的通用电路	104
6.6.2	格雷码转换为二进制码的通用电路	105
6.7	译码器(7段数码显示实例)	105
6.8	优先级编码	107
6.8.1	常规编码器的Verilog代码	107
6.8.2	优先级编码器的Verilog代码	108
6.9	8b/10b编码/解码	108
6.9.1	8b/10b编码方式	108
6.9.2	多字节8b/10b编码	109
6.9.3	disparity选择8b/10b编码方案	109
6.10	64b/66b编码/解码	110
6.10.1	64b/66b编码机制	110
6.10.2	128b/130b编码机制	111
6.11	NRZ、NRZI编码	111
6.12	移位寄存器与桶形移位器	112
6.12.1	左移位与右移位	112
6.12.2	左循环移位与右循环移位	112
6.12.3	桶形移位器	113
6.13	数据转换器	115
6.13.1	由宽到窄数据转换	115
6.13.2	由窄到宽数据转换	116
6.14	同步技术	118
6.14.1	使用FIFO进行的数据同步	118
6.14.2	握手同步方式	118
6.14.3	脉冲同步器	122
6.14.4	相位、频率关系固定时的跨时钟域数据传输	124

6.14.5	准同步时钟域	125
6.15	计时(微秒、毫秒和秒)脉冲的产生	125
6.16	波形整形电路	127
第7章	数字设计先进概念(第1部分)	128
7.1	时钟	128
7.1.1	频率和时钟周期	128
7.1.2	不同的时钟机制	128
7.1.3	同步时钟	129
7.1.4	源同步时钟	129
7.1.5	嵌入式时钟	130
7.1.6	准同步时钟	131
7.1.7	异步系统	132
7.1.8	扩频时钟	132
7.1.9	时钟抖动	132
7.2	复位方法	133
7.2.1	非同步复位(异步复位)	133
7.2.2	复位同步电路	133
7.2.3	同步复位	134
7.2.4	异步复位和同步复位的选择	134
7.3	吞吐率	135
7.3.1	增加吞吐率的方法	135
7.3.2	更高的频率	135
7.3.3	更宽的数据通道	135
7.3.4	流水线	136
7.3.5	并行处理	136
7.3.6	无序执行(乱序执行)	136
7.3.7	高速缓存(cache)	137
7.3.8	预读取	138
7.3.9	多核	138
7.4	时延	138
7.4.1	降低时延的方法	138
7.5	流控	139
7.5.1	介绍	139
7.5.2	数据转发: data_valid和data_ack	140
7.5.3	基于信用的流控: PCIe	141
7.5.4	SATA流控机制	142
7.5.5	吉比特以太网流控	143
7.5.6	TCP滑动窗流控机制	144
7.6	流水线操作	144
7.6.1	流水线介绍	144
7.6.2	流水线的简单实例	145

7.6.3	RISC——流水线处理器	146
7.6.4	流水线结构和并行操作	146
7.6.5	流水线加法器	147
7.6.6	并行加法器	150
7.6.7	系统设计中的流水线	152
7.7	out-of-order执行(乱序执行)	153
7.7.1	现代处理器: out-of-order执行	153
7.7.2	SATA NCQ: out-of-order执行	154
第8章	数字设计先进概念(第2部分)	155
8.1	状态机	155
8.1.1	引言	155
8.1.2	状态机泡泡图	156
8.1.3	状态机: 推荐方式	157
8.1.4	二进制编码的状态机	157
8.1.5	独热码编码的状态机	160
8.1.6	二进制编码和独热码比较	163
8.1.7	米里型和摩尔型状态机	164
8.1.8	子状态机	165
8.2	FIFO	165
8.2.1	引言	165
8.2.2	FIFO操作	166
8.2.3	同步FIFO	167
8.2.4	同步FIFO	167
8.2.5	异步FIFO的工作机制	170
8.2.6	异步FIFO的实现	172
8.3	FIFO高级原理	178
8.3.1	FIFO的大小	178
8.3.2	FIFO的深度	178
8.3.3	辅助数据或标签	179
8.3.4	快照/回退操作	179
8.3.5	直通交换和存储转发模式	180
8.3.6	FIFO指针复位	180
8.3.7	不同的写入、读取数据宽度	181
8.3.8	使用FIFO的缺点	181
8.3.9	基于触发器或者SRAM的FIFO	181
8.4	仲裁	182
8.4.1	关于仲裁	182
8.4.2	常规仲裁方案	182
8.4.3	严格优先级轮询	182
8.4.4	公平轮询	185
8.4.5	公平轮询(仲裁w/o死周期)	189

8.4.6	带权重的轮询 (WRR)	190
8.4.7	权重轮询 (WRR): 第二种方法	193
8.4.8	两组轮询	199
8.5	总线接口	204
8.5.1	总线仲裁	205
8.5.2	split-transaction (分割处理)总线	207
8.5.3	流水线式总线	207
8.6	链表	207
8.7	近期最少使用 (LRU)算法	208
8.7.1	LRU的矩阵实现	209
8.7.2	采用矩阵法实现LRU的Verilog代码	210
第9章	设计ASIC/SoC	212
9.1	设计芯片——如何开展	212
9.2	结构和微结构	212
9.2.1	尽可能保持简单	213
9.2.2	善于平衡	213
9.2.3	处理好错误和异常	213
9.3	数据路径	213
9.3.1	数据流	213
9.3.2	时钟	214
9.4	控制单元	214
9.4.1	关注边界条件	214
9.4.2	注意细节	215
9.4.3	多输入点	215
9.4.4	正确理解规范	215
9.5	其他考虑	215
9.5.1	门数	215
9.5.2	焊盘受限与内核受限	216
9.5.3	时钟树和复位树	216
9.5.4	EEPROM、配置引脚	216
第10章	设计经验	218
10.1	文档	218
10.1.1	可读性	218
10.1.2	注释	218
10.1.3	命名规则	218
10.2	在编写第一行代码之前	219
10.2.1	直到你脑海里有了蓝图才开始	219
10.2.2	脑海中的模拟	219
10.3	一些建议	219
10.3.1	哪种风格——数据流或算法	219
10.3.2	寄存器型输出	220

10.3.3	使用状态机而不是松散的控制逻辑	221
10.3.4	综合和仿真不匹配	221
10.3.5	设计的模块化和参数化	222
10.3.6	加法器、减法器的有效使用	222
10.4	需要避免的情况	223
10.4.1	不要形成组合逻辑环路	223
10.4.2	避免意外生成锁存器	223
10.4.3	不要采用基于延迟的设计	224
10.4.4	不要对一个变量多次赋值	224
10.5	初步完成RTL代码之后	225
10.5.1	初步完成代码之后的回顾	225
10.5.2	目测RTL代码	226
10.5.3	对发现bug感到惊喜	226
10.6	设计要面向未来使用需求	226
10.6.1	易于实现的寄存器结构	226
10.6.2	考虑将来需求	226
10.7	高速设计	226
10.7.1	使用独热码进行状态编码	227
10.7.2	使用互斥的数据选择器而不是优先级编码器	227
10.7.3	避免大量散乱的组合逻辑电路	227
10.7.4	复制或克隆	227
10.7.5	使用同步复位时要小心	227
10.7.6	将后到的信号放在逻辑的前面	227
10.8	SoC设计经验	228
10.8.1	使用双触发器同步电路	228
10.8.2	将所有复位电路放在一起	228
第11章	系统概念(第1部分)	229
11.1	PC系统结构	229
11.2	存储器	230
11.2.1	存储器层次结构	230
11.2.2	CPU使用高速缓存的方法	231
11.2.3	cache的架构	231
11.2.4	cache的组织方式	232
11.2.5	虚拟存储器(Virtual Memory)	234
11.2.6	动态随机访问存储器(DRAM)	235
11.2.7	静态随机访问存储器(SRAM)	236
11.2.8	内容可寻址存储器(CAM)	237
11.2.9	CAM的Verilog模型	238
11.2.10	ROM、PROM、EPROM和EEPROM	245
11.2.11	闪存	246
11.3	中断	247

11.3.1	中断不同部分	247
11.3.2	中断向量表	248
11.3.3	I/O设备产生的中断	249
11.3.4	高级可编程中断控制器	249
11.3.5	INTx中断共享	250
11.3.6	MSI中断	250
11.3.7	MSI-X中断	252
11.3.8	中断聚合	252
11.3.9	中断产生的RTL示例	252
11.4	PIO (Programmed IO) 模式的数据传送	254
11.5	直接存储器访问	255
11.5.1	什么是DMA	255
11.5.2	第三方、第一方DMA和RDMA	256
11.5.3	分/集式DMA	256
11.5.4	DMA描述符	257
11.5.5	环形描述符结构	257
11.5.6	链表描述符结构	258
11.5.7	DMA控制器的设计	259
11.5.8	DMA控制器的Verilog RTL模型	260
第12章	系统概念(第2部分)	270
12.1	永久存储器——硬盘	270
12.1.1	磁盘结构	270
12.1.2	磁盘寻址	271
12.1.3	硬盘控制器	271
12.1.4	硬盘的类型: SATA硬盘和基于SAS的硬盘	272
12.1.5	RAID (独立磁盘冗余阵列)	272
12.2	永久存储设备——固态硬盘	274
12.2.1	闪存的组织	275
12.2.2	闪存写入、擦除	275
12.2.3	逻辑地址到物理地址的转换	276
12.2.4	无用存储空间回收	276
12.2.5	耗损均衡	276
12.2.6	写放大及其缓解方法	277
12.2.7	超量供给	277
12.2.8	SSD中的高速缓存	278
12.2.9	ECC和RAID	278
12.2.10	闪存的一些重要指标	279
12.2.11	NVM总线	279
12.3	DDR存储器	280
12.3.1	DDR存储器命令	281
12.3.2	DDR的初始化和校准	283

12.3.3	DDR存储器术语	285
12.4	软硬件协同	287
12.4.1	设备驱动	287
12.4.2	软件层	288
12.4.3	BIOS	288
12.4.4	内核模式和用户模式	289
12.4.5	控制/状态寄存器、RO、粘着位	289
第13章	嵌入式系统	290
13.1	AMBA总线架构	290
13.1.1	AMBA模块图	291
13.1.2	AHB总线	291
13.1.3	AXI总线	292
13.2	其他总线(OCP、Avalon、Wishbone和IBM Core Connect)	293
13.3	非透明桥接	294
第14章	ASIC/SoC的可测试性	296
14.1	简介	296
14.1.1	为什么测试很重要	296
14.1.2	故障类型	296
14.2	ATPG	297
14.3	扫描	298
14.3.1	内部扫描	298
14.3.2	边界扫描	299
14.3.3	IDDQ测试	300
14.4	SoC测试策略	300
14.4.1	SoC的内部结构	300
14.4.2	可测性设计(DFT)	302
14.4.3	DFT设计准则	302
14.4.4	测试层面和测试向量	303
第15章	芯片开发流程与工具	304
15.1	简介	304
15.1.1	芯片设计的不同阶段	304
15.2	前端设计过程所使用的工具	306
15.2.1	代码分析工具	306
15.2.2	仿真工具	307
15.3	后端设计过程使用的工具	307
15.3.1	综合工具	307
15.3.2	静态定时分析及常用工具	308
15.3.3	SDC约束文件	310
15.3.4	Max Cap/Maxtrans检查	312
15.3.5	门级仿真	312

15.4	tape-out 和相关工具	313
15.4.1	不同类型的tape-out	313
15.4.2	等效性检查	313
15.4.3	网表ECO	314
15.4.4	FIB操作	318
15.5	在硅片调试	319
第16章	功率节约技术	321
16.1	简介	321
16.2	功耗分析基础	321
16.3	通过控制工作频率降低功耗	322
16.3.1	降低频率、增大数据路径宽度	322
16.3.2	动态频率调整	322
16.3.3	零频率/门控时钟	323
16.4	减少电容负载	324
16.5	降低工作电压	325
16.5.1	动态改变工作电压	325
16.5.2	零操作电压	325
16.5.3	电源阱与隔离	325
第17章	功率管理	327
17.1	功率管理的基础知识	327
17.2	系统级功率管理与ACPI	327
17.3	CPU功率状态——C状态	328
17.4	设备级功率管理与D状态	328
17.5	系统、设备和链路间的关系	328
第18章	串行总线技术	330
18.1	串行总线结构	330
18.1.1	串行总线的出现	330
18.1.2	串行总线的优缺点	331
18.1.3	串行总线结构	331
18.1.4	串行总线时钟	333
18.1.5	发送路径的微结构	333
18.1.6	接收路径的微结构	334
18.2	串行总线中的先进设计理念	336
18.2.1	字节分割/链路聚合	336
18.2.2	通道绑定与去偏移	337
18.2.3	极性翻转	337
18.2.4	线路翻转	338
18.2.5	锁相环 (PLL)	339
18.3	串行总线的PMA层功能	340
18.3.1	发送均衡	340

18.3.2	接收均衡	341
18.3.3	端接电阻	341
第19章	串行协议(第1部分)	342
19.1	PCIe	342
19.1.1	PCIe功能特性	342
19.1.2	PCIe带宽	343
19.1.3	PCIe交换结构	343
19.1.4	PCIe配置空间寄存器	344
19.1.5	PCIe的交换机制	347
19.2	SATA	351
19.2.1	引言	351
19.2.2	SATA架构	351
19.2.3	SATA的其他变种	352
19.3	通用串行总线	353
19.3.1	引言	353
19.3.2	全速、高速和超高速USB	353
19.3.3	USB的显著功能特性	353
19.3.4	USB 3.0(超高速USB)	354
19.4	雷电接口	354
19.4.1	雷电接口介绍	354
19.4.2	雷电接口架构	354
第20章	串行协议(第2部分)	356
20.1	以太网简介	356
20.2	OSI和以太网协议层次	356
20.3	以太网帧格式	357
20.4	10 Mbps以太网	357
20.5	快速以太网(100 Mbps)	358
20.6	千兆位以太网(1 Gbps)	360
20.7	万兆位以太网(10 Gbps)	361
20.8	40 G和100 G以太网	363
20.9	以太网桥接器、交换机与路由器	363
附录A	资源	364
附录B	FPGA 101	367
附录C	用于验证的测试平台(testbench)	373
附录D	System Verilog断言(SVA)	381
缩略词	386