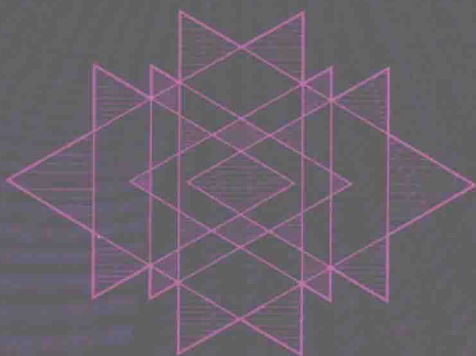


Mc
Graw
Hill
Education

微电子与集成电路先进技术丛书

纳米级集成电路系统 电源完整性分析

Power Integrity
for Nanoscale Integrated
Systems



[日] 桥本正德 (Masanori Hashimoto) 等著
[美] 拉杰·耐尔 (Raj Nair)
戴澜 陈铨颖 张晓波 译



机械工业出版社
CHINA MACHINE PRESS

微电子与集成电路先进技术丛书

纳米级集成电路系统 电源完整性分析

[日] 桥本正德 (Masanori Hashimoto) 等著
[美] 拉杰·耐尔 (Raj Nair)
戴 澜 陈铨颖 张晓波 译



机械工业出版社

Masanori Hashimoto

Power Integrity for Nanoscale Integrated Systems

978-0-07-178776-5

Copyright © 2014 by McGraw-Hill Education.

All Rights reserved. No part of this publication may be reproduced or transmitted in any form or by any means, electronic or mechanical, including without limitation photocopying, recording, taping, or any database, information or retrieval system, without the prior written permission of the publisher.

This authorized Chinese translation edition is jointly published by McGraw-Hill Education and China Machine Press. This edition is authorized for sale in the People's Republic of China only, excluding Hong Kong, Macao SAR and Taiwan.

Copyright © 2017 by McGraw-Hill Education and China Machine Press.

版权所有。未经出版人事先书面许可，对本出版物的任何部分不得以任何方式或途径复制或传播，包括但不限于复印、录制、录音，或通过任何数据库、信息或可检索的系统。

本授权中文简体字翻译版由麦格劳-希尔（亚洲）教育出版公司和机械工业出版社合作出版。此版本经授权仅限在中华人民共和国境内（不包括香港特别行政区、澳门特别行政区和台湾）销售。

版权© 2017 由麦格劳-希尔（亚洲）教育出版公司与机械工业出版社所有。

本书封面贴有 McGraw-Hill Education 公司防伪标签，无标签者不得销售。

北京市版权局著作权合同登记图字：01-2014-5185 号。

图书在版编目（CIP）数据

纳米级集成电路系统电源完整性分析/（日）桥本正德（Masanori Hashimoto）等著；戴澜，陈铖颖，张晓波译. —北京：机械工业出版社，2017. 10

（微电子与集成电路先进技术丛书）

书名原文：Power Integrity for Nanoscale Integrated Systems

ISBN 978-7-111-56987-9

I. ①纳… II. ①桥… ②戴… ③陈… ④张… III. ①集成电路-电源电路-电路设计 IV. ①TN710.02

中国版本图书馆 CIP 数据核字（2017）第 121155 号

机械工业出版社（北京市百万庄大街 22 号 邮政编码 100037）

策划编辑：江婧婧 责任编辑：江婧婧 赵玲丽

责任校对：佟瑞鑫 封面设计：鞠 杨

责任印制：李 昂

三河市国英印务有限公司印刷

2017 年 9 月第 1 版第 1 次印刷

169mm × 239mm · 20.75 印张 · 392 千字

0 001—3 000 册

标准书号：ISBN 978-7-111-56987-9

定价：125.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换

电话服务

服务咨询热线：010-88361066

读者购书热线：010-68326294

010-88379203

封面防伪标均为盗版

网络服务

机工官网：www.cmpbook.com

机工官博：weibo.com/cmp1952

金书网：www.golden-book.com

教育服务网：www.cmpedu.com

进入 21 世纪以来,集成电路制造工艺的发展日新月异,目前已经进入到了前所未有的纳米级阶段。电源完整性作为系统级芯片设计的重要课题,直接影响到集成电路的可靠性、性能以及功耗。因此,本书作者以系统级电源完整性为切入点,深入探讨了电源完整性的影响、时钟产生及分布、输入/输出单元中的电源完整性设计、电源完整性建模、温度效应以及低功耗电源完整性设计等方面的问题,并以 IBM POWER7+ 处理器芯片作为实例进行分析,最后针对新型碳纳米管互连元件在电源完整性中的应用做了简要讨论。

本书可作为高等院校电子科学与技术、电子与信息工程、自动化等专业高年级本科生和研究生有关集成电路和系统设计方面课程的教材,或作为相关领域工程技术人员的参考书。

译者序

进入 21 世纪以来，集成电路制造工艺的发展日新月异，目前已经进入到了前所未有的纳米级阶段。电源完整性作为系统级芯片设计的重要课题，直接影响到集成电路的可靠性、性能以及功耗。因此，本书作者以系统级电源完整性为切入点，深入探讨了电源完整性的影响、时钟产生及分布、输入/输出单元中的电源完整性设计、电源完整性建模、温度效应以及低功耗电源完整性设计等方面的问题，并以 IBM POWER7+ 处理器芯片作为实例进行分析，最后针对新型碳纳米管互连元件在电源完整性中的应用做了简要讨论。

本书可作为高等院校电子科学与技术、电子与信息工程、自动化等专业高年级本科生和研究生有关集成电路和系统设计方面课程的教材，或作为相关领域工程技术人员的参考书。

本书的翻译工作由北方工业大学微电子系副教授戴澜组织，北方工业大学大学张晓波老师和厦门理工学院微电子学院陈铖颖老师参与翻译。其中，戴澜副教授翻译了第 1~5 章，张晓波老师翻译了第 6 章，陈铖颖老师翻译了第 7~10 章。

本书虽经仔细审校，但由于译者水平有限，书中定会有不当或欠妥之处，望读者批评指正。

戴澜

2017 年 2 月

原 书 前 言

在 20 多年前的 1990 年，在一个带状记录仪仪器装配线上我碰到一件触动我的事情。在一批新记录仪的测试阶段，仪器电子控制板上出现了一些计数器不能计数的奇怪现象，问题的起源是计数器的供电电源存在较大并且相对高频率的环路噪声，在改进与上市中面临的压力很大，这种噪声产生的真正原因困扰了生产、设计和研发组。这件事触动了我，其实相当简单，这些芯片供电电源网络的高速振荡电流导致了使得仪器功能失效的这些噪声，而这些噪声可以通过在供电电源线路上增加一个大的电感来得到减弱。一个手动制作的环状铁质电感通过串联加入到电源线路，电源不再如往常一样发生振荡，计数器按照设定进行工作，噪声令人吃惊地被抑制掉了。我很快和制造平台设计研发组的总裁一起开了设计总结会，作为当时的惯例，尽管我的设计方案非常前沿，像我这样的年轻人还是没有机会参与这种级别的总结会的。那时人们生产了大量的铁心电感产品，并且改变了设计方法，这使得录音机的生产能以最短的时间向前推进。我从未清楚地去计算这种改进设计带来的利益是多少，但是在计数器芯片数字电路中供电网络采用一种低通滤波器之前，大量的串联电感和去耦电容一起被使用，通过这些事实可以大概猜出上述设计带来的利益情况。这种设计改变了供电网络的共振频率，消除了采用这种电感器之前存在的一个共振，减弱了由于计数器采用整个电路系统专用频率进行计数而激发的共振噪声。

在大约 20 年以后的 2010 年，在为一个高速路由器芯片设计实现一个 GHz 级时钟分配网络的时候，作为老朋友的自感现象又出现了。在常规设计中会完全忽略片上互连电感，随着芯片频率朝着每秒种十亿个时钟周期发展以及自感相关影响逐步深入到可以和全局时钟分配的互连电感相比拟，我非常有兴趣对这种现象进行研究。电感不仅能改善时钟的上升和下降时间，从而降低时钟抖动 (jitter)，通过对时钟分配系统中时钟驱动级中的过驱动延时进行仔细设计，能减少芯片的时钟偏差 (skew)。此外，也可能在将 4GHz 的时钟芯片分配到芯片外围的 I/O 电路时，降低电阻的趋肤效应。总之，对这种现象进行研究，可以大大地优化设计。

多年以后，waxing eloquent 的在线文章讨论了在时钟和功率分配网络仿真中考虑电感的必要性，我在一篇研究性论文中提出通过考虑互连电感，能很好地优化芯片中使用的金属。通过包括电感、关键的互连细节信息的实际的物理布局仿真，能更深入地理解电源完整性优化、功耗和芯片，包括去耦电容物理布局。第一本关于集成电路的电源完整性分析和管理的书籍在 2010 年出版，这本书的出

版是在我第一次碰到这种电感现象的 20 年之后。在这段时间我竟然耗费了很多心血去研究绝热逻辑这一块现在被放弃的领域，这个研究领域充满草率的假设和采用简化的 RC 模型，忽略任何电路的实际细节，如我认识 20 多年的电感问题。

通过这些情况，你也许能正确地判断出我正在对随着集成电路特征尺寸逐步缩小情况下的电源完整性问题进行研究，在片上互连评估和优化研究中将考虑电感的影响。但是，看到一些出版物中继续在功率网格的实际物理仿真中忽略电荷的流动惯性，采用一些近似和非物理的仿真方法，这会使读者看不到电源完整性退化中的共振或者波的传输特性，甚至会决定了噪声的峰值幅度。这种近似和有限层面的分析将不可能察觉到一些瞬时的物理噪声现象，如在水力学和光学物理频谱中出现的畸形波（指一种分布非常陡峭，峰值远高于周围的局域波）就属于这种情况。这很好理解，对于一个给定的连续电磁频谱，在光纤中能看到的畸形波，在电磁系统中也能看到，只是在频谱幅度小几个数量级。在关于集成电路电源完整性的第一本书中揭示了片上功率网格中关于入射噪声波的电容透镜效应仿真，给本书很大的支持。电感和实际的物理效应会导致明显的延时，也会引起人们揭示芯片功率网格物理现象的兴趣。假设互连网格没有电感就如假设钟摆没有质量，系统不具有势能和动能，换句话说，这是不可能的，这是一个非物理的系统。因此，我出版的这本书但愿能有助于现代电源完整性分析和验证的物理仿真，在本书中采用了一些高级的抽象画和基于物理现象的仿真方法。

本书也是第一次广泛讨论了学术界、工业界和实验阶段的关于电源完整性的一些成果，从电路和芯片设计者的观点出发讨论说明电源完整性退化和它的复杂性。这本书也在一些细节上讨论电源管理和低功耗设计对电源完整性退化的影响。先前的一些书关注建模、仿真和分析，对于设计者来说，可能更关注他们碰到的实际问题，尤其希望在设计早期就能关注一些细节问题，从而能对系统设计和工艺限制的问题提前想好对策。

在特征尺寸达到纳米级，3D 集成的年代，集成电路设计中面临非常严酷的现实问题：电源完整性退化将带来严格的限制，需要很多的理论和经验知识来进行处理，这个问题将会由于在垂直方向上集成额外的有源电路而变得更加复杂。这些问题的处理都需要对电源完整性和热问题进行正确的早期评估。通过近 20 年对关于电源完整性和电路可靠性知识的学习，这本书将对这些问题进行处理。为了这个目标，我们将在本书中引用一款工业产品 IBM POWER7+ 来进行说明，这也是 Hashimoto 和我希望用它来对芯片和系统设计师和设计者展示和传授相关技术。此外，也希望有助于学术界的工作者能够向工业界取经，以便更好地了解关于功率分配网络的设计并把握一些潜在的研究点。

致 谢

工业界和学术界的很多专家对这本书的出版做出了贡献，先进工业科学和技术国家研究所的 Yasuhiro Ogasahara 在关键的第 3 章做出贡献。芝浦工业大学的 Toshio Sudo 完成了第 4 章；第 5 章、第 6 章由加利福尼亚大学迭戈分校的 Chung - Kuan Cheng 和美国高通公司的 Xiang Hu 和 Amirali Shayan 执笔；第 7 章由 Hexocom 公司的 Kian Haghdad 和在开罗的美国大学职员 Mohab Anis 完成；IBM 的 Howard H. Smith 撰写了第 9 章；明导公司（Mentor Graphics Corp）的 Navin Srivastava 和先进工业科学和技术国家研究所的 Mizuhisa Nihei 负责了第 10 章的工作。在这里一并对他们的工作表示感谢。

我们感谢 Masanori 的前辈和目前在大阪大学和东京大学从事电源完整性研究的学生们，特别要感谢东京大学的 Akira Tsuchiya，他为本书的封面和互连模型提供了一些非常精美的图片。

我们也很感谢我们的老师、导师、同事和朋友们，他们对本书中相关知识的理解提供了一些有意义的指导。同时，对给我们提供支持的各位亲爱的朋友们表示感谢。

作者简介

Masanori Hashimoto: 分别于1997、1999和2001年在日本京都大学获得通信和计算机工程学士、硕士和博士学位。自2004年起,在日本大阪大学的信息系统工程系从事教学和科研工作,目前是副教授。他的主要研究领域为片上电源噪声和信号耦合噪声的建模和测试工作。Hashimoto博士感兴趣的研究包括时序、功耗和信号完整性分析、超低功耗设计、可靠性设计、软错误建模、物理设计的高性能优化和片上高速信号产生。Hashimoto博士已经发表了200多篇期刊和会议论文,获得2004年ASP-DAC最佳论文奖和2008年ASP-DAC大规模集成电路设计竞赛特别功能奖。他是IEEE、ACM、IEICE和IPJSJ成员,也是数个国际会议的技术方案委员会成员,包括DAC、ITC、ICCAD、VLSI电路讨论会、ISPD、ASP-DAC、DATE、ICCD和ISQED。

Raj Nair: 于1986年获得印度迈索尔大学电子通信工程学士学位,于1994年获得路易斯安那州立大学电气工程硕士学位。具有超过25年的工业和学术领域科研工作经验,在工程期刊和会议上发表大量的受邀论文和简报,得到同行的广泛好评。职业生涯一直从事电子和半导体相关工作,主要关注功率和功率传送,信号和电源完整性研究。在最近的20年,Raj Nair创办了两个创业公司,主要从事显影硅、封装方面的知识产权和电源完整性相关的电子设计自动化软件。是之前一本关于集成电路电源完整性分析和管理方面著作的合著者,拥有超过40个授权专利,是半导体业、电源完整性和超大规模/3D集成方面的专家顾问。

本书作者及分工

Mohab Anis: 从2010年开始作为美国大学在开罗的教职人员, 2003年至2010年作为加拿大滑铁卢大学的计算机工程终身教授。他发表和出版过超过150篇论文和3本著作, 是9个国际期刊的编辑。Anis博士被授予安大略湖早期研究奖, 由于卓越的研究成果获得了科尔顿奖章和IEEE国际低功耗设计奖, 他在2002年获得滑铁卢大学计算机工程博士学位, 他主要参与本书第7章编写。

Chung - Kuan Cheng: 加州大学迭戈分校计算机科学与工程系教授, 1991年获得加州大学迭戈分校工程学院NCR教学奖, 在2000年成为IEEE会员, 2004、2006和2007年获得IBM员工奖。在2013年获得加州大学迭戈分校卓越职工奖。主要参与第5~6章编写。

Kian Haghdad: 2011年获得加拿大滑铁卢大学电气与计算机工程博士学位, 在2008年获得加拿大自然科学和工程委员会研究生奖。主要研究领域为功率和热完整性, 低功耗电子学 variation - tolerant 设计, Haghdad博士2000年在加拿大安大略多伦多创立Hexocom公司, 目前是该公司的工程师和董事长。主要参与第7章的编写。

Masanori Hashimoto: 本书共同编辑, 参与第1~3章和第8章的编写。

Xiang Hu: 目前是高通公司功率完整性工程师, 2010年到2013年是美国博通公司ASIC后端工程师。2012年获得圣地亚哥加利福尼亚大学计算机工程博士学位。主要研究方向包括功率分配网络的分析与优化。主要参与本书第5、6章的编写。

Raj Nair: 本书共同编辑, 主要参与第1、3和8章的编写。

Mizuhisa Nihei: 分别于1990、1992和2006年获得日本仙台东北大学电气工程工学学士、工程硕士和博士学位。从1992年开始, 在日本厚木富士通实验室工作。目前, 在厚木国家先进工业科学和技术国家研究所从事石墨烯互连和热管理工艺研究。主要参与本书第10章的编写。

Yasuhiro Ogasahara: 2008年获得日本坂田大学信息系统工程博士学位。目前在日本国家先进工业科学和技术国家研究所从事纳米电子学研究, 主要从事新器件的电子集成研究工作。Ogasahara博士获得2008年ASP-DAC大学的大规模集成电路设计竞赛特别功能奖, 是IEEE和IEICE成员。参与本书第3章的编写。

Amirali Shayan: 2005年获得伊朗德黑兰大学电气工程学士学位, 分别于2008年和2011年获得圣地亚哥加利福尼亚大学计算机工程硕士和博士学位。目前是圣地亚哥博通公司低功耗实现项目组成员, 他的研究方向包括低功耗实现、

管理和分配。主要参与本书第5、6章编写。

Howard H. Smith: 分别于1984年和1985年获得新西兰理工学院学士和硕士学位,1984年加入IBM,从事从封装电气设计和计算机体系分析到最新处理器的片上信号和电源完整性分析工作,Smith先生目前是波基普西市IBM公司系统和工艺组传感器工程师,同时作为项目组长负责高集成度CMOS电路和芯片工艺电气分析工作。主要负责本书第9章的编写工作。

Navin Srivastava: 在印度理工大学获得技术学士学位,加利福尼亚大学硕士和博士学位。在俄勒冈州威尔逊维尔Mentor Graphics公司工作期间主要从事VLSI寄生参数提取和互连模型工作,他在超过25个高引用率的顶级期刊发表论文并担任多个会议论文的审稿人。负责本书第10章的编写。

Toshio Sudo: 分别于1973、1975和2006年获得日本东北大学学士、硕士和博士学位。在1975年加入日本东芝公司,主要从事MCM工艺研究和发展,微处理器封装,高速信号完整性设计,功率完整性设计和CMOS大规模集成系统EMC设计工作。在2007年成为日本芝浦工业大学教授,在2004年成为IEEE会员。主要负责本书第4章的编写。

目 录

译者序

原书前言

致谢

作者简介

本书作者及分工

第 1 章 集成电路电源完整性的重要性	1
1.1 晶体管缩放和电源完整性退化过程	1
1.1.1 恒定功率 (CP) 和恒定功率密度 (CPD) 缩放下电源完整性	3
1.1.2 低功耗设计及电源完整性退化	4
1.1.3 集成电路中的电源网格噪声	5
1.1.4 电源完整性退化对 I/O 电路及信号完整性的影响	8
1.2 电源完整性恶化的因素	9
1.2.1 电源完整性退化对良率的影响	9
1.2.2 减少电压扩展和增加功率	11
1.2.3 制造及封装技术的增强和成本	12
1.2.4 设计和验证成本	13
1.2.5 不可持续的能源浪费	13
1.3 参考文献	14
第 2 章 电源和衬底噪声对电路的影响	15
2.1 电源噪声和衬底噪声	15
2.2 路径以及延迟单元和电源噪声	17
2.2.1 路径延迟和电源噪声之间的关系	18
2.2.2 组合单元延迟	22
2.2.3 触发器时间特性	25
2.3 耦合效应电路级时序分析	28
2.3.1 难点	28
2.3.2 电源噪声的时间和空间的相关性	30
2.3.3 统计噪声模型	32
2.3.4 个案分析	34
2.4 模拟/射频 (RF) 电路的噪声影响	37

2.4.1 电源噪声	37
2.4.2 衬底噪声	39
2.5 习题	40
2.6 参考文献	40
第3章 电源完整性中的时钟产生和分布	42
3.1 时钟延时、偏移以及抖动	42
3.2 用于时钟树的互连元件	46
3.2.1 互连元件的寄生器件	46
3.2.2 电感的定义	46
3.2.3 电感提取	47
3.2.4 互连元件仿真	53
3.2.5 专用的感性互连元件	55
3.2.6 信号传输时间和电感	58
3.3 时钟树结构及其仿真	60
3.3.1 时钟树结构	60
3.3.2 工业级时钟分布网络应用	63
3.4 电源噪声引起的时钟偏移	64
3.4.1 串行电路中的电源噪声	64
3.4.2 噪声敏感的时钟分布网络仿真	65
3.4.3 在电压 V 和温度 T 变化的情况下, 时钟偏移分析的实例	66
3.4.4 与时钟偏移和电源噪声有关的其他工作	71
3.5 时钟产生	71
3.5.1 对与电源完整性有关的锁相环和延迟锁相环的讨论	72
3.5.2 锁相环结构	73
3.5.3 准则 1: 将锁相环与噪声进行隔离	74
3.5.4 准则 2: 将单端电路以及物理版图设计为差分形式	76
3.5.5 准则 3: 环路滤波器、偏置产生电路和压控振荡器的电源抑制比、 噪声设计	78
3.6 数据通信的时钟提取	80
3.6.1 开关式鉴相器	80
3.6.2 数据恢复延迟锁相环和相位插值器	81
3.7 总结	81
3.8 参考文献	81
第4章 I/O 电路中的信号及电源完整性设计	83
4.1 引言	83
4.2 单端 I/O 电路设计	84

4.2.1	同步开关输出噪声	84
4.2.2	测量的同步开关输出噪声与仿真值的相关性	87
4.2.3	片上电源分布网络的测量以及全局电源分布网络中的反谐振峰值	89
4.2.4	信号完整性和电源完整性的联合仿真	89
4.2.5	从专用集成电路芯片中所见的整体电源分布网络阻抗	93
4.2.6	频域内的目标阻抗	95
4.2.7	采用依赖于频率目标阻抗的信号衰减估计	98
4.3	差分 I/O 设计	99
4.3.1	差分 I/O 电路的信号完整性建模	99
4.3.2	差分传输线、串扰噪声和通孔的影响	100
4.3.3	机织玻璃纤维的共模转换	101
4.4	三维系统级封装中的电源完整性设计和评估	105
4.4.1	宽总线结构的优势	106
4.4.2	三种层叠芯片和三维系统级封装配置	107
4.4.3	完整的电源分布网络阻抗及其对同步开关输出噪声的影响	113
4.5	总结	118
4.6	参考文献	119
第 5 章 电源完整性退化及建模		121
5.1	背景	121
5.2	电源完整性建模	123
5.2.1	板级电源完整性	123
5.2.2	封装管壳的电源完整性	124
5.2.3	片上电源网络完整性	124
5.3	电源完整性分析	125
5.4	频域分析	125
5.5	时域分析	128
5.6	目标阻抗背景	129
5.7	问题公式化	130
5.8	最坏情况电源分布网络输出电压噪声	130
5.9	无可实现性限制的阻抗	131
5.10	具有可实现性限制的阻抗	133
5.10.1	一阶阻抗	133
5.10.2	二阶阻抗	134
5.11	实际电源分布网络	139
5.11.1	无等效串联电阻的理想 LC 结构	140
5.11.2	具有等效串联电阻的标准 LC 结构	142
5.11.3	完整的电源分布网络通路	145

5.12 总结	147
5.13 参考文献	147
第6章 电源完整性的集总、分布和三维建模	149
6.1 三维电源分布网络建模	149
6.1.1 分布电源网格模型	149
6.1.2 电流激励模型	151
6.1.3 集总模型	151
6.1.4 片上电感效应	154
6.2 三维电源分布网络分析流程	156
6.3 实验结果	157
6.3.1 电流分布模型	158
6.3.2 共振现象	166
6.3.3 去耦电容	169
6.3.4 层与层之间的互连阻抗	171
6.3.5 最坏情况下的噪声电压	174
6.3.6 流浪波	176
6.4 总结	177
6.5 习题	177
6.6 参考文献	179
第7章 芯片温度和电源完整性的影响	181
7.1 超大规模集成电路与系统中高温的影响	181
7.1.1 对电源的影响	181
7.1.2 性能的含义	186
7.1.3 可靠性问题	189
7.2 温度分布及对电压降的影响	192
7.2.1 温度的分布和管理	192
7.2.2 负载变化对于电压降的影响	195
7.2.3 互连电阻对电压降的影响	196
7.3 温度和电压降的建模与评估	198
7.3.1 热建模	198
7.3.2 直接测温	201
7.3.3 电压降建模	203
7.4 Alpha 处理器的温度和电压降概览图	204
7.5 高温下增强电源分布鲁棒性设计	210
7.5.1 布图规划	210
7.5.2 电源引脚分布	212

7.5.3 从设计到生产制造	214
7.6 总结	217
7.7 习题	218
7.8 参考文献	219
第 8 章 低功耗技术和电源完整性影响	222
8.1 数字 CMOS 电路功耗及电源电压降低	222
8.1.1 动态功耗	222
8.1.2 短路功耗	223
8.1.3 泄漏功耗	223
8.2 电源电压降低	224
8.3 门控时钟	228
8.3.1 概述	228
8.3.2 电源完整性问题	230
8.3.3 电荷泵有源噪声调整	233
8.4 门控电源	234
8.4.1 概述	234
8.4.2 浪涌电流以及浪涌电流引入噪声	235
8.4.3 阱结构和浪涌电流引入噪声	237
8.4.4 阱结构和体连接	238
8.4.5 多门控浪涌电流引入噪声	243
8.4.6 去耦合	245
8.4.7 结构、系统级技术和有源噪声调整	246
8.5 习题	249
8.6 参考文献	249
第 9 章 利用 IBM POWER7 + 处理器芯片进行电源完整性的案例研究	252
9.1 概述	252
9.2 IBM POWER7 + 微处理器芯片描述	252
9.3 IBM 处理器芯片的电源完整性考虑	255
9.4 电源完整性的低电流估计方法	258
9.5 POWER7 + 电源网格设计考虑	260
9.6 静态电源网格验证	267
9.7 瞬态电源网格分析	274
9.8 致谢	288
9.9 参考文献	289
第 10 章 用于电源传输的碳纳米管互连元件	290
10.1 为什么要选择新的互连材料	290

10.1.1	增加的铜互连电阻率	290
10.1.2	电迁移可靠性	291
10.1.3	铜互连元件尺寸的缩小趋势	292
10.2	碳纳米管的基本特性	293
10.2.1	手征性	293
10.2.2	电流带载能力	294
10.2.3	热传导性	295
10.3	碳纳米管的电气特性	295
10.3.1	电阻	296
10.3.2	电容	297
10.3.3	电感	298
10.4	碳纳米管互连元件	299
10.4.1	碳纳米管互连电阻	299
10.4.2	碳纳米管互连电容	301
10.4.3	碳纳米管互连电感	302
10.5	碳纳米管互连元件的热管理	303
10.5.1	三维集成电路中的硅通孔	304
10.6	碳纳米管互连元件的制造和集成	305
10.6.1	标准 VLSI 工艺下的碳纳米管集成	305
10.6.2	碳纳米管互连制造的突出特点	306
10.7	用于电源完整性的碳纳米管	308
10.7.1	结构上及热方面的优点	308
10.7.2	电迁移可靠性	309
10.7.3	低阻电源网格	310
10.8	总结	311
10.9	参考文献	312