



装备科技译著出版基金

 Springer

高性能，低功耗，高可靠

三维集成电路设计

*Design for High Performance, Low Power,
and Reliable 3D Integrated Circuits*

[美] Sung Kyu Lim 著

杨银堂 高海霞 吴晓鹏 董刚 译

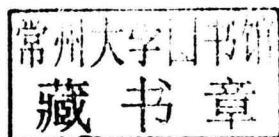


国防工业出版社
National Defense Industry Press

高性能,低功耗, 高可靠三维集成电路设计

Design for High Performance, Low Power,
and Reliable 3D Integrated Circuits

Sung Kyu Lim 著
杨银堂 高海霞 吴晓鹏 董刚 译



国防工业出版社

·北京·

著作权合同登记 图字:军-2015-098号

图书在版编目(CIP)数据

高性能、低功耗、高可靠三维集成电路设计/(美)

林圣圭(sung kyu lim)著;杨银堂等译. —北京:国防工业出版社,2017.12

书名原文:Design for High Performance, Low Power, and Reliable 3D Integrated Circuits

ISBN 978-7-118-11346-4

I. ①高… II. ①林… ②杨… III. ①集成电路—电路设计 IV. ①TN402

中国版本图书馆CIP数据核字(2017)第244435号

Design for High Performance, Low Power, and Reliable 3D Integrated Circuits

Translation from the English language edition:

Design for High Performance, Low Power, and Reliable 3D Integrated Circuits by Sun Kyu Lim

© Springer Science + Business Media, 2013

All rights reserved.

本书简体中文版由 Springer Science + Business Media 授权国防工业出版社独家出版发行。版权所有,侵权必究。

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路23号 邮政编码100048)

天津嘉恒印务有限公司印刷

新华书店经售

*

开本 710 × 1000 1/16 插页 11 印张 32 1/2 字数 637 千字
2017年12月第1版第1次印刷 印数 1—2000册 定价 169.00元

(本书如有印装错误,我社负责调换)

国防书店:(010)88540777

发行邮购:(010)88540776

发行传真:(010)88540755

发行业务:(010)88540717

序 言

我的三维集成电路和硅通孔(TSV)研究历程从2001年加入佐治亚理工学院开始。当时,作为一个年轻研究工作者,我的目标是找到一个具有高挑战性并可以长期研究的方向。那时候管芯堆叠并不是一个新概念,然而将独立管芯堆叠并通过垂直穿通整个管芯的通孔(即硅通孔,该概念当时还不存在或未被广泛接受)进行连接的想法给了我很大的启发。采用硅通孔进行管芯垂直互连的益处是显而易见的:更短的互连、更短的互连、更短的互连(进而更小的面积)。

正如本书的许多读者所熟知的那样,互连是当今(也是未来)超大规模集成电路和系统中的瓶颈。世界上许多研究者已奋战多年以解决与互连相关的问题。所以当你听到互连线长度将可以容易且极大地减小时,你会由衷地开心:因为可以实现更高性能、更低功耗、更少的金属层。这种结构大大提高了存储器带宽。当然,片上系统(SOC)开发者节省了成本,因为他们不必将所有的混合信号元件集成到一个芯片中。

然而,事情并没有像预期的那样发展。尽管在材料和制造研究、开发方面已经开展了大量工作,并取得了一些成果,但三维集成相关结构、设计以及CAD工具方面的发展远远滞后。另外,人们已经遇到了硅通孔相关的电-热-机械可靠性问题,同时其测试难度非常具有挑战性且价格昂贵。最糟糕的是,直到目前能验证初期投入的大量资金能够实现收益的主流应用产品还未开发出来(业界普遍认为用于移动应用的宽I/O三维DRAM将成为首个商业化硅通孔的主流产品)。同时一些人开始关注“2.5维集成”,2.5维集成中硅通孔没有被应用在管芯中而是用在硅或玻璃基板中来将组装于上面的元件集成起来。

本书的撰写基于我们过去十几年间(2001-2012年)在佐治亚理工学院计算机辅助设计(GTCAD)实验室开展的三维集成电路设计研究和开发工作,主要内容为最后四年(2009-2012年)的研究成果。研究内容覆盖物理设计自动化、结构、建模、探索、验证等。我们也开发了一个实际的三维集成电路,将一层64个通用核与另一层SRAM存储器堆叠起来,并研究了该测试芯片的整个设计和测试过程,包括结构、版图、CAD工具、封装、电路板以及测试架构。不同于传统的基于硅通孔的三维集成电路研究,我们还开始探索单片三维集成电路设计技术。本书的20章内容编排也反映了我们的研究历程。本书的第一部分包括6章内容,讨论高性能、低功耗三维集成电路的设计方法以及解决方案。

- 第 1 章:研究门级三维版图中,采用规则硅通孔和不规则硅通孔两种不同方式进行布局的优缺点。我们还研究了三维集成电路版图中硅通孔的面积、线长、时序以及功耗开支。

- 第 2 章:研究如何针对多管芯中给定的点建立斯坦纳树,如何在给定的一组斯坦纳树中重新布局硅通孔来减小发热点问题。

- 第 3 章:研究如何给三维集成电路中连接多管芯中门单元的三维节点增加缓冲器,以改善和优化信号延迟和转换。

- 第 4 章:研究如何利用硅通孔建立三维集成电路的时钟树,并减小总功耗与时钟偏斜。

- 第 5 章:研究三维集成电路的电源分配网络设计问题,以及电源/地硅通孔对电源噪声的影响。

- 第 6 章:研究如何建立三维集成电路的时钟树使其能够在键合前后的测试中传输时钟信号。

本书的第二部分包括 3 章内容,讨论三维集成电路的电可靠性设计。

- 第 7 章:研究硅通孔 - 硅通孔耦合问题,并研究不同的技术来减少产生的相关问题。

- 第 8 章:研究电源分配网络中连线 - 硅通孔连接处的电流聚集问题及其对 IR 压降的影响。

- 第 9 章:研究三维集成电路中由电流密度、应力、热梯度问题导致的硅通孔电迁移失效机制。

本书的第三部分包括 3 章内容,讨论三维集成电路的热可靠性设计。

- 第 10 章:研究三维集成电路的热驱动结构布局规划,及其对其他特性的影响,例如面积、线长、性能。

- 第 11 章:研究门级布局技术以减小三维集成电路设计中的热问题。

- 第 12 章:研究采用微流通道进行三维集成电路散热时产生的热、功耗传输和性能协同设计与协同分析问题。

本书的第四部分分为 5 章,讨论三维集成电路的机械可靠性设计。

- 第 13 章:对三维集成电路设计中由硅通孔和硅衬底间热膨胀系数 (CTE) 失配引起的应力问题进行全芯片分析。

- 第 14 章:研究应力对三维集成电路中器件迁移率和全芯片时序变化的影响。

- 第 15 章:对第 13 章中的全芯片分析进行扩展研究,研究封装元件对整个三维芯片/封装系统的机械可靠性的影响。

- 第 16 章:研究芯片/封装应力对器件迁移率和全芯片路径延时的影响。

- 第 17 章:研究硅通孔致机械应力对硅通孔和其衬层间裂缝生长的影响。

本书的最后一部分涵盖了三维集成电路设计的其他方面。

- 第 18 章:研究单片三维集成在密度、性能、功耗方面的优点,这种集成方式将 NMOS 和 PMOS 放置在不同的层且通过极小的单片层间通孔(MIV)实现连接。

- 第 19 章:研究硅通孔按比例缩小对当今和未来工艺节点下的三维设计在面积、线长、时序、功耗性能方面的影响。

- 第 20 章:研究 3D - MAPS(采用堆叠存储器的三维大规模并行处理器)的设计、制造、测试,其中包括面对面键合的一层 64 个通用核与一层 SRAM 存储器,以实现核与存储器间通讯,并利用硅通孔与封装管脚通信。

文中绝大部分内容是基于我们最近 4 年(2009 - 2012 年)发表在重要的与集成电路设计以及 CAD 相关会议上的研究成果,例如电气和电子工程师协会(IEEE)的国际固态电路会议(ISSCC)、定制集成电路会议(CICC)、计算机辅助设计国际会议(ICCAD)以及国际计算机协会的设计自动化会议(DAC)等。

本书献给来自工业界和学术界的电路设计师和 CAD 工具开发师,他们一直在关注佐治亚理工学院计算机辅助设计(GTCAD)实验室的研究人员在设计和验证高性能、低功耗、高可靠三维集成电路方面的研究工作。本书的部分内容是基于我们与制造、材料、测试、软件应用、计算机结构等领域研究者的合作完成的。本书内容还获得了工业界同仁的支持,包括 Intel、IBM T. J. Watson、Samsung、Qualcomm、Mentor Graphics、Cadence 等。

尽管为了撰写本书我们付出了诸多努力,但书中难免出现错误。如有错误,请发送到邮箱 limsk@ece.gatech.edu,我们真诚感谢您能帮助我们改正这些错误。其他资源和勘误信息请访问网址:<http://users.ece.gatech.edu/limsk/3d-book>。

亚特兰大,佐治亚州,美国

Sung Kyu Lim

致 谢

非常感谢佐治亚理工学院计算机辅助设计(GTCAD)实验室的下述新老成员为本书做出的全部努力:Mongkol Ekpanyapong、Jacob Minz、Faik Baskaya、Michael Healy、Mohit Pathak、Dae Hyun Kim、Krit Athikulwongse、Xin Zhao、Young Joon Lee、Chang Liu、Moongon Jung、Taigon Song 以及 Shreepad Panth。我们花费很长时间来确认我们的方向,该过程困难但非常有意义。我会提醒我未来的学生你们是如何播撒、培育这颗种子的。

感谢工业界同行给予我们的实际、关键、前瞻性的帮助:Patrick Morrow 博士(Intel)、Clair Webb 博士(Intel)、Paul Fischer 博士(Intel)、Hong Wang 博士(Intel)、Vijay Pitchumani 博士(Intel)、Dusan Petranovic 博士(Mentor)、Kambiz Samadi 博士(Qualcomm)、Riko Radojcic(Qualcomm)、Chan Seok Hwang 博士(Samsung)、Myung Soo Jang 博士(Samsung)、Michael Scheuermann 博士(IBM)、Rasit Topaloglu 博士(IBM)、Inki Hong 博士(Cadence)、Gabriel Loh 博士(AMD)以及 Ho Choi 先生(Amkor)。

我很高兴能与学术界的下述同行及他们的学生进行密切合作:得克萨斯大学奥斯汀分校的 David Pan 教授和他的学生(Jae - Seok Yang、Joydeep Mitra、Ashutosh Chakraborty、Jiwoo Pak),佐治亚理工学院的 Hsien - Hsin Lee 教授和他的学生(Mohammad Hossain、Ilya Khorosh、Dean Lewis、Tzu - Wei Lin、Guanhao Shen、Dong Hyuk Hoo、Mario Vittes、Chinnakrishnan Ballapuram),韩国科学技术院的 Joungho Kim 教授和他的学生(Jonghyun Cho、Joohee Kim),佐治亚理工学院的 Suresh Sitaraman 教授和他的学生(Xi Liu),Saibal Mukhopadhyay 教授和他的学生(Jeremy Tolbert、Minki Cho、Kwanyeob Chae、Amit Trivedi),Paul Kohl 教授,Rao Tummala 教授,Yogendra Joshi 教授,Madhavan Swaminathan 教授。佐治亚理工学院的 James Meindl 教授、加利福尼亚大学洛杉矶分校的 Jason Cong 教授、明尼苏达的 Sachin Sapatnekar 教授以及北卡罗来纳的 Paul Franzon 教授的前期三维集成电路设计工作真正鼓舞了我们。

我要感谢我的研究资助者:国家科学基金会(NSF)、美国国防部(DOD)、国防部先进研究项目局(DARPA)、半导体研究协会(SRC)、半导体制造技术联盟(SEMATECH)、Intel、IBM、Samsung、Qualcomm、Mentor Graphics 以及 Cadence。没有他们的支持与耐心,本书不可能完成。

我个人非常感谢 Springer 的 Chuck Glaser 先生,他最先看到本书的潜力,为

了说服 Springer 他的同事付出了很多努力,在我多次申请延期中给予了支持。感谢制作团队每一个人的辛勤劳动。

衷心感谢我的两个女儿 Mina、Yuna 和我的妻子 Jeanie。距我 2008 年 5 月开始写 Springer 的第一本书已经 4 年了,回想过去我非常遗憾,在我女儿很小时(4 岁和 2 岁)没能给予她们太多陪伴。然而 4 年后的这次,她们非常有爱心和耐心。好吧,其实她们忙于自己有趣的事情,不那么需要她们的爸爸。这次我妻子没能设计封面页,但我仍然给她买了花。最后,感谢我的岳父母,所有荣誉应当给予他们。

目 录

第一部分 高性能低功耗三维集成电路设计

第 1 章 三维集成电路的硅通孔布局	3
1.1 引言	3
1.2 研究现状	5
1.3 基础知识	5
1.3.1 三维集成电路设计	6
1.3.2 最大允许硅通孔数	7
1.3.3 最小硅通孔数	9
1.3.4 线长和硅通孔数的折衷	10
1.4 三维集成电路物理设计流程	10
1.4.1 划分	11
1.4.2 硅通孔插入和布局	12
1.4.3 布线	13
1.5 三维全局布局算法	14
1.5.1 力驱动布局简介	14
1.5.2 三维布局算法简介	15
1.5.3 三维集成电路中的单元布局	15
1.5.4 硅通孔位置原理中硅通孔的预布局	16
1.5.5 三维节点的线长计算	17
1.6 硅通孔分配算法	18
1.6.1 硅通孔分配算法的最佳解	18
1.6.2 基于 MST 的硅通孔分配	19
1.6.3 基于布局的硅通孔分配	21
1.7 实验结果	22
1.7.1 线长和运行时间比较	22
1.7.2 金属层和硅面积比较	25
1.7.3 线长和硅通孔数折衷	25
1.7.4 线长,管芯面积和管芯数折衷	25
1.7.5 硅通孔协同布局与硅通孔位置对照	27

1.7.6	硅通孔尺寸影响	30
1.7.7	时序和功耗比较	30
1.8	结论	32
	参考文献	32
第2章	三维集成电路斯坦纳布线	35
2.1	引言	35
2.2	研究现状	37
2.3	基础知识	38
2.3.1	问题表述	38
2.3.2	研究方法简介	39
2.4	三维斯坦纳树构建	39
2.4.1	算法简介	39
2.4.2	计算连接点和硅通孔位置	41
2.4.3	延时方程优化	43
2.5	采用硅通孔重布局进行三维树精化	44
2.5.1	算法简介	44
2.5.2	可移动范围	45
2.5.3	简化热分析	45
2.5.4	非线性规划	46
2.5.5	整数线性规划	48
2.5.6	快速整数线性规划	49
2.6	实验结果	50
2.6.1	实验参数	50
2.6.2	树构建结果	51
2.6.3	延时和线长分布	52
2.6.4	硅通孔重布局结果	52
2.6.5	硅通孔尺寸和寄生效应影响	56
2.6.6	键合类型影响	58
2.6.7	两管芯和四管芯叠层比较	59
2.7	结论	61
	附录	62
	参考文献	63
第3章	三维集成电路的缓冲器插入	65
3.1	引言	65
3.2	问题定义	66
3.3	研究动机实例	67

3.4	延时和转换时间模型	68
3.4.1	目标三维集成电路和硅通孔结构	68
3.4.2	门延时和转换时间模型	68
3.4.3	节点延时和转换时间模型	70
3.5	三维 Ginneken 算法	70
3.6	自底向上转换时间传导动态规划	71
3.6.1	沉节点产生方法	72
3.6.2	时钟转换时间分级和裁剪	73
3.6.3	融合方法	75
3.6.4	缓冲器插入	76
3.6.5	多解跟踪	77
3.7	三维集成电路设计方法	77
3.8	实验结果	79
3.8.1	缓冲器插入结果	79
3.8.2	延时柱状图	80
3.8.3	硅通孔电容影响	81
3.8.4	关键路径分析	81
3.9	结论	85
	参考文献	86
第4章	三维集成电路的低功耗时钟布线	87
4.1	引言	87
4.2	研究现状	89
4.3	基础知识	89
4.3.1	三维时钟网络的电学和物理模型	89
4.3.2	问题描述	90
4.4	三维时钟树综合	91
4.4.1	简介	91
4.4.2	三维抽象树产生	91
4.4.3	转换驱动缓冲和插入	94
4.5	三维 MMM 算法扩展	96
4.6	实验结果	99
4.6.1	模拟设置	99
4.6.2	硅通孔数和寄生电容的影响	99
4.6.3	穷举搜索结果	101
4.6.4	3D - MMM - ext 算法结果	102
4.6.5	低转换时间三维时钟布线	108

4.6.6	电源电压等比例	110
4.6.7	与现有工作的比较	111
4.7	结论	112
	参考文献	112
第5章	三维集成电路的电源分配网络设计	114
5.1	引言	114
5.2	研究现状	115
5.3	P/G 硅通孔对三维集成电路版图的影响	116
5.4	不规则电源/地硅通孔布局算法	118
5.4.1	串联电阻等效电路	118
5.4.2	P/G 硅通孔布局等效电路模型	119
5.4.3	不规则 P/G 硅通孔布局算法	120
5.4.4	验证方法	122
5.5	电源/地硅通孔布局结果	122
5.5.1	二维设计和三维设计的 IR - 压降分析结果	123
5.5.2	三维 P/G 网络拓扑对 IR - 压降的影响	124
5.5.3	不规则 P/G 硅通孔布局算法	126
5.6	硅通孔 RC 变化	126
5.6.1	硅通孔电阻变化	127
5.6.2	硅通孔电容变化	127
5.6.3	验证方法	128
5.7	验证分析结果	128
5.7.1	硅通孔 RC 变化范围的影响	129
5.7.2	变化源数目的影响	130
5.7.3	C4 凸点数目的影响	130
5.7.4	硅通孔尺寸的影响	131
5.8	结论	132
	参考文献	133
第6章	键合前可测性三维时钟布线	134
6.1	引言	134
6.2	研究现状	135
6.3	基础知识	136
6.3.1	三维抽象树产生	136
6.3.2	三维 MMM 算法和键合前测试	137
6.4	问题描述和术语	137
6.5	键合前可测性时钟布线	138

6.5.1	简介	138
6.5.2	硅通孔 - 缓冲器插入	139
6.5.3	冗余树插入	141
6.5.4	综合	142
6.5.5	多管芯扩展	143
6.6	线长和转换时间控制缓冲	144
6.6.1	采用时钟缓冲器进行线长平衡	144
6.6.2	采用时钟缓冲器进行转换速率控制	144
6.7	实验结果	145
6.7.1	硅通孔 - 缓冲器和 TG 模型验证	146
6.7.2	取样树和波形	147
6.7.3	线长、偏斜和功耗结果	148
6.7.4	与单硅通孔方法的比较	149
6.7.5	硅通孔上限对功耗的影响	152
6.7.6	硅通孔 - 缓冲器插入的影响	153
6.7.7	时钟源位置的影响	154
6.7.8	缓冲器负载约束对功耗和转换时间的影响	154
6.7.9	硅通孔电容的影响	159
6.7.10	硅通孔上限和电容的影响	159
6.7.11	与现有工作的比较	162
6.8	结论	162
	参考文献	163

第二部分 三维集成电路设计中的电可靠性

第7章	硅通孔 - 硅通孔耦合分析与优化	167
7.1	引言	167
7.2	研究现状	168
7.3	硅通孔致耦合模型	168
7.3.1	硅通孔致耦合源	168
7.3.2	硅通孔 - 硅通孔耦合模型	169
7.4	全芯片信号完整性分析	171
7.4.1	全芯片三维信号完整性分析流程	171
7.4.2	设计和分析结果	171
7.5	硅通孔 - 硅通孔耦合减小	173
7.5.1	为什么硅通孔间距不是有效的	173
7.5.2	屏蔽硅通孔以减小耦合	174

7.5.3	插入缓冲器以减小耦合	177
7.5.4	综合比较	179
7.6	结论	180
	参考文献	180
第8章	硅通孔电流聚集效应和电源完整性	181
8.1	引言	181
8.2	研究现状	182
8.3	三维集成电路中的电流聚集效应	183
8.3.1	硅通孔中的电流密度分布	183
8.3.2	电源线-硅通孔界面	184
8.3.3	硅通孔直径与导线厚度比	184
8.3.4	电流聚集对 IR 电压降的影响	186
8.4	硅通孔电流聚集建模	186
8.4.1	硅通孔模型的三维电阻网络	187
8.4.2	转换区建模	188
8.4.3	模型准确度	188
8.4.4	XY 网格尺寸的影响	190
8.4.5	芯片级 PDN 电路模型	190
8.5	实验结果	191
8.5.1	芯片级噪声分析	191
8.5.2	硅通孔网格尺寸的影响	194
8.5.3	硅通孔和 $C4$ 偏移的影响	194
8.5.4	电源线密度的影响	196
8.5.5	硅通孔和 $C4$ 数量的影响	197
8.5.6	硅通孔直径的影响	197
8.5.7	大规模三维 PDN 中的电源完整性问题	197
8.6	结论	200
	参考文献	200
第9章	连线-硅通孔界面原子浓度建模	202
9.1	引言	202
9.2	研究现状	203
9.3	基础知识	204
9.3.1	平均失效时间	204
9.3.2	晶粒和晶粒边界	204
9.4	建模方法和设置	205
9.4.1	电迁移方程	205

9.4.2	原子通量和原子通量散度	206
9.4.3	激活能和原子浓度的影响	207
9.4.4	电流的影响	207
9.4.5	热和应力的影响	208
9.4.6	模型设置	208
9.5	实验结果	209
9.5.1	电流聚集的影响	209
9.5.2	电流方向和密度的影响	213
9.5.3	温度的影响	214
9.5.4	晶粒大小的影响	215
9.5.5	激活能的影响	216
9.6	结论	216
	参考文献	217

第三部分 三维集成电路设计中的热可靠性

第 10 章	三维集成电路的多目标结构布局	221
10.1	引言	221
10.2	研究现状	223
10.3	仿真基础架构	223
10.3.1	微结构模型	223
10.3.2	动态功耗模型	224
10.3.3	泄漏功耗模型	224
10.3.4	热模型	225
10.3.5	整体设计流程	226
10.4	二维微结构布局	227
10.4.1	基于 LP 的二维布局	227
10.4.2	随机细化	230
10.5	三维布局扩展	231
10.5.1	结构仿真的三维扩展	231
10.5.2	垂直覆盖优化	232
10.5.3	键合驱动层次划分	232
10.5.4	基于 LP 的三维布局	234
10.5.5	三维随机细化	235
10.6	实验结果	235
10.6.1	实验设置	235
10.6.2	与已有三维布局的比较	235

10.6.3	布局结果	236
10.6.4	优化方法比较	239
10.6.5	结构分析	241
10.6.6	保真度研究	243
10.7	结论	245
参考文献	245
第 11 章	三维集成电路的热驱动门级布局	248
11.1	引言	248
11.2	研究现状	248
11.3	研究动机	249
11.4	评估流程	250
11.4.1	三维集成电路的功耗分析	250
11.4.2	GDSII 级热分析	251
11.5	全局三维布局算法	253
11.5.1	设计流程	254
11.5.2	力导向的三维布局	254
11.5.3	硅通孔分布和对准	255
11.6	热耦合布局	256
11.6.1	单元移动	257
11.6.2	硅通孔移动	259
11.6.3	力平衡	260
11.7	实验结果	261
11.7.1	硅通孔密度均匀度的影响	262
11.7.2	与现有工作的比较	263
11.7.3	功耗和热图	265
11.7.4	温度与线长折中	265
11.7.5	运行时间结果	267
11.8	结论	268
参考文献	268
第 12 章	采用微流通道实现三维集成电路散热	270
12.1	引言	270
12.2	研究现状	271
12.3	布线资源建模	272
12.3.1	信号互连	272
12.3.2	电源互连	274
12.3.3	热互连	275

12.4	设计和分析流程	276
12.4.1	三维物理设计总览	276
12.4.2	电源噪声分析	278
12.4.3	T-硅通孔情形的热分析	278
12.4.4	MFC 情形的热分析	279
12.5	实验设计	280
12.5.1	经典实验	280
12.5.2	改进实验	281
12.5.3	寻找最佳响应模型	281
12.5.4	使用响应表面模型进行优化	282
12.6	实验结果	283
12.6.1	实验设置	283
12.6.2	二维和三维集成电路设计比较	284
12.6.3	T-硅通孔与 MFC 散热比较	285
12.6.4	每次改变一个输入因子	286
12.6.5	经典实验	288
12.6.6	改进实验:T-硅通孔情形	290
12.6.7	改进实验:MFC 情形	293
12.6.8	与梯度搜索的比较	297
12.6.9	讨论	298
12.7	结论	298
	参考文献	299

第四部分 三维集成电路设计的机械可靠性

第 13 章	三维集成电路的机械可靠性分析和优化	303
13.1	引言	303
13.2	详细的基准建模	304
13.2.1	三维 FEA 模拟	305
13.2.2	硅通孔衬层和焊盘的影响	306
13.2.3	铜扩散阻挡层的影响	306
13.2.4	应力影响区	309
13.2.5	硅的各向异性	311
13.3	全芯片可靠性分析	312
13.3.1	线性叠加原理	313
13.3.2	多个硅通孔的应力分析	313
13.3.3	机械可靠性分析	313