



普通高等教育“十二五”规划教材

◎ 电子信息科学与工程类专业 规划教材

EDA技术及实验教程

◎ 范秋华 主编



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

普通高等教育“十二五”规划教材
电子信息科学与工程类专业规划教材

EDA 技术及实验教程

范秋华 主编

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内容简介

本书实验内容由浅入深,分为基本实验、综合创新实验、应用实例;每个实验任务又分基本实验内容和扩展实验内容,便于学生自主开放式及分层次的综合创新学习。第1~2章介绍硬件知识,第3章介绍 VHDL 语言,第4章介绍基本实验及软件环境的使用,同时也巩固了数字电路的基本知识。第5章为综合实验,与传统实验不同的是,给出具体的思路及参考程序和所需硬件知识,便于没有学习过 EDA 课程的学生一本在手,快速入门。第6章给出4个应用实例。

本书可以作为高等学校电气信息类专业的实验指导书使用,也可供没有学习过 EDA 课程的学生作为开放实验的教材,以及大学生电子设计竞赛的入门培训教材使用。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

EDA 技术及实验教程 / 范秋华主编. —北京: 电子工业出版社, 2015.1
电子信息科学与工程类专业规划教材

ISBN 978-7-121-24695-1

I. ①E… II. ①范… III. ①电子电路—电路设计—计算机辅助设计—高等学校—教材 IV. ①TN702

中国版本图书馆 CIP 数据核字 (2014) 第 256628 号

策划编辑: 冉 哲

责任编辑: 郝黎明

印 刷: 三河市鑫金马印装有限公司

装 订: 三河市鑫金马印装有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1 092 1/16 印张: 12.75 字数: 307.2 千字

版 次: 2015 年 1 月第 1 版

印 次: 2015 年 1 月第 1 次印刷

印 数: 3 000 册 定价: 30.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

随着电子技术、EDA 技术的快速发展,功能强大、开发周期短、便于修改及开发工具智能化的可编程逻辑器件已被广泛应用在各个领域,有关可编程逻辑器件的开发与应用成为电气、电子信息类各专业的必修课,同时也是电子设计工程师的基本要求。

本书坚持“厚基础、重设计、培养创新能力”的宗旨,全面介绍 EDA 设计的三大重要法宝:硬件(可编程逻辑器件的简单原理及发展历程)、软件环境(Quartus II 9.0)、语言基础(VHDL 硬件描述语言)。实验内容由浅入深,分为基本实验、综合创新实验、应用实例;每个实验任务又分基本实验内容和扩展实验内容,便于学生自主开放式及分层次的综合创新学习。第 1~2 章介绍硬件知识,第 3 章介绍 VHDL 语言,第 4 章介绍基本实验及软件环境的使用,同时也巩固了数字电路的基本知识。第 5 章为综合实验,与传统实验不同的是,给出具体的思路及参考程序和所需硬件知识,便于没有学习过 EDA 课程的学生一本在手,快速入门。第 6 章给出 4 个应用实例。

本书可以作为高等学校电气信息类专业的实验指导书使用,也可供没有学习过 EDA 课程的学生作为开放实验的教材,以及大学生电子设计竞赛的入门培训教材使用。

本书由青岛大学的徐淑华教授负责审稿,全书由范秋华负责统稿。其中,第 2、4 章由范秋华编写,第 1 章由青岛理工大学的赵艳秋编写,第 3 章由青岛工学院的金余义编写,第 5 章由范秋华、赵艳秋、于瑞涛共同编写,第 6 章由范秋华、金余义、刘钊(青岛滨海学院)、吴新燕共同编写。

在本书编写过程中参考了大量资料,部分资料来源于互联网,无法一一列出,在此向所有作者深表感谢。

本书所列实验项目的实现并不局限于某一种开发板,开发板上只要有相应的接口都可以实现,VHDL 程序是共享的,因此本书没有列出全部引脚分配及下载过程。

由于作者水平有限,书中难免存在错漏与不足之处,殷切期望读者批评指正。

编 者
于青岛大学

目 录

第 1 章 概述	1
1.1 EDA 技术及其发展	1
1.2 EDA 设计方法	3
1.3 可编程逻辑器件	5
1.4 硬件描述语言	6
1.5 可编程逻辑器件的未来	7
第 2 章 可编程逻辑器件	8
2.1 概述	8
2.1.1 PLD 的发展	8
2.1.2 PLD 的分类	9
2.2 简单 PLD 原理	10
2.3 复杂 PLD 原理	12
2.3.1 CPLD 结构与原理	12
2.3.2 FPGA 结构与原理	14
2.4 选择 CPLD 还是选择 FPGA	17
2.5 生产 PLD 的四大厂商	18
第 3 章 VHDL 设计基础	19
3.1 VHDL 的基本组成	19
3.1.1 VHDL 实体	20
3.1.2 VHDL 结构体	21
3.1.3 VHDL 库	22

3.1.4 VHDL 程序包	22
3.1.5 VHDL 配置	24
3.2 VHDL 的基本要素	24
3.2.1 VHDL 的标识符	24
3.2.2 VHDL 的数据类型	25
3.2.3 VHDL 的数据对象	29
3.2.4 VHDL 的运算操作符	30
3.3 VHDL 的基本语句	33
3.3.1 顺序语句	33
3.3.2 并行语句	38
3.3.3 常用属性描述语句	43
3.4 VHDL 的子程序	44
3.4.1 过程	45
3.4.2 函数	46
习题	47
第 4 章 基础实验	48
4.1 初识 VHDL	48
一、实验目的	48
二、实验任务	48
三、基本实验条件	48
四、实验原理	48
五、思考题	50



六、初识 VHDL 实验报告	51	三、基本实验条件	87
4.2 Quartus II 9.0 环境的使用	55	四、实验原理	87
一、实验目的	55	五、实验指导	89
二、实验任务	55	六、思考题	90
三、基本实验条件	55	七、宏功能模块的使用实验报告	91
四、实验原理	55	4.6 状态机的设计	95
五、实验指导	65	一、实验目的	95
六、思考题	66	二、实验任务	95
七、Quartus II 9.0 环境的使用实验报告	67	三、基本实验条件	95
4.3 原理图的设计及层次化设计方法 1	71	四、实验原理	95
一、实验目的	71	五、实验指导	101
二、实验任务	71	六、思考题	102
三、基本实验条件	71	七、状态机的设计实验报告	103
四、实验原理	71	第 5 章 综合实验	107
五、实验指导	74	5.1 基于 FPGA 的电子琴设计	107
六、原理图的设计及层次化设计方法 1 实验报告	75	一、实验目的	107
4.4 时序电路的设计及层次化设计方法 2	79	二、实验任务	107
一、实验目的	79	三、基本实验条件	107
二、实验任务	79	四、实验指导	107
三、基本实验条件	79	五、特色创新	116
四、实验原理	79	六、实验注意事项	116
五、实验指导	81	5.2 基于 FPGA 的 MP3 播放电路设计	116
六、时序电路的设计及层次化设计方法 2 实验报告	83	一、实验目的	116
4.5 宏功能模块的使用	87	二、实验任务	116
一、实验目的	87	三、基本实验条件	117
二、实验任务	87	四、实验指导	117

五、特色创新	121
5.3 基于 FPGA 的 VGA 显示	122
一、实验目的	122
二、实验任务	122
三、基本实验条件	122
四、实验指导	122
五、实验内容	130
5.4 基于 FPGA 的音乐彩灯控制	130
一、实验目的	130
二、实验任务	130
三、基本实验条件	130
四、实验指导	130
五、实验思考	138
5.5 基于 FPGA 的 4×4 矩阵键盘的识别显示	138
一、实验目的	138
二、实验任务	138
三、基本实验条件	138
四、实验指导	138
五、特色创新	142
六、实验注意事项	142
5.6 基于 FPGA 的 LED 扫描显示	142
一、实验目的	142
二、实验任务	142
三、基本实验条件	143
四、实验指导	143
五、实验内容	147

第 6 章 应用实例	148
6.1 基于 FPGA 的输入输出接口	148
6.1.1 实验原理、技术及方法	148
6.1.2 实验思考及扩展	158
6.2 简易数字信号传输性能分析仪	158
6.2.1 设计目标与要求	158
6.2.2 总体设计	159
6.2.3 各分支电路设计	160
6.2.4 EDA 设计分析及程序设计	160
6.2.5 设计总结	163
6.3 数字电子钟	163
6.3.1 设计思路	163
6.3.2 各模块程序	164
6.3.3 数字电子钟实现	167
6.4 可编程方波发生器 (PWG) 的设计	169
6.4.1 设计要求	169
6.4.2 设计思路	170
6.4.3 各模块程序	171
6.4.4 整体实现	175
6.4.5 设计思考及改进	177
附录 A PS2 键盘接口知识	178
附录 B GB2312 简体中文编码表	181
附录 C 液晶 12864 基本指令和扩充指令	195
参考文献	196

第1章 概述

人们现在生活在高度发达的信息化社会,信息社会的发展离不开电子产品的进步。而生产制造技术和电子设计技术的发展使得现代电子产品在性能提高、复杂度增大的同时,价格却一直呈下降趋势,同时产品更新换代的步伐也越来越快。生产制造技术以微细加工技术为代表,狭义地讲,微细加工技术就是指半导体集成电路的微细制造技术,目前已进展到深亚微米阶段,可以在几平方厘米的芯片上集成数千万个晶体管;电子设计技术的核心就是EDA技术。

1.1 EDA 技术及其发展

EDA 是电子设计自动化(Electronic Design Automation)的缩写。20 世纪 70 年代为 CAD 阶段,这一阶段人们开始用计算机辅助进行 IC 版图编辑和 PCB 布局布线,取代了手工操作,产生了计算机辅助设计的概念。20 世纪 80 年代为 CAE 阶段,与 CAD 相比,除了纯粹的图形绘制功能外,又增加了电路功能设计和结构设计,并且通过电气连接网络表将两者结合在一起,以实现工程设计,这就是计算机辅助工程的概念。CAE 的主要功能是:原理图输入,逻辑仿真,电路分析,自动布局布线,PCB 后分析。20 世纪 90 年代为 ESDA 阶段。40 年的发展过程中出现的辅助设计软件有以下几类。

1. 电子电路设计与仿真

(1) SPICE (Simulation Program with Integrated Circuit Emphasis):

是由美国加州大学推出的电路分析仿真软件,是 20 世纪 80 年代世界上应用最广的电路设计软件,1998 年被定为美国国家标准。在同类产品中,它是功能最为强大的模拟和数字电路混合仿真 EDA 软件,在国内普遍使用。最新版本可以进行各种各样的电路仿真、激励建立、温度与噪声分析、模拟控制、波形输出、数据输出,并在同一窗口内同时显示模拟与数字的仿真结果。无论对哪种器件哪些电路进行仿真,都可以得到精确的仿真结果,并可以自行建立元器件及元器件库。

(2) Multisim (EWB 的最新版本) 软件:是 Interactive Image Technologies Ltd 在 20 世纪末推出的电路仿真软件。它具有更加形象直观的人机交互界面,特别是其仪器仪表库中的各仪器仪表与操作真实实验中的实际仪器仪表完全没有两样,它对模数电路的混合仿真功能却毫不逊色,几乎能够 100%地仿真出真实电路的结果。它在仪器仪表库中不仅提供了万用表、信号发生器、瓦特表、双踪示波器、波特仪(相当实际中的扫频仪)、字信号发生器、逻辑分析仪、逻辑转换仪、失真度分析仪、频谱分析仪、网络分析仪和电压表及电流表等仪器仪表,还提供了我们日常常见的各种建模精确的元器件,如电阻、电容、电感、三极管、二极管、继电器、晶闸管、数码管等。模拟集成电路方面有各种运算放大器、其他常用集成电路。数字电路方面有 74 系列集成电路、4000 系列集成电路,还支持自制元器件。

(3) MATLAB (Matrix Laboratory) 产品族:它们的一大特性是有众多的面向具体应用的工具箱和仿真包,包含了完整的函数集用来对图像信号处理、控制系统设计、神经网络等特殊应用进行分析和设计。它具有数据采集、报告生成和 MATLAB 语言编程产生独立 C/C++ 代码等功能。MATLAB 产品族具有下列功能:数据分析;数



值和符号计算、工程与科学绘图；控制系统设计；数字图像信号处理；财务工程；建模、仿真、原型开发；应用开发；图形用户界面设计等。开放式的结构使 MATLAB 产品族很容易针对特定的需求进行扩充，从而在不断深化对问题的认识同时，提高自身的竞争力。被广泛应用于信号与图像处理、控制系统设计、通信系统仿真等诸多领域。

2. PCB 设计软件

PCB (Printed-Circuit Board) 设计软件种类很多，目前我国用得最多当属 Protel，Protel 是 PROTEL (现为 Altium) 公司在 20 世纪 80 年代末推出的 CAD 工具，是 PCB 设计者的首选软件。它较早在国内使用，普及率最高，几乎所有的电路公司都要用到它。早期的 Protel 主要作为印刷板自动布线工具使用，其最新版本是一个完整的全方位电路设计系统，包含了电路原理图绘制、模拟电路与数字电路混合信号仿真、多层印刷电路板设计 (包含印刷电路板自动布局布线)，可编程逻辑器件的设计、图表生成、电路表格生成、支持宏操作等功能，并具有 Client/Server (客户/服务体系结构)，还兼容一些其他设计软件的文件格式，如 ORCAD、PSPICE、Excel 等。使用多层印制线路板的自动布线，可实现高密度 PCB 的 100% 布通率。Protel 软件功能强大 (同时具有电路仿真功能和 PLD 开发功能)、界面友好、使用方便，但它最具代表性的是电路设计和 PCB 设计。

3. IC 设计软件

IC 设计工具很多，其中按市场所占份额排行为 Cadence、Mentor Graphics 和 Synopsys。这三家都是 ASIC 设计领域相当有名的软件供

应商。主要进行集成电路的设计，可以按用途介绍如下。

(1) 设计输入工具。这是任何一种 EDA 软件必须具备的基本功能。像 Cadence 的 composer, viewlogic 的 viewdraw, 硬件描述语言 VHDL、Verilog HDL 是主要设计语言，许多设计输入工具都支持 HDL。

(2) 设计仿真工作。使用 EDA 工具的一个最大好处是可以验证设计是否正确，几乎每个公司的 EDA 产品都有仿真工具。现在的趋势是各大 EDA 公司都逐渐用 HDL 仿真器作为电路验证的工具。

(3) 综合工具。综合工具可以把 HDL 变成门级网表。这方面 Synopsys 工具占有较大的优势，它的 Design Compile 是作为一个综合的工业标准，它还有另外一个产品称为 Behavior Compiler，可以提供更高级的综合。随着 FPGA 设计的规模越来越大，各 EDA 公司又开发了用于 FPGA 设计的综合软件，比较有名的有 Synopsys 的 FPGA Express、Cadence 的 Synplify、Mentor 的 Leonardo，这三家的 FPGA 综合软件占了市场的绝大部分。

(4) 布局和布线。在 IC 设计的布局布线工具中，Cadence 软件是比较强的，它有很多产品，用于标准单元、门阵列已可实现交互布线。最有名的是 Cadence spectra，它原来是用于 PCB 布线的，后来 Cadence 把它用来作 IC 的布线。其主要工具有：Cell3, Silicon Ensemble-标准单元布线器；Gate Ensemble-门阵列布线器；Design Planner-布局工具。其他各 EDA 软件开发公司也提供各自的布局布线工具。

(5) 物理验证工具。物理验证工具包括版图设计工具、版图验证工具、版图提取工具等。这方面 Cadence 也是很强的，其 Dracula、Virtuoso、Vampire 等物理工具有很多的使用者。

(6) 模拟电路仿真器。前面讲的仿真器主要是针对数字电路的，

对于模拟电路的仿真工具, 普遍使用 SPICE, 这是唯一的选择。只不过是选择不同公司的 SPICE, 像 MicroSim 的 PSPICE、Meta Soft 的 HSPICE 等。在众多的 SPICE 中, HSPICE 作为 IC 设计, 其模型多, 仿真的精度也高。

4. PLD 设计工具

PLD (Programmable Logic Device) 是一种由用户根据需要而自行构造逻辑功能的数字集成电路。目前主要有两大类型: CPLD (Complex PLD) 和 FPGA (Field Programmable Gate Array)。它们的基本设计方法是借助于 EDA 软件, 用原理图、状态机、布尔表达式、硬件描述语言等方法, 生成相应的目标文件, 最后用编程器或下载电缆, 由目标器件实现。生产 PLD 的厂家很多, 但最有代表性的 PLD 厂家为 Altera、Xilinx 和 Lattice 公司。

PLD 的开发工具一般由器件生产厂家提供, 但随着器件规模的不断增加, 软件的复杂性也随之提高, 目前由专门的软件公司与器件生产厂家使用, 推出功能强大的设计软件。下面介绍主要器件生产厂商和开发工具。

(1) Altera: 提出了 SOPC 的概念, 20 世纪 90 年代以后发展很快。主要产品有 MAX3000/7000、FELX6K/10K、APEX20K、ACEX1K、Stratix 等。其开发工具 Quartus II 是较成功的 PLD 开发平台。

(2) Xilinx: FPGA 的发明者。产品种类较全, 主要有 XC9500/4000、CoolRunner (XPLA3)、Spartan、Vertex 等系列。开发软件为 Foundation 和 ISE。通常来说, 在欧洲用 Xilinx 的人多, 在日本和亚太地区用 Altera 的人多, 在美国则是平分秋色。全球 PLD/FPGA 产品 60% 以上是由 Altera 和 Xilinx 提供的。可以讲 Altera

和 Xilinx 共同决定了 PLD 技术的发展方向。

(3) Lattice-Vantis: Lattice 是 ISP (In-System Programmability) 技术的发明者。ISP 技术极大地促进了 PLD 产品的发展, 与 Altera 和 Xilinx 相比, 其开发工具比 Altera 和 Xilinx 略逊一筹。1999 年推出可编程模拟器件, 1999 年收购 Vantis (原 AMD 子公司), 成为第三大可编程逻辑器件供应商。2001 年 12 月收购 Agere 公司 (原 Lucent 微电子部) 的 FPGA 部门。主要产品有 ispLSI2000/5000/8000、MACH4/5 等。

(4) ACTEL: 反熔丝 (一次性烧写) PLD 的领导者。由于反熔丝 PLD 抗辐射、耐高低温、功耗低、速度快, 因此在军品和宇航级上有较大优势。Altera 和 Xilinx 则一般不涉足军品和宇航级市场。

以上介绍的这些软件都属于电子设计自动化的范围, 可以称为广义 EDA 技术。那么狭义的 EDA, 是指以可编程逻辑器件 FPGA、CPLD 为载体, 在计算机提供的软件平台环境下, 以硬件描述语言为描述工具, 进行数字电子系统设计过程的自动化, 也称为 ESDA。即设计者以计算机为工具, 在 EDA 软件平台上, 用硬件描述语言 HDL 完成设计文件, 然后由计算机自动地完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真, 直至对于特定目标芯片的适配编译、逻辑映射和编程下载等工作。本书中所要介绍的就是狭义的 EDA。

1.2 EDA 设计方法

传统的电子系统设计, 选用模拟电路或数字电路来实现既定功能。采用搭积木的方法进行, 积木块就是具有固定功能的标准集成



电路,如 74 系列 TTL 电路、CMOS 电路、运算放大器等。由具有固定功能的器件搭成一定功能的单元电路,再由多个单元电路构成某一系统。例如,一个 4 人抢答器的设计,需要用 74LS175 为主组成抢答模块,用 74LS161 组成计数模块,用数码管组成显示模块,用 555 组成定时模块,最后连调。如果设计成功,需要大批量生产,还要设计 PCB 文档,制板,设计周期长,不灵活,更麻烦的是若需更改或升级,前面的过程需全部重新来过,最终产品体积大,功耗高浪费了很多时间和物资。而且增加了产品的开发周期和延续了产品的上市时间,从而使产品失去市场竞争优势。但对于刚学完模拟电子技术和数字电子技术而又没有接触过单片机(或 FPGA)的学生来说,这种设计方法还是学生了解锻炼的一种必需的方法。

“自顶向下”(Top-Down)的设计方法从系统设计入手,在顶层进行功能方框图的划分和结构设计。在方框图一级进行仿真、纠错,并用硬件描述语言对高层次的系统行为进行描述,在系统一级进行验证。然后用综合优化工具生成具体门电路的网表,其对应的物理实现级可以是印刷电路板或专用集成电路。由于设计的主要仿真和调试过程是在高层次上完成的,这不仅有利于早期发现结构设计上的错误,避免设计工作的浪费,而且也减少了逻辑功能仿真的工作量,提高了设计的一次成功率。

早期电子系统设计属于电路级设计,电子工程师接受系统设计任务后,首先确定设计方案,同时要选择能实现该方案的合适元器件,然后根据具体的元器件设计电路原理图。接着进行第一次仿真,包括数字电路的逻辑模拟、故障分析、模拟电路的交直流分析、瞬态分析。系统在进行仿真时,必须要有元件模型库的支持,计算机上模拟的输入输出波形代替了实际电路调试中的信号源和示波器。这一次仿真主要是检验设计方案在功能方面的正确性。仿真通过后,

根据原理图产生的电气连接网络表进行 PCB 板的自动布局布线。在制作 PCB 板之前还可以进行后分析,包括热分析、噪声及窜扰分析、电磁兼容分析、可靠性分析等,并且可以将分析后的结果参数返回电路图,进行第二次仿真,也称为后仿真,这一次仿真主要是检验 PCB 板在实际工作环境中的可行性。由此可见,电路级的 EDA 技术使电子工程师在实际的电子系统产生之前,就可以全面地了解系统的功能特性和物理特性,从而将开发过程中出现的缺陷消灭在设计阶段,不仅缩短了开发时间,也降低了开发成本。进入 20 世纪 90 年代以来,电子信息类产品的开发出现了两个明显的特点:一是产品的复杂程度加深,二是产品的上市时限紧迫。然而电路级设计本质上是基于门级描述的单层次设计,设计的所有工作(包括设计输入、仿真和分析、设计修改等)都是在基本逻辑门这一层次上进行的,显然这种设计方法不能适应新的形势,为此引入了一种高层次的电子设计方法,也称为系统级的设计方法。

高层次设计是一种“概念驱动式”设计,设计人员无须通过门级原理图描述电路,而是针对设计目标进行功能描述,由于摆脱了电路细节的束缚,设计人员可以把精力集中于创造性的概念构思与方案上,一旦这些概念构思以高层次描述的形式输入计算机后,EDA 系统就能以规则驱动的方式自动完成整个设计。这样,新的概念得以迅速有效地成为产品,大大缩短了产品的研制周期。不仅如此,高层次设计只是定义系统的行为特性,可以不涉及实现工艺,在厂家综合库的支持下,利用综合优化工具可以将高层次描述转换成针对某种工艺优化的网表,工艺转化变得轻松容易。

高层次设计的具体流程步骤如下(图 1-2-1)。

第一步:按照“自顶向下”的设计方法进行系统划分。

第二步:输入 VHDL 代码,这是高层次设计中最为普遍的输入

方式。此外,还可以采用图形输入方式(框图、状态图等),这种输入方式具有直观、容易理解的优点。

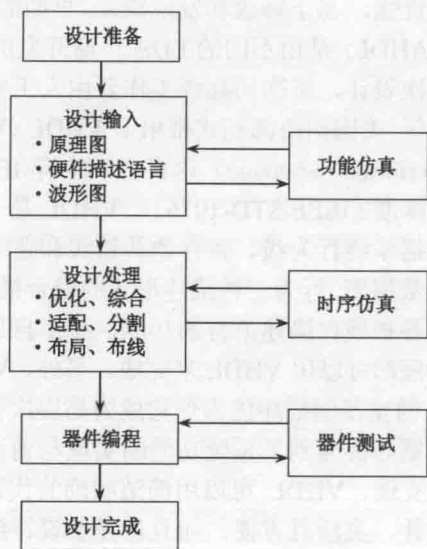


图 1-2-1 PLD 设计流程

第三步:将以上的设计输入编译成标准的 VHDL 文件。对于大型设计,还要进行代码级的功能仿真,主要是检验系统功能设计的正确性,因为对于大型设计,综合、适配要花费数小时,在综合前对源代码仿真,就可以大大减少设计重复的次数和时间,一般情况下,可略去这一仿真步骤。

第四步:利用综合器对 VHDL 源代码进行综合优化处理,生成门级描述的网表文件,这是将高层次描述转化为硬件电路的关键步骤。综合优化是针对 ASIC 芯片供应商的某一产品系列进行的,所以综合的过程要在相应的厂家综合库支持下才能完成。综合后,可

利用产生的网表文件进行适配前的功能仿真,仿真过程不涉及具体器件的硬件特性,较为粗略。一般设计,这一仿真步骤也可略去。

第五步:利用适配器将综合后的网表文件针对某一具体的目标器件进行逻辑映射操作,包括底层器件配置、逻辑分割、逻辑优化和布局布线。适配完成后,产生多项设计结果:①适配报告,包括芯片内部资源利用情况,设计的布尔方程描述情况等;②适配后的仿真模型;③器件编程文件。根据适配后的仿真模型,可以进行适配后的时序仿真,因为已经得到器件的实际硬件特性(如时延特性),所以仿真结果能比较精确地预估未来芯片的实际性能。如果仿真结果达不到设计要求,就需要修改 VHDL 源代码或选择不同速度品质的器件,直至满足设计要求。

第六步:将适配器产生的器件编程文件通过编程器或下载电缆载入到目标芯片 FPGA 或 CPLD 中。如果是大批量产品开发,通过更换相应的厂家综合库,可以很容易转由 ASIC 形式实现。

1.3 可编程逻辑器件

现代电子产品的复杂度日益加深,一个电子系统可能由数万个中小规模集成电路构成,这就带来了体积大、功耗大、可靠性差的问题,解决这一问题的有效方法就是采用 ASIC (Application Specific Integrated Circuits) 芯片进行设计。ASIC 按照设计方法的不同可分为全定制 ASIC、半定制 ASIC、可编程 ASIC (也称为可编程逻辑器件)。设计全定制 ASIC 芯片时,设计师要定义芯片上所有晶体管的几何图形和工艺规则,最后将设计结果交由 IC 厂家掩膜制造完成。优点是:芯片可以获得最优的性能,即面积利用率高、速度快、功耗低。缺点是:开发周期长,费用高,只适合大批量产品开发。



半定制 ASIC 芯片的版图设计方法有所不同,分为门阵列设计法和标准单元设计法,这两种方法都是约束性的设计方法,其主要目的就是简化设计,以牺牲芯片性能为代价来缩短开发时间。可编程逻辑芯片与上述掩膜 ASIC 的不同之处在于:设计人员完成版图设计后,在实验室内就可以烧制出自己的芯片,无须 IC 厂家的参与,大大缩短了开发周期。可编程逻辑器件自 20 世纪 70 年代以来,经历了 PAL、GAL、CPLD、FPGA 几个发展阶段,其中 CPLD/FPGA 属高密度可编程逻辑器件,目前集成度已高达 200 万门/片,它将掩膜 ASIC 集成度高的优点和可编程逻辑器件设计生产方便的特点结合在一起,特别适合于样品研制或小批量产品开发,使产品能以最快的速度上市,而当市场扩大时,它可以很容易地转由掩膜 ASIC 实现,因此开发风险也大为降低。上述 ASIC 芯片,尤其是 CPLD/FPGA 器件,已成为现代高层次电子设计方法的实现载体,也实现了硬件电路的软件化设计。

1.4 硬件描述语言

硬件描述语言(HDL-Hardware Description Language)是一种用于设计硬件电子系统的计算机语言,它用软件编程的方式来描述电子系统的逻辑功能、电路结构和连接形式,与传统的门级描述方式相比,它更适合大规模系统的设计。随着 EDA 技术的发展,使用硬件描述语言设计 PLD/FPGA 成为一种趋势。目前最主要的硬件描述语言是 VHDL 和 Verilog HDL。VHDL 发展的较早,语法严格,而 Verilog HDL 是在 C 语言的基础上发展起来的一种硬件描述语言,语法较自由。VHDL 和 Verilog HDL 两者相比,VHDL 的书写规则比 Verilog 烦琐一些,但 Verilog 自由的语法也容易让初学者出错。

例如,一个 32 位的加法器,利用图形输入软件需要输入 500 至 1000 个门,而利用 VHDL 语言只需要书写一行 $A=B+C$ 即可,而且 VHDL 语言可读性强,易于修改和发现错误。早期的硬件描述语言,如 ABEL-HDL、AHDL,是由不同的 EDA 厂商开发的,互相不兼容,而且不支持多层次设计,层次间翻译工作要由人工完成。为了克服以上缺陷,1985 年美国国防部正式推出了 VHDL (Very High Speed IC Hardware Description Language) 语言,1987 年 IEEE 采纳 VHDL 为硬件描述语言标准 (IEEE STD-1076)。VHDL 是一种全方位的硬件描述语言,包括系统行为级、寄存器传输级和逻辑门级多个设计层次,支持结构、数据流、行为三种描述形式的混合描述,因此 VHDL 几乎覆盖了以往各种硬件描述语言的功能,整个自顶向下或自底向上的电路设计过程都可以用 VHDL 来完成。另外,VHDL 还具有以下优点:VHDL 的宽范围描述能力使它成为高层次设计的核心,将设计人员的工作重心提高到了系统功能的实现与调试,只需花较少的精力用于物理实现。VHDL 可以用简洁明确的代码描述来进行复杂控制逻辑的设计,灵活且方便,而且也便于设计结果的交流、保存和重用。VHDL 的设计不依赖于特定的器件,方便了工艺的转换。VHDL 是一个标准语言,为众多的 EDA 厂商支持,因此移植性好。

Verilog HDL 就是在用途最广泛的 C 语言的基础上发展起来的一种硬件描述语言,它是由 GDA (Gateway Design Automation) 公司的 Phil Moorby 在 1983 年末首创的,最初只设计了一个仿真与验证工具,之后又陆续开发了相关的故障模拟与时序分析工具。1985 年 Moorby 推出它的第三个商用仿真器 Verilog-XL,获得了巨大的成功,从而使得 Verilog HDL 迅速得到推广应用。1989 年 CADENCE 公司收购了 GDA 公司,使得 Verilog HDL 成为了该公司的独家专利。1990 年 CADENCE 公司公开发表了 Verilog HDL,并成立 LVI 组织以促进 Verilog HDL 成为 IEEE 标准,即 IEEE Standard 1364—1995。

选择 VHDL 还是 Verilog HDL? 这是一个初学者最常见的问题。其实两种语言的差别并不大, 它们的描述能力也是类似的。掌握其中一种语言以后, 可以通过短期的学习, 较快地学会另一种语言。选择何种语言主要还是看周围人群的使用习惯, 这样可以方便日后的学习交流。当然, 如果是集成电路 (ASIC) 设计人员, 则必须首先掌握 Verilog, 因为在 IC 设计领域, 90% 以上的公司都是采用 Verilog 进行 IC 设计。对于 PLD/FPGA 设计者而言, 两种语言可以自由选择。

1.5 可编程逻辑器件的未来

EDA 技术已经渗透到各行各业, 如上文所说, 包括在机械、电子、通信、航空航天、化工、矿产、生物、医学、军事等各个领域, 都有 EDA 应用。EDA 技术是电子设计领域的一场革命, 目前正处于高速发展阶段, 每年都有新的 EDA 工具问世, 我国 EDA 技术的应用水平长期落后于发达国家, 因此, 广大电子工程人员应该尽早掌握这一先进技术, 这不仅是提高设计效率的需要, 更是我国电子工业在世界市场上生存、竞争与发展的需要。

目前可编程逻辑器件的发展趋势主要体现在: 低密度 PLD 在一定时间内还将存在一定时期; 高密度 PLD 继续向更高密度, 更大容量迈进; IP 内核得到进一步发展。具体体现在以下几点。

(1) PLD 正在由点 5V 电压向低电压 3.3V 甚至 2.5V 器件演进, 这样有利于降低功耗。

(2) ASIC 和 PLD 出现相互融合。标准逻辑 ASIC 芯片尺寸小、功能强大、不耗电, 但设计复杂, 并且有批量要求; 而可编程逻辑器件价格较低廉, 能在现场进行编程, 但它们体积大、能力有限,

而功耗比 ASIC 大。因此, 从市场发展的情况看 FPGA 和 ASIC 正逐步走到一起来, 互相融合, 取长补短。

(3) ASIC 和 FPGA 之间的界限正变得模糊。系统级芯片不仅集成 RAM 和微处理器, 也集成 FPGA。随着 ASIC 制造商向下发展和 FPGA 的向上发展, 在 CPLD/FPGA 之间正在诞生一种“杂交”产品, 以满足降低成本和尽快上市的要求。

(4) 价格不断降低。随着芯片生产工艺的不断进步, 如 Altera 的 Stratix 10 系列已经做到 12nm, 大部分已经做到 28nm、40nm, 芯片线宽的不断减少使芯片的集成度不断提高。Die (裸片) 面积大小是产品价格高低的重要因素, 线宽的减少必将大大降低了 PLD 产品的价格。

(5) 集成度不断提高。微细化新工艺的推出以及市场的需要是集成度不断提高的基础和动力。许多公司在新技术的推动下, 产品集成度迅速提高, 尤其是最近几年的迅速发展, 其集成度已经达到了 1000 万门, 现在有的 PLD 则达到了几百万系统门甚至一千万系统门。

(6) 向系统级发展。集成度的不断提高使得产品的性能不断提高, 功能不断增多。最早的 PLD 仅仅能够实现一些简单的逻辑功能, 而现在已经逐渐把 DSP、MCU、存储器及应用接口等集成到 PLD 中, 使得 PLD 功能大大增强, 使得系统在片上 SOPC (System On a Programmable Chip) 技术得以实现。可以预见未来的一块电路板上可能只有两部分电路: 模拟部分 (包括电源) 和一块 PLD 芯片, 最多还有一些大容量的存储器。

第2章 可编程逻辑器件

一般数字芯片,其内部电路、功能在出厂前就已经决定,出厂后无法再次改变,也称为固定逻辑器件。事实上一般的模拟芯片也都一样,都是出厂后就无法再对其内部电路进行修改。可编程逻辑器件 PLD (Programmable Logic Device),与一般的数字芯片不同,其内部的数字电路可以在出厂后重新规划决定,即 PLD 生产时是按一种通用集成电路产生的,而其逻辑功能则是由用户对器件编程来确定的。PLD 是能够为用户提供范围广泛的多种逻辑能力、特性、速度和电压特性的标准成品部件,而且此类器件的逻辑可在任何时间改变,从而完成许多种不同的功能。PLD 的集成度很高,足以满足设计一般数字系统的需要。这样就可以由设计人员自行编程而把一个数字系统“集成”在一片 PLD 上,而不必去请芯片制造厂商设计和制作专用的集成电路芯片了。

2.1 概述

任何组合逻辑函数都可以写成最小项的和的形式,也就是可以用与门、或门两级电路实现(需要提供输入变量的反信号)。当然任何时序电路也就可以由组合逻辑加上记忆元件(如锁存器、触发器、RAM)构成。

2.1.1 PLD 的发展

在数字电路的存储器一章中讲到的紫外线擦除只读存储器(EPROM)和电可擦除只读存储器(EEPROM),就是一种 20 世纪 70 年代初期的可编程逻辑器件。PROM 采用固定的与阵列和可编程的或阵列组成,由于输入变量个数 n 的增加会引起存储容量以 2^n 倍上升,因此用 PROM 只能实现简单的组合逻辑。为克服 PROM 的缺点,20 世纪 70 年代中期出现了可编程逻辑阵列 PLA,其与阵列和或阵列都可编程,造成软件算法复杂,编程后运行速度慢,故也只能用于小规模电路设计。到 20 世纪 70 年代末,AMD 公司对 PLA 进行了改进,推出可编程阵列逻辑 PAL,采用或阵列固定,与阵列可编程。简化了算法,运行速度提高,适用于中小规模电路的设计,但缺点是对应一种输出 I/O 结构方式就有一种 PAL,造成生产使用不便。20 世纪 80 年代中期,在 PAL 基础发展起来的通用阵列逻辑 GAL 器件,采用了 EECMOS 工艺使得该器件实现了电可擦除、电可改写,编程非常方便,另外由于其输出采用了逻辑宏单元结构(Output Logic Macro Cell, OLMC),使得电路的逻辑设计更加灵活。这些早期的 PLD 器件的一个共同特点是可以实现速度特性较好的逻辑功能,但其过于简单的结构也使它们只能实现规模较小的电路。

为了弥补这一缺陷,20 世纪 80 年代中期。Altera 和 Xilinx 分别推出了类似于 PAL 结构的扩展型 CPLD (Complex Programmable Logic Device)和与标准门阵列类似的 FPGA(Field Programmable Gate Array),它们都具有体系结构和逻辑单元灵活、集成度高以及适用范围宽等特点。这两种器件兼容了 PLD 和通用门阵列的优点,可实现较大规模的电路,同以往的 PAL/GAL 等相比,一片 FPGA/CPLD 可以替代几十甚至几千块通用 IC 芯片,编程也很灵活,实际上一片

FPGA/CPLD 就是一个子系统。这种芯片受到世界范围内电子工程设计人员的广泛关注和普遍欢迎。与门阵列 ASIC (Application Specific IC) 相比, 它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无须测试、质量稳定以及可实时在线检验等优点, 因此被广泛应用于产品的原型设计和产品生产 (一般在 10000 件以下) 之中。几乎所有应用门阵列、PLD 和中小规模通用数字集成电路的场合均可应用 FPGA 和 CPLD 器件。

难以想象, Altera 公司的 Stratix 10[®] 器件是 Intel 革命性的 14 nm 3D 三栅极晶体管技术的唯一主要 FPGA 和 SoC, 实现了性能和功效的突破。原来需要成千上万只电子元器件组成的电子设备电路, 现在以单片超大规模集成电路即可实现, 为 SoC 技术和 SOPC 的发展开拓了空间。

2.1.2 PLD 的分类

PLD 是数字集成电路的一种, 数字集成电路的分类如图 2-1-1 所示。

- (1) 按集成度分类, 可分为简单 PLD、复杂 PLD。
- (2) 按编程次数分类, 可分为一次性编程器件 (One Time Programmable, OTP)、可多次编程器件;
- (3) 按不同的编程元件和编程工艺划分, 可分为: 采用熔丝 (Fuse) 编程元件的器件, 如 PROM; 采用反熔丝 (Antifuse) 编程元件的器件; 采用紫外线擦除、电编程方式的器件, 如 EPROM; 采用电擦除、电编程方式的器件, 一般采用 E²PROM 和快闪存储器 (Flash Memory) 两种工艺实现这种编程方式, 大多数 CPLD 采用此类方式; 采用静态存储器 (SRAM) 结构的器件, 大多数的 FPGA 采用此类结构。

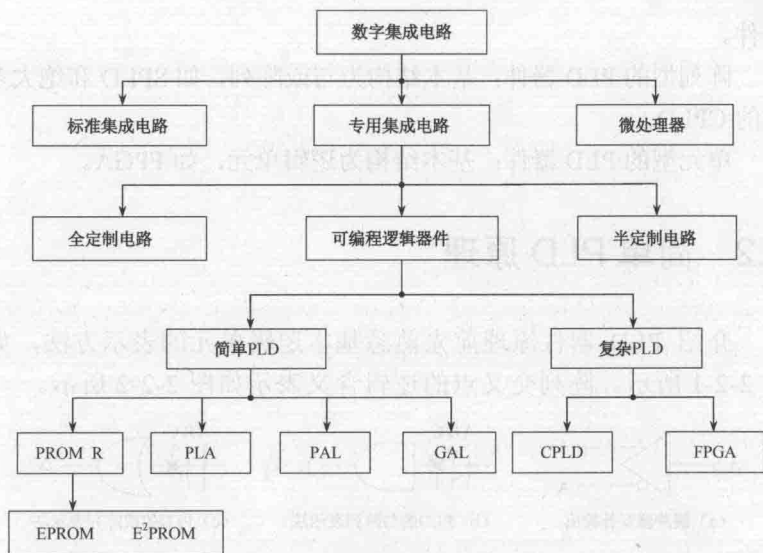


图 2-1-1 数字集成电路的分类

熔丝就是小型的, 小到只有用显微镜才能看得到的保险丝, 遇到大电流大电压的时候也会断开。反熔丝最开始的时候是连接两个金属连线的微型非晶硅柱, 在未编程状态下, 非晶硅就是一个绝缘体, 也就意味着断开, 当遇到大电流和大电压的时候就会变成电阻很小的导体, 几乎就是通路了。也可以想成两个背靠背二极管串联, 未编程状态时是断开的, 编程时把反向的二极管击穿, 也就导通了。不管是熔丝还是反熔丝, 都相当于开关, 只不过熔丝编程操作的是需要的逻辑的反断开, 而反熔丝的编程操作是将需要的逻辑给接上。这样就为反熔丝型 FPGA 提供的可编程基础。熔丝、反熔丝编程都是一次性编程。

- (4) 按结构特点分类, 可分为阵列型的 PLD 器件和单元型的 PLD



器件。

阵列型的 PLD 器件：基本结构为与或阵列，如 SPLD 和绝大多数的 CPLD。

单元型的 PLD 器件：基本结构为逻辑单元，如 FPGA。

2.2 简单 PLD 原理

介绍 PLD 器件原理前先熟悉基本逻辑单元表示方法，如图 2-2-1 所示。阵列交叉点的逻辑含义表示如图 2-2-2 所示。



图 2-2-1 基本逻辑单元表示法

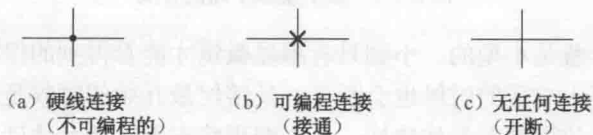


图 2-2-2 阵列交叉点的逻辑表示

可编程只读存储器除了用作存储器外，还可用来实现组合逻辑函数。下面以四变量的四输出函数用 $2^4 \times 4$ 的 PROM 实现的过程来理解 PROM 器件的原理。

例 2.1 4 个函数 Y_1, Y_2, Y_3, Y_4 如下式所示。

$$Y_1(A,B,C,D) = \overline{A}BC + A\overline{B}C$$

$$Y_2(A,B,C,D) = ABC\overline{D} + BCD + \overline{A}BC$$

$$Y_3(A,B,C,D) = ABC\overline{D} + \overline{A}B\overline{C}D$$

$$Y_4(A,B,C,D) = \overline{A}\overline{B}CD + ABCD$$

写成最小项的形式

$$Y_1(A, B, C, D) = m_2 + m_3 + m_6 + m_7$$

$$Y_2(A, B, C, D) = m_6 + m_7 + m_{10} + m_{14}$$

$$Y_3(A, B, C, D) = m_4 + m_{14}$$

$$Y_4(A, B, C, D) = m_2 + m_{15}$$

4 个输入变量 A、B、C、D 按顺序连接到 PROM 的地址输入端 $A_3A_2A_1A_0$ ，地址译码器相当于与逻辑阵列，译出 4 个输入变量的 16 个最小项 $W_0 \cdots W_{15}$ ；存储矩阵相当于或逻辑阵列，根据逻辑函数表达式，确定存储单元所应存的数据， $Y_1(A, B, C, D) = m_2 + m_3 + m_6 + m_7$ 也就是 $Y_1 = W_2 + W_3 + W_6 + W_7$ ，在或阵列相应位置编程，如图 2-2-3 所示，在数据端得到 4 个函数的输出。

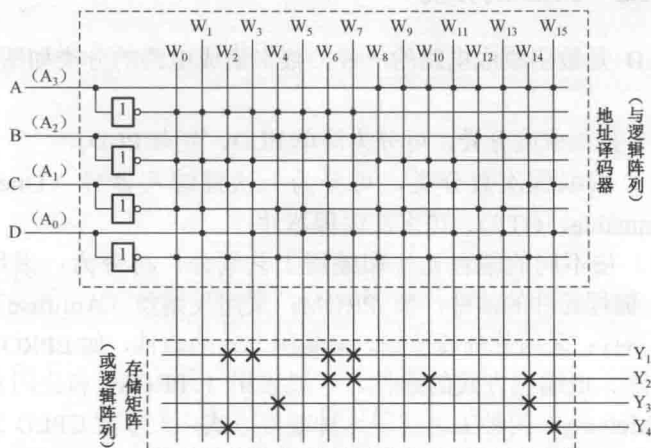


图 2-2-3 PROM 实现函数的过程