



普通高等教育“十二五”规划教材

DSP原理与应用教程

(第二版)

主 编 张卫宁
副主编 栗 华 杨 阳



科学出版社

普通高等教育“十二五”规划教材

DSP 原理与应用教程

(第二版)

主 编 张卫宁

副主编 栗 华 杨 阳

科 学 出 版 社

北 京

内 容 简 介

数字信号处理器(DSP)是专为数字信号处理而设计的大规模集成芯片,是一种高速、实时、可编程的嵌入式微处理器。本书以 TI 公司的 TMS320C54x 系列 DSP 为例,详细介绍 DSP 的硬件结构和软件设计,包括总线结构、CPU、流水线操作、存储器映像、片内外围设备、指令系统及公共目标文件格式等内容;详细讨论用汇编语言和 C 语言进行软件设计的方法;从应用角度出发,对 CCS 集成开发环境进行介绍;详细分析 DSP 综合应用系统的设计过程,给出典型的 DSP 硬件设计及接口技术,并对在 DSP 系统设计中出现的主要问题和解决方法进行讨论;最后,通过一个综合应用系统的设计实例,介绍 DSP 的开发设计全过程。此外,还对 TMS320C55xDSP 进行了简要介绍。

本书可作为电子信息、通信工程、计算机、自动化、集成电路等专业高年级本科生和研究生的教材,也可作为 DSP 自学书籍或供从事 DSP 开发应用的工程技术人员参考。

图书在版编目(CIP)数据

DSP 原理与应用教程/张卫宁主编. —2 版. —北京:科学出版社,2015.2
普通高等教育“十二五”规划教材
ISBN 978-7-03-043155-4

I. D… II. 张… III. 数字信号处理-高等学校-教材 IV. TN911.72
中国版本图书馆 CIP 数据核字(2015)第 017660 号

责任编辑:潘斯斯 张丽花 / 责任校对:郭瑞芝
责任印制:霍 兵 / 封面设计:迷底书装

科 学 出 版 社 出 版

北京东黄城根北街16号

邮政编码:100717

<http://www.sciencep.com>

文林印务有限公司印刷

科学出版社发行 各地新华书店经销

*

2008 年 7 月第 一 版 开本:787×1092 1/16

2015 年 2 月第 二 版 印张:25

2015 年 2 月第七次印刷 字数:592 000

定价:54.00 元

(如有印装质量问题,我社负责调换)

第二版前言

随着数字信号处理器(DSP)技术的应用日趋深入,国内许多高等院校开设了“DSP原理与应用”课程,迫切需要这方面的教材和参考书籍。为此,我院承担本课程教学的老师们结合多年的授课讲稿、教学及科研经验,并汲取其他兄弟院校相关教材的优点,编写了《DSP原理与应用教程》。本教程第一版于2008年7月出版,至今已经印刷6次,在教学中获得了较好的效果。

由于DSP技术发展迅速,DSP的教学材料已经多次更新和补充。为了满足教学的需要,根据近几年来使用《DSP原理与应用教程》的教学经验和科研实践,我们在本书第一版的基础上,改编成第二版教材。第二版保留了第一版的大部分内容,并着重修改或补充了下列内容:

(1)删除了第一版第8章“数字信号处理典型算法程序设计”,将其压缩编写为9.1节“数字信号处理算法的DSP实现”。

(2)修改第一版第6章“TMS320C54x软件开发环境CCS”的内容。第二版以CCS3.3版本为例,介绍DSP的开发环境和工具。

(3)在第4章中,补充了4.5.4节“非线性运算及数据的非数值处理”,介绍查表法、级数展开法、插值法、迭代法等原理及其应用,以加强对学生软件设计应用能力的培养。

(4)增加了第10章“TMS320C55xDSP简介”的内容。我们考虑到,目前人们多将TMS320C54xDSP作为教学器件,而在实际应用中,使用更多的是TMS320C55xDSP芯片,因此,有必要对该种芯片进行介绍,特别是指出它与C54xDSP的不同之处,使读者在使用中有所参考。

(5)在附录D中给出部分思考题与习题的答案,供读者参考。

本书在第一版的基础上,由张卫宁、栗华和杨阳进行编写及修订。其中,第1~4、7章、9.2节及附录A、B、C、D由张卫宁编写,第5、8章及9.3节由栗华编写,第6、10章及1.3.3节、9.1节由杨阳编写,第7章的7.2.2节编程例题由王晓东提供,全书由张卫宁统稿和定稿。本书在编写修订过程中得到山东大学信息科学与工程学院的领导和各位同仁的热情鼓励,在此一并表示衷心感谢。

科学出版社对本书的出版给予了大力支持和帮助,我们对此深表感谢。

对本书在编写中所参考的文献的作者表示由衷感谢,是他们的辛勤努力为我们这些后来者提供了宝贵参考资料。

由于作者水平有限,书中难免存在疏漏之处,恳请读者批评指正。

编 者

2013年8月

第一版前言

数字信号处理器(digital signal processor, DSP)是专为实时数字信号处理而设计的一种可编程的嵌入式微处理器。它采用改进型哈佛总线结构,内部配置了硬件乘法器,使用多级流水线工作方式。它具有运行速度快,处理能力强,片内外围设备丰富等诸多特点。它的问世与飞速发展,为将数字信号处理理论应用于工程实际提供了低成本的软、硬件平台。近年来,随着 DSP 性能的日趋完善,功耗的逐步降低,开发环境的不断改进以及价格的不断下调, DSP 的应用价值和推广前景越来越凸显出来。其应用已深入到人们的学习、工作和生活的各个方面,在语音、图像、通信系统、生物医学工程、遥感遥测、航空航天、电力系统、故障检测以及自动化仪器等众多领域发挥着越来越大的作用。

随着 DSP 技术在我国的应用日趋广泛,培养更多更好的 DSP 应用人才,造就一批 DSP 开发研究的骨干力量,满足国内高新技术发展的需要,已经越来越紧迫地摆在教育工作者面前。为此,国内许多大学对硕士生及本科生开设了 DSP 课程,迫切需要这方面的教材、自学课本和参考书籍,本书就是在这种背景下编写完成的。本书由承担“DSP 原理与应用”课程教学的老师们以 DSP 的技术手册为基础,结合多年来授课的讲稿和科研的体会编写而成,讲述了 DSP 的基础知识和应用设计方面的内容,以满足教学和自学的需要,满足越来越多的读者对 DSP 开发应用的学习愿望。

本书的编写思路有下列特点:

1. 以 TI 公司的 TMS320C54x 系列 DSP 为描述对象,系统介绍 DSP 的基本硬件结构、编程模型和指令系统,并深入讨论 DSP 系统的软、硬件设计及开发应用等内容。尽可能详细地将 DSP 综合应用系统设计方面的知识介绍给读者。

2. 本书定位于教材或自学参考书,面向初学者,因此在编写中力求内容全面,通俗易懂,多分析,多总结,使读者易于接受,便于理解。在编写中尽量采用教学语言进行描述,避免写成 DSP 的使用手册。

3. 列举大量例题、习题和思考题,给读者以更多的启发和思考。引导读者从应用 DSP 的角度出发,掌握 DSP 系统设计的关键环节和解决问题的方法。

本书共有 9 章和 3 个附录。第 1 章概述 DSP 的结构特点,描述 DSP 技术的发展、分类及其应用。第 2 章详细介绍 TMS320C54x DSP 的内部硬件资源,包括 CPU 内核、多总线结构、引脚功能、系统控制、存储器映象及中断系统等。第 3 章介绍 TMS320C54x 的寻址方式和指令系统,并结合实际应用,对常用指令进行重点讲解,给出程序段编写的例程。第 4 章结合 TMS320C54x 的软件开发工具及开发过程,介绍 DSP 所采用的 COFF 目标文件格式、结构和规范,介绍伪指令和宏指令,并通过实例介绍汇编语言程序设计的方法和技巧。第 5 章介绍 DSP 的 C 语言程序设计特点,讨论 DSP C 语言编程的设计技巧、C 代码优化以及 C 语言与汇编语言的混合编程实现等内

容。第 6 章介绍 DSP 的软件开发环境 CCS 的结构及其应用方法。第 7 章介绍 TMS320C54x 的片内外围设备的结构、编程及其应用。第 8 章讨论数字信号处理典型算法的程序设计,包括卷积、FIR、IIR、FFT 等程序的设计与在 DSP 上的实现。第 9 章讨论 DSP 硬件系统设计及接口技术的应用,详细介绍 DSP 的最小应用系统设计,讨论外部数据存储器、程序存储器的扩展应用,给出了 DSP 与 A/D、D/A 的接口设计等,并列举了一些常用接口芯片和接口电路;就 DSP 应用系统设计的调试与抗干扰措施进行了论述;最后介绍了一个 DSP 的应用实例,以它在语音处理中的应用为例,讨论了 DSP 应用系统的开发过程。

本书由张卫宁、栗华和马昕共同编写。其中,第 1、2、3、4、7 章及附录由张卫宁编写,第 5 章和第 9 章的 9.1~9.5 节及 9.7 节由栗华编写,第 6、8 章和第 9 章的 9.6 节由马昕编写,第 7 章的 7.2.2 节编程例题由王晓东提供,全书由张卫宁统稿和定稿。刘丙娥、毕文青、邵娟、陈栋和魏磊参与了本书的部分资料整理、录入和程序设计调试工作。本书在编写过程中得到山东大学信息科学与工程学院的领导和各位同仁的热情帮助和鼓励。在此一并表示衷心感谢。感谢科学出版社对本书出版所给予的大力支持和帮助。对本书在编写中所参考的文献的作者表示由衷的感谢。

由于作者水平有限,书中难免存在不足之处,恳请读者批评指正。

编 者

2008 年 4 月

目 录

第二版前言

第一版前言

第 1 章 DSP 技术概要	1
1.1 DSP 系统和芯片的结构特点	1
1.2 DSP 的发展概况和趋势	7
1.3 DSP 芯片的分类、性能、命名规则及其应用	11
思考题与习题	14
第 2 章 TMS320C54x 硬件结构及原理	15
2.1 芯片内部结构及特点	15
2.2 C54x 的内部多总线结构	17
2.3 C54x 的中央处理单元(CPU)	20
2.4 C54x 的存储器结构	32
2.5 复位操作及省电方式	37
2.6 中断系统	40
2.7 流水线	46
2.8 引脚及其功能	53
思考题与习题	59
第 3 章 汇编语言指令系统	62
3.1 C54x 汇编语言指令集介绍	62
3.2 寻址方式	67
3.3 C54x 系列 DSP 的指令系统	75
思考题与习题	101
第 4 章 汇编语言程序设计	104
4.1 C54x 的软件开发过程	104
4.2 公共目标文件格式 COFF	105
4.3 汇编器的伪指令	113
4.4 C54x 汇编语言的有关知识	122
4.5 汇编语言程序设计	129
思考题与习题	156
第 5 章 C54x 高级 C 语言程序设计	160
5.1 C54x C 语言介绍	160
5.2 C54x C 语言编程	171
5.3 C54x C 代码优化	190

思考题与习题.....	193
第 6 章 eXpressDSP 实时软件开发技术及 CCS 应用	194
6.1 eXpressDSP 技术简介.....	194
6.2 DSP 开发流程	196
6.3 CCS 安装及目标和主机设置	196
6.4 DSP 使用举例	199
思考题与习题.....	206
第 7 章 TMS320C54x 片内外设及其应用	207
7.1 通用 I/O 引脚(GPIO)	207
7.2 定时器	210
7.3 主机接口 HPI	215
7.4 直接存储器访问 DMA	221
7.5 多通道缓冲串行口	233
思考题与习题.....	260
第 8 章 TMS320C54x 硬件设计及接口技术	262
8.1 基于 C54x 的 DSP 最小系统设计	262
8.2 C54x 外部总线结构.....	276
8.3 存储器扩展	288
8.4 A/D、D/A 与 DSP 的接口技术	321
8.5 Bootloader 功能的实现	336
思考题与习题.....	344
第 9 章 C54x 综合应用系统设计	345
9.1 数字信号处理算法的 DSP 实现.....	345
9.2 C54x 应用系统设计实例.....	349
9.3 DSP 系统的调试与抗干扰措施	357
思考题与习题.....	360
第 10 章 TMS320C55x 系列 DSP 简介	361
10.1 C55x 与 C54x 的主要区别	361
10.2 TMS320C5000 应用领域及发展方向	365
思考题与习题.....	366
参考文献.....	367
附录.....	369
附录 A TMS320C54x 系列 DSP 芯片汇总表	369
附录 B TMS320C54x DSP 的寄存器符号、名称及地址	370
附录 C TMS320VC5402 头文件	374
附录 D 部分思考题与习题答案.....	379

第 1 章 DSP 技术概要

随着计算机、信息技术和大规模集成电路的飞速发展,数字信号处理技术已经形成一门独立的学科系统,并且在理论和实现技术两个方面都获得了高速的发展。数字信号处理(Digital Signal Processing, DSP)是采用数值计算的方法对信号进行处理的一门学科。它研究的是怎样对模拟信号进行采样,将其转换为数字序列,然后对其进行变换、滤波、增强、压缩及识别等加工处理,从而提取有用信息并进行应用的理论和算法。而数字信号处理器(Digital Signal Processors, DSP)则是一种用于数字信号处理的可编程微处理器,它的诞生与快速发展,使各种数字信号处理算法得以实时实现,为数字信号处理的研究和应用打开了新局面,提供了低成本的实际工作环境和应用平台,推动了新的理论和应用领域的发展。目前, DSP 技术在通信、航空、航天、雷达、工业控制、医疗、网络及家用电器等各个领域都得到了广泛应用。

1.1 DSP 系统和芯片的结构特点

数字信号处理围绕着理论、实现和应用这三个方面得到了迅速发展。在理论上,数字信号处理是把经典理论(如数学、信号与系统分析等)作为基础,将快速算法和各类滤波技术等应用于各个研究领域,包括图像处理、语音处理和音频处理、信息的编解码、信号的调制和解调、移动通信及各种智能控制等。在实现上是将信号处理的理论应用于某一具体的任务中。一般根据任务的不同可分为软件实现和硬件实现,软件实现是指在通用的计算机上用软件来仿真和研究某个算法,这种方法速度较慢,无法实时实现;硬件实现是指采用专用 DSP 芯片、通用 DSP 芯片或者其他微处理器构成的应用系统去高速实时地完成数字信号处理的任务。

1.1.1 DSP 系统的基本结构

DSP 系统的基本结构如图 1-1 所示。通过传感器将非电物理量转换为模拟电信号。预处理一般包括放大器和滤波器两部分,信号经过放大器的放大变为具有一定幅值的模拟输入信号,而滤波器(低通或带通)的作用则是滤除输入模拟信号中的无用频率成分和噪声,避免采样后发生频谱混叠失真。A/D 转换器的任务是在满足奈奎斯特采样定理

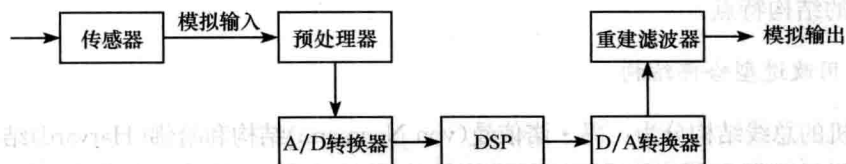


图 1-1 DSP 系统的基本结构

的条件下,将模拟信号转换为数字信号。DSP 负责对输入数字信号进行某些算法,如卷积、相关、滤波或快速傅里叶变换(FFT)等。经过处理之后的数字信号再进行 D/A 转换,由于转换输出的模拟信号中含有许多高频成分,因此要通过重建滤波器滤除这些高频信号,以获得平滑的模拟输出信号。

实际上,为了完成数字信号处理的任务,除了图 1-1 所示的 DSP 基本结构之外,还必须在 DSP 系统中配置人机接口、存储器、通信接口、测试接口和电源设备等。

1.1.2 DSP 芯片的结构特点

什么是数字信号处理器(DSP)? DSP 是专为实时数字信号处理而设计的大规模集成可编程微处理器。那么, DSP 究竟有哪些结构特点特别适合于数字信号处理呢? 为了搞清楚这个问题,我们先来分析下面列出的数字信号处理的典型运算类型。

(1) 求两序列信号 $h(n)$ 、 $x(n)$ 的卷积 $y(n)$ 。

$$y(n) = x(n) * h(n) = \sum_{m=-\infty}^{+\infty} h(m)x(n-m) \quad (1-1)$$

(2) 求两序列信号 $y(n)$ 、 $x(n)$ 的相关函数。

$$R_{xy}(m) = \sum_{n=-\infty}^{+\infty} x(n)y(n+m) \quad (1-2)$$

(3) 求序列的能量。

$$E = \sum_{n=-\infty}^{+\infty} |x(n)|^2 \quad (1-3)$$

(4) 数字滤波器的数学表达式为

$$y(n) = \sum_{k=1}^N a_k y(n-k) + \sum_{k=0}^M b_k x(n-k) \quad (1-4)$$

(5) 对长度为 N 的输入序列 $x(n)$ 进行快速傅里叶变换的公式为

$$X(k) = \sum_{n=0}^{N-1} x(n)W_N^{nk}, \quad 0 \leq k \leq N-1 \quad (1-5)$$

通过这些典型算法可以看出,数字信号处理的基本运算类型是乘法-累加(MAC)运算,且在运算过程中存在着大量的循环重复操作。因此,要提高数字信号处理的速度,达到实时应用的要求,关键在于提高 MAC 算法及循环重复操作的速度。这就要求有一个硬件平台及软件开发环境,通过它可以快速、高效、实时地完成数字信号处理任务。而数字信号处理器就是这样一个专用的实时处理平台。它具有下列一些特别适合于数字信号处理的结构特点。

1. 采用改进型哈佛结构

计算机的总线结构分为:冯·诺依曼(von Neumann)结构和哈佛(Harvard)结构。

多数微处理器和单片机采用冯·诺依曼结构,如图 1-2 所示。在这种结构中只含一条内部地址总线 and 数据总线, CPU 只能使用同一条地址总线去分时传送程序地址和数

据地址,使用同一条数据总线去分别读取程序代码或进行数据的读写访问,因此,对总线是分时使用,对指令的执行也只能串行进行,而不能并行进行,因而处理速度慢,数据吞吐量低。

哈佛总线结构如图 1-3(a)所示,程序存储器和数据存储器是分开的,有多条独立的程序总线和数据总线,其中 PAB、PDB 和 PCB 分别是程序地址总线、程序数据总线和程序控制总线, DAB、DDB 和 DCB 分别是数据地址总线、数据数据总线和数据控制总线,它们可同时对程序和数据进行寻址及读写,因此,使指令的执行和对数据的访问能够并行进行,使 CPU 的运行速度和处理能力都得以大幅度提高。

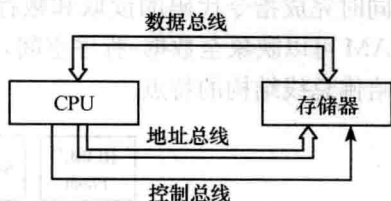
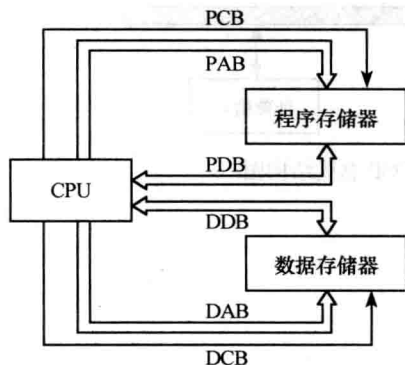
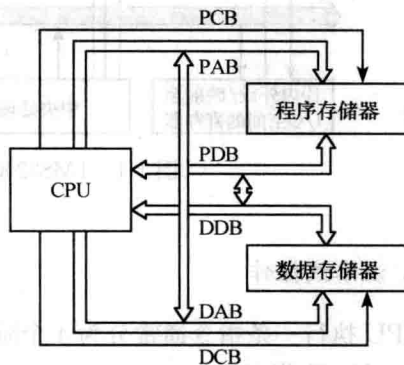


图 1-2 冯·诺依曼总线结构示意图



(a) 哈佛结构



(b) 改进型哈佛结构

图 1-3 哈佛总线及改进型哈佛总线结构示意图

DSP 采用的是改进型哈佛总线结构,如图 1-3(b)所示。其改进之处是:在数据总线和程序总线之间有局部的交叉连接,也就是说,在程序空间和数据空间之间有相互访问的能力,从而增加了存储器访问的灵活性,提高了 DSP 的运行效率。DSP 的哈佛总线改进之处主要体现在下列 3 点。

(1) 片内 RAM 可以映象至数据空间,也可以映象至程序空间。当片内 RAM 被映象至程序空间时,意味着可以利用程序总线来访问数据。

(2) 片内 ROM 可以映象至程序空间,也可以映象至数据空间。当片内 ROM 被映象至数据空间时,就可利用数据总线去读取程序空间。

(3) 具有根装载(bootloader)功能,允许将片外的指令代码调至片内数据存储器,供 CPU 零等待运行。

以 TI 公司的 TMS320C2000 系列 DSP 为例,其内部总线如图 1-4 所示。CPU 内含 6 个 16 位的内部总线,它们是相互独立的程序读写地址总线(PAB)、程序读数据总线(PRDB)、数据读地址总线(DRAB)、数据写地址总线(DWAB)、数据读数据总线(DRDB)和数据写(或程序写)数据总线(DWEB),CPU 可在同一机器周期内使用这 6 个

总线同时完成指令代码的读取和数存的读、写访问。另外, C2000 的片内 DARAM 和 SARAM 可以映象至数据/程序空间, 片内 Flash 也可映象至程序/数据空间, 体现了改进型哈佛总线结构的特点。

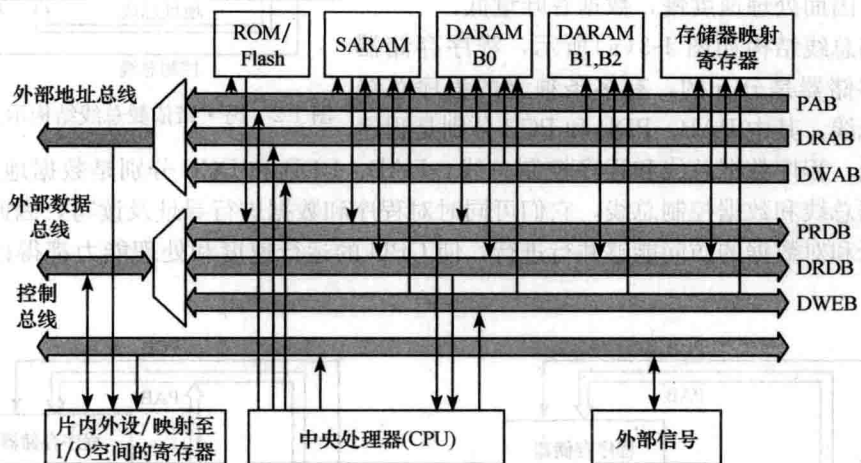


图 1-4 TMS320C2000 系列 DSP 总线结构图

2. 流水线操作

CPU 执行一条指令通常分为 4 个阶段。

- (1) F: 取指(fetch)。
- (2) D: 译码(decode)。
- (3) O: 取操作数(operand)。
- (4) X: 执行(execute)。

图 1-5 表示了冯·诺依曼结构的 CPU 执行指令的过程。显然, CPU 是在完成一条指令的全部 4 个操作阶段后再去执行另一条指令的, 从时间上看是一种串行执行的过程, 因此需要花费较多的 CPU 时钟周期。

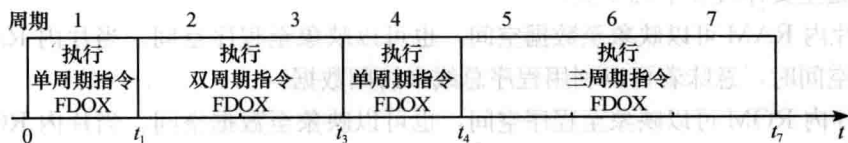


图 1-5 串行执行指令示意图

下面讨论 DSP 所采用的流水线操作。

所谓流水线操作就是将一条指令的不同阶段分配在连续的几个周期上, 通过不同的硬件去完成指令的不同执行阶段(称为级)。例如, 当取指硬件已经完成了取指任务, 并将指令 N 送入了译码硬件后, 它就可以去取下一条指令 N+1, 而译码硬件则同时对指令 N 进行译码。

一个4级流水线的示意图如图1-6所示。假设指令1的4个操作阶段分别是F1、D1、O1和E1；指令2的4个操作阶段分别是F2、D2、O2和E2；依次类推。那么，从图1-6中可以看到，在时钟周期1，指令1取指(F1)；在时钟周期2，指令1译码(D1)，而指令2取指(F2)……在时钟周期4，流水线中就会有4条指令处于4个不同阶段，其中，指令1已进入执行阶段E1，指令2在取操作数阶段O2，指令3处于译码阶段D3，而指令4刚进入取指操作F4。可见，虽然就一条指令而言，似乎要用4个时钟周期才能完成全部操作，但从多条指令的角度看，则可认为每条指令的运行时间是单周期。这样，就使指令的运行速度得到了很大提高。当然，这样做所付出的代价是：必须有相应的硬件支持这种多级流水线操作，且流水线的级数越高，对硬件的要求也越高。

时钟周期	1	2	3	4	5	6
取指	F1	F2	F3	F4	F5	F6
译码		D1	D2	D3	D4	D5
取操作数			O1	O2	O3	O4
执行				E1	E2	E3

图1-6 四级流水线示意图

在TI的TMS320系列DSP中，TMS320F24x系列采用4级流水线；TMS320F28x系列采用8级流水线；TMS320C54x系列采用6级流水线；TMS320C6000系列定点芯片采用11级流水线，浮点芯片则采用16级流水线。

3. 片内集成有硬件乘法器和乘加单元

一般微处理器中没有硬件乘法器，在做乘法运算时，需要调用内部运算序列去执行一系列相加和移位运算才能完成，所以要花费多个时钟周期。例如，MCS-51系列单片机完成一次乘法操作需要4个机器周期，是其指令集里执行时间最长的指令之一。而DSP为了适应大批量乘法运算的需要，在其CPU内部集成了硬件乘法器和乘加单元，从硬件结构上为高速完成卷积、相关、FFT及数字滤波等信号处理算法提供了基础。例如，TMS320C54x系列片内集成有一个17位×17位的硬件乘法器和40位的加法器，可以高速完成乘法-累加运算(MAC)；TMS320C6000系列片内有2个硬件乘法器，支持在单周期内完成16位×16位、16位×32位的乘法，并支持双16位×16位和4个8位×8位的乘法运算。

4. 功能强大的CPU结构

除了上面提到的硬件乘法器和乘加单元，DSP的CPU一般还包括：算术逻辑运算单元(ALU)、累加器、加法器、桶型移位器、程序地址产生和数据地址产生等部分。

DSP的累加器有很强的操作能力，一般会配置多个累加器，或是集成有超长字结构的寄存器组。例如，TMS320C54x的累加器为40位，并且有2个累加器ACCA和ACCB。TMS320C64x有64个32位的通用寄存器，每一个寄存器都可作为累加器来使用，并可被配置成寄存器对，用来进行64位数据的访问。

桶型移位器用来实现数据的移位,包括算术左移、右移和逻辑左移、右移等。通过它能够方便地进行定点定标或其他的移位操作。

DSP 的 CPU 通常含有一套独立的程序地址产生逻辑和 2 套数据地址产生逻辑,可以同时产生一个程序取指地址和 2 个数据访问地址,极大地提高了 CPU 的寻址能力。例如, TMS320C54x 有 2 个辅助算术逻辑单元 ARAU0 和 ARAU1 及 8 个辅助寄存器 AR0~AR7,可同时产生两个数据地址供 CPU 使用。

TMS320C6000 系列 DSP 的 CPU 与其他微处理器有很大不同,它采用了双数据通道和 8 个功能单元的结构,如图 1-7 所示。这种特殊结构支持 CPU 在单周期内最多可同时执行 8 条指令,具有强大的超长指令字(VLIW)操作能力。

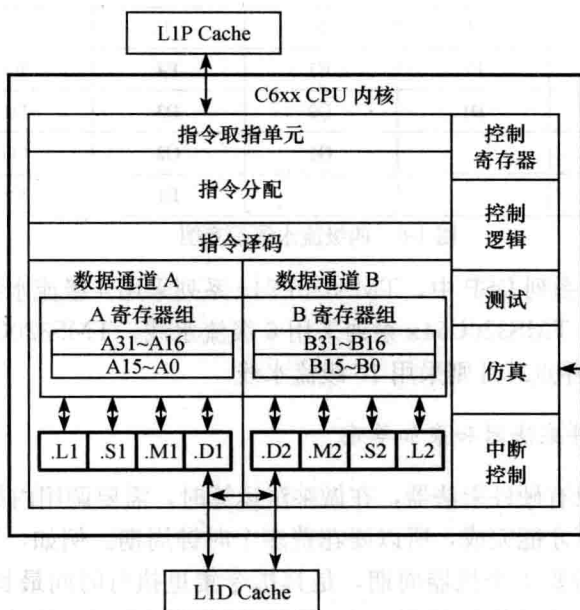


图 1-7 TMS320C6000 系列

5. 硬件循环重复机制

许多 DSP 芯片具有重复操作指令和支持重复操作的专用硬件,通过它们可以自动地重复执行单条指令或一段指令。例如, TMS320C54x 中有重复计数器(RPTC)和重复指令(RPT),当执行指令 RPT # N 时, CPU 会将重复次数 N 赋给 RPTC,则紧接 RPT # N 后面的那条指令将被重复执行 N+1 次。每重复执行一次, RPTC 的数据会自动减 1,直至减至零为止。这样,就可以通过硬件自动完成循环操作的过程。而且,进入重复机制的指令会自动变为单周期执行,大大减少了执行时间。

6. 复合操作指令

所谓复合操作,是指在一条单字单周期指令中可以分别完成多个操作任务。由于 DSP 具有多总线哈佛结构和特殊的 CPU 硬件,支持并行操作,因此, DSP 综合了复杂

指令集(CISC)和精简指令集(RISC)的优点,它的大多数指令是复合指令。以TMS320C24x的MPYA(乘且累加前次乘积)指令为例:MPYA $\ast$ +,AR3,设当前辅助寄存器AR为AR1,执行该条指令会发生下列一系列事件:①(PC)+1 $\rightarrow$ PC;②(ACC)+移位后的(PREG) $\rightarrow$ ACC;③(TREG) $\times$ (数据存储器) $\rightarrow$ PREG;④(AR1)+1 $\rightarrow$ AR1;⑤令AR3为当前辅助寄存器AR;⑥ARP=011b,ARB=001b。其中:PREG为乘积暂存器,TREG为暂存器,数据存储器是通过间接寻址找到的操作数单元;ARP和ARB分别为状态寄存器中的辅助寄存器指针及指针暂存器,PREG的移位位数由状态寄存器中的乘积移位方式位PM给出。

DSP执行该条指令仅需1个机器周期,但却完成了上述的6个操作。由此可见,DSP所采用的这种复合指令形式提高了CPU的效率,缩短了程序的执行时间。开发人员可以通过它们编写出高效率的汇编程序,但同时也对编程者提出了较高的要求。

7. 嵌入式功能

DSP片内配置有大量片内外设,如图1-8所示。一般包括程序存储器、数据存储器、定时/计数器、串行口、主机接口、外部存储器接口、电源控制、JTAG接口等。开发者不用外扩很多器件,既可组成独立的应用系统。DSP芯片具有很强的扩展接口的能力,可无缝连接片外存储器和一系列I/O器件。由于DSP既有高速的数字信号处理能力,又有强大的嵌入式接口能力,因此在嵌入式系统中获得了广泛应用。

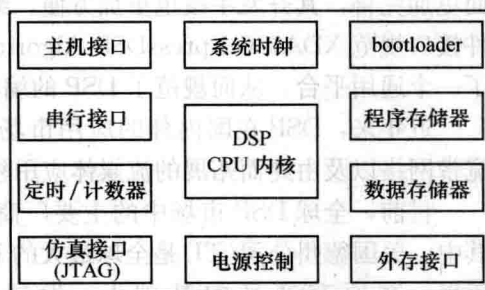


图 1-8 通用 DSP 的片内硬件结构

1.2 DSP 的发展概况和趋势

1.2.1 DSP 的发展概况

DSP 诞生于 20 世纪 70 年代。1978 年,美国 AMI 公司发布的 S2811 被认为是世界上的第一片 DSP 芯片。然而,1980 年由日本 NEC 公司推出的 D7720 才是第一片具有硬件乘法器的商用 DSP 器件。进入 80 年代,随着计算机应用范围的扩大,迫切要求提高数字信号处理技术的速度,从而推动了 DSP 的进一步发展。1982 年美国 TI 公司推出首枚低成本、高性能的 TMS32010 系列 DSP,它是一个 16 位的定点芯片,采用了哈佛结构和硬件乘法器,完成一次乘加操作(MAC)需要 390ns。该芯片的问世,使 DSP 技术得到了重大突破。1985 年 TI 推出了 TMS32020 系列 DSP,它的寻址空间达到 64K 字,有专门的地址寄存器,一次乘加运算需要 200ns。在此期间,许多公司也陆续推出了各种 DSP 芯片,如 ADI 的 ADSP2100, Motorola 的 DSP56001 和 AT&T 的 DSP16A 等。

进入 20 世纪 90 年代以后, DSP 技术得到了惊人的发展, 这体现在 DSP 的性能和指标不断提高, 而其芯片尺寸和功耗却在不断减小, 价格也在逐年降低。在这一时期, 世界各著名集成电路厂家相继采用先进技术研制了各种定点和浮点 DSP, 如 TI 公司的 TMS320C20、C30、C40、C50、C80 系列, ADI 公司的 ADSP21xx、ADSP21xxx 系列, Motorola 的 DSP9600 系列等。它们的硬件结构更加适应数字信号处理的需要, 在处理速度和运算能力方面有了极大的改进, 其单周期指令的执行时间已经提高为 80~100ns, 在存储容量上也得到成倍提高, DSP 一般采用 3.3V(I/O) 和 1.8V(内核) 供电, 降低了芯片的功耗, 并支持 JTAG 口进行在线仿真调试等。

自 1997 年至今, DSP 的发展进入了完善阶段。在这个时期, 普遍采用了 0.25 μm 或 0.18 μm 的 CMOS 工艺, 集成程度的突破带来了芯片密度的剧增, DSP 的片内存储容量达到了几百千字节; DSP 的内核采用 1.2V 供电, 使功耗进一步降低; 运行时钟的突破带来了性能的飞跃和速度的大幅度提高, 其中, TI 公司的 TMS320C64x 及 ADI 公司的 Blackfin 系列的计算速度高达每秒钟执行 1G 条指令。DSP 不仅在信号处理能力方面更加完善, 其开发手段也更加方便, 编译优化的方法更加灵活。如 TI 公司制定的软件接口规范 XDAIS(eXpressDSP Algorithm Interface Standard) 为软件资源的融合构筑了一个通用平台, 从而规范了 DSP 的编程, 为 DSP 的开发应用提供了条件。

近年来, DSP 在国内外的应用市场上都取得了长足的进展, 特别是在无线通信、宽带网络以及由此而拓展的流媒体应用领域, DSP 都取得了重大突破。

目前, 全球 DSP 市场中的主要厂商有: 美国 TI、ADI、Motorola、Zilog 等公司。其中, 美国德州公司(TI)是全球最大的 DSP 制造商, 它已先后推出多代 DSP 产品。近年来, 在原有产品的基础上, 发展起三大系列的 DSP 芯片: TMS320C2000、TMS320C5000 及 TMS320C6000 系列, 它们的使用领域分别介绍如下。

(1) TMS320C2000 系列。该系列是作测控应用的 16 位/32 位定点 DSP, 执行速度最高达 150MIPS。除了具有信号处理能力很强的 CPU 之外, 片内还集成有功能强大的事件管理器(EV)和多种片内外设, 并配置了方便齐全的接口, 非常适用于信号处理算法复杂的控制应用场合。其主流产品为两个系列: C24x 和 C28x。它主要用于数字马达控制、电机控制、数字电源、机器人、工业自动化和智能传感器等嵌入式应用领域。

(2) TMS320C5000 系列。该系列是低功耗的 16 位定点 DSP, 处理速度最高可达 600MIPS, 功耗低至 0.12mW。主流产品为两个系列: C54x 和 C55x, 还推出了双路处理器、单芯片 OMAP(DSP+RISC)器件等。该系列适用于个人和便携式产品, 如数字音乐播放器、数码相机、VoIP 及 2G、2.5G、3G 手机和基站、GPS 接收器、便携式医疗设备、PDA、网络电话、服务器、寻呼机、多种便携式信息系统以及消费类电子产品等。

(3) TMS320C6000 系列。该系列是 32 位 DSP, 具有领先的性能(高达 24000MMACS)、功效(低至 470mW 工作功耗/7mW 待机功耗)和价值(1ku 数量的价格低至 6.65 美元), 非常适合于影像/视频、通信和宽带基础设施、工业、医疗、测试和测量、高端计算和高性能音频等应用。C6000 又分为浮点/定点单核 DSP、多核 DSP、C6-Integra™ DSP + ARM 及媒体处理器, 其中典型单核 DSP 包括 C62x、C64x(定点 DSP)和 C67x(浮点

DSP)。例如, TMS320C6414T/15T/16T 采用 90nm 工艺, 工作主频高达 1.1GHz, 可用于无线基站、Modem、网络系统、中心局交换机、数字音频和视频等; C67x 可用于基站数字波束形成、语音识别、医学图像处理 and 3D 图形以及混频器、音频合成器、音频会议和广播等。在此基础上, TI 又推出了更高性能的单核 C645x 及低功耗 C674xDSP 及多核 C66x、C647xDSP, 其中 C6678 含最多 8 个 C66xCPU 内核, 峰值高达 32000 MMACS。

媒体处理器 TMS320DM64x 和最新的 DaVinci 芯片 DM644x、DM646x 等, 专用于音频与视频处理, 为数字媒体应用提供了集成处理器、软件和开发工具, 从而简化了设计流程, 加速了产品的创新。

C6-Integra™ DSP+ARM 包括浮点和定点 DSP(C674CPU、速度高达 1.5GHz)以及 ARM Cortex™-A8(速度高达 1.5GHz)的高性能 C6A816x 器件以及基于 DSP+ARM9 器件的 OMAP-L1x 应用处理器。内含集成的高带宽外设及 3D 图形和显示引擎, 并支持操作系统: DSP/BIOS、Linux、Windows Embedded CE 等。

ADI 公司的 DSP 也在市场中占有较大份额, 主要有下列 4 个系列。

(1) ADSP21xx 系列。该系列是代码和引脚兼容的定点 DSP 家族, 具有高达 160MHz 的工作频率和低至 184 μ A 的功耗。主要以 218x 和 219x 系列为代表。采用改进型哈佛结构, 并行处理能力强, 内部 RAM 较大, 外围接口多, 适合作为语音处理和话音频带调制解调以及实时控制应用。

(2) SHARC 系列。该系列是 32 位浮点 DSP, 它具有卓越的 I/O 吞吐率的优异内核, 有高水平的浮点处理性能, 利用 ADI 的片间互连技术(LINK 口)可以很方便地将几十片 SHARC 连接起来组成 DSP 阵列, 主要应用于雷达、声呐信号、家庭和汽车音响以及医用、工业和仪器仪表产品处理等领域。

(3) TigerSHARC 系列。该系列是从 SHARC 系列发展而来的高端 DSP, 比 SHARC 具有更高的浮点运算功能。它提供 GFLOPS 的操作能力, 并具有 1GB/s 吞吐率的多处理链路口, 可以无缝连接多个 TigerSHARC 处理器。目前有 TS101、TS201 两个系列。TigerSHARC ADSP-TA201 主频高达 600MHz, 处理能力为 14.4GFLOPS, 片内具有超大容量的 RAM, 尤其适合于通信和视频应用。

(4) Blackfin 系列。该系列是 ADI 近几年推出的低功耗高性能的 16/32 位 DSP, 主要型号有 BF531/BF532/BF533/BF535 等。它非常适合于多格式音频、视频、语音和图像处理、多模式基带和分组处理、控制处理和实时安全性等。由于它具有软件灵活性和可扩展性的独特结合, 为 Blackfin DSP 赢得了广泛的应用领域。

表 1-1 给出了目前 TI 公司和 ADI 公司的主流 DSP 的一些特性。

表 1-1 主流 DSP 的特性

芯片 特性	TMS320C6416T	TMS320C6713B	ADSP-21991 (21xx)	ADSP-BF533 (BlackFin)	ADSP-21369 (SHARC)	ADSP-TS201S (TigerSHARC)
主频/MHz	1000	300	160	750	400	600
MMACs	8000	600		1500	800	4800