

IBM PC/XT 微型计算机

原理及接口技术

苏州电子计算机厂

IBM PC/XT 微型计算机

原理及接口技术

张 昆 藏 编
白 英 彩 审

苏州电子计算机厂
一九八六年九月

前言

IBM 公司为世界上最大的计算机制造厂，它主要生产大、中型计算机，只是到七十年代末才决心占领微机市场，1980 年宣布要推出一种个人计算机，不到一年的时间 IBM PC 就问世了。以后又相继推出了 IBM PC/XT、IBM PC/AT、IBM XT/370、IBM PC/3270 和 IBM RT PC 等个人计算机。IBM 个人计算机系统采用了 iAPX86/88 系列作为它的处理机，如 IBM PC 和 IBM PC/XT 是以 8088 CPU 和 8087 NDP 来组成它的处理机子系统。IBM 个人计算机以其结构设计先进、性能价格比高、软件配置丰富，尤其有强大技术优势作后盾，发展远景好，因而争取了越来越多的用户，已成为微型机的主流产品。我国的 0520 系列微型机是与 IBM PC 兼容的一种优选微型计算机系统。

IBM PC 及其兼容机广泛地应用于工程设计、科学计算、事务处理、企业管理、信息通讯、过程控制、智力教育等各个领域。为了使读者更深入地掌握这种微机技术，以利使用、维护和扩展它的功能，我们编写了这本书，期望用不长的篇幅就能使读者理解掌握 IBM PC/XT 微机的系统结构、工作原理和接口技术。

本书共十章，可分为三个部分。

第一章是全书的基础部分。前三节介绍 8088 微处理器的内部结构、工作在最大组成方式的引脚信号以及如何与 8284A 时钟发生器、8288 总线控制器组成一个处理机子系统实现对系统总线的控制。后三节介绍 8086/8088 汇编语言程序设计的基础知识。在阐述 8086/8088 寻址方式、指令系统、常用的汇编命令时并给出不少程序例子以帮助读者理解较为艰涩的汇编语言。我们将介绍的范围限于 IBM PC 的 ASM 汇编程序规模，可满足阅读 ROM-BIOS 和 PC-DOS 程序文本以及应用于过程控制、检测等方面的需要。至于宏汇编和条件汇编，读者再阅读有关手册也就不难掌握了。

第二～五章为第二部分。这部分首先介绍了 8088 CPU 和 8087 NDP 组成的主协式多处理机系统，这是 IBM PC/XT 的核心。系统板上已接好 8087 的插座，用户只需插入 8087 芯片就可构成这个系统。为读者使用 8087 的方便，本书较为详细地介绍了 8087 的内部结构、工作原理和指令系统，并给出 8087 汇编语言程序设计例子。接着介绍了 IBM PC/XT 的系统存储器和磁盘存储器、DMA 控制器和总线结构。8237-2 DMA 控制器是系统中的另一个主控器，它和处理机子系统共享系统总线的逻辑决定了 IBM PC/XT 的总线结构。DMA 控制器担负着动态 RAM 的刷新以及磁盘和内存之间的批量数据传送，为说明 DMA 的功能，我们将软磁盘驱动器适配器放在这部分中先行介绍了。最后介绍系统板上的外围接口芯片：8255A 可编程并行接口、8253-5 可编程定时器/计数器、8259A 中断控制器和 IBM PC/XT 的中断系统，这样既对 IBM PC/XT 的系统结构有了完整的认识又为第三部分的学习打好了基础。

第六～十章为本书的接口技术部分。介绍了键盘接口、彩色显示器接口、打印机接口、异步通信接口等。各个部分都是先介绍一般工作原理，再介绍硬件逻辑，最后分析 ROM-BIOS 为其接口提供的 I/O 驱动程序。为说明如何调用这些 I/O 驱动程序，还给出了应用实例，这些例子也取之于 ROM-BIOS 程序文本。这样的阐述可使读者对 ROM-BIOS

有一个全面的、深入的理解。最后一章通过对系统的冷热启动、磁盘操作系统的自举装入等知识的介绍,明确ROM-BIOS的组成和它在操作系统中的地位、作用,使读者对ROM-BIOS这个最基础的系统软件有一个完整且清晰的认识。

我们希望本书能对从事使用和开发 IBM PC/XT 及其兼容机的读者有所裨益,也希望它能成为计算机应用专业师生的一本有价值的参数参考书或教材。但是限于我们的水平加上编写时间的仓促,书中难免有错误和不妥之处,恳请读者予以批评指正。

PC 兼容机 1986 年 6 月 编者 IBM PC/XT IBM PC/AT IBM XT/30 IBM PC

大柱朱做特作发展,因而争来了越来越多的用户,已成为微型机的主流产品。IBM 个人计算机以其结构设计先进,性能价格比高,软件配置丰富,尤其容易于兼容。IBM 个人计算机以其结构设计先进,性能价格比高,软件配置丰富,尤其容易于兼容。IBM 个人计算机以其结构设计先进,性能价格比高,软件配置丰富,尤其容易于兼容。

我国的0520系列驱逐舰就是采用IBM PC兼容的一种微型计算机系统。

IBM PC 及其兼容机广泛地应用于工程设计、科学计算、事务处理、企业管理、信息传递、过程控制、教育训练各个领域。为了适应更高速度大容量数据处理的需要，以网络和数据库为基础的分布式系统应用日益广泛。这种系统由多台计算机组成，能同时处理大量的数据，并能对数据进行集中管理，使数据资源得到充分的利用。

IBM PC\XT 微机的系统结构, 工作原理和接口技术。

。台階个三式台同，章十共件本

ROM-BIOS 和 PC-DOS 程序文本以及应用于控制、检测和需要的。至于本 BIOS 较为精密的汇编语言我们介绍的部分在 IBM PC 的 ASM 汇编语言中，虽然简单，但用 BASIC 语言可以写不少命令并给出一些例子。在本章第一节中将介绍 BIOS 的基本部分。前三节介绍 8088 微处理器内部的结构。本章最后一节将介绍 BIOS 与 DOS 的关系。

IBM PC\XT的系統，這是IBM PC\XT的核心。系統板上已裝有8087的樹膠，用戶只需加入2~第一章二次分路。這部分首先介紹了8088 CPU 8087 NDP組成的主樹膠。

8087芯片可與這個系統一起使用，更本軟件將對其進行介紹。8087在內部的系統，並給出8087編譯器有程序設計例子。接著介紹了IBM PC\XT的系統結構和磁盤存儲器、DMA控制器和總線結構。8237-2 DMA控制器的系統中另一個主控器，它將處理于系統共享總線的雙重定時IBM PC\XT的動態RAM的編碼以及磁盤緩衝器和DMA控制器的數量緩衝器，說明DMA的功能。我們將磁盤驅動器配置在這部分中予以介紹。最後介紹板上的外圍接口芯片：8252A可編程并發接口，8253-5可編程定時器/計數器，8259A中的IBM PC\XT的中斷系統，這樣即可對IBM PC\XT的系統進行定時的解釋。

。脚基丁铁件区掌由台踏三梁改又用

[illegible]

目 录

第一章 8088 微处理器及其汇编语言程序设计基础	(1)
第一节 8088 微处理器结构	(1)
一 8088 芯片内部结构	(1)
二 芯片外部存访空间结构	(3)
第二节 8088 引脚信号及总线控制逻辑	(5)
一 工作在最大组成方式的 8088 引脚	(5)
二 8288 总线控制器	(7)
三 系统总线时序	(8)
第三节 时钟发生器和等待状态发生器	(10)
一 8284A 时钟发生器	(10)
二 等待状态发生器	(12)
第四节 8086 指令格式和寻址方式	(13)
一 汇编级指令格式	(14)
二 寻址方式	(15)
三 机器级指令格式	(17)
四 各种寻址方式下的操作数表达式	(21)
第五节 8086 指令系统及使用举例	(29)
一 数据传送指令	(30)
二 算术运算指令	(35)
三 位处理指令	(43)
四 转移指令和迭代控制指令	(45)
五 过程调用指令和中断指令	(53)
六 处理机控制指令	(56)
七 字符串操作指令	(57)
第六节 基本的汇编命令	(64)
一 属性算符	(64)
二 伪操作命令	(67)
三 汇编——连接过程简介	(77)
第二章 PC/XT 的多处理器系统	(85)
第一节 PC/XT 的多处理器结构和局部总线	(85)
一 多重处理系统的三种基本结构	(85)
二 PC/XT 的多处理器结构	(87)
三 局部总线	(88)

第二节	8087 数值数据处理结构	(89)
一	NDP 的数据类型	(90)
二	NDP 的内部结构	(92)
第三节	8087 指令集和编程举例	(94)
一	8087 指令格式	(94)
二	8087 指令分类	(95)
(1) 三	编程举例	(99)
第三章	PC/XT 的系统存储器 and 磁盘存储器	(102)
第一节	PC/XT 系统存储器配置	(102)
第二节	动态 RAM 及奇偶校验	(104)
(2) 一	64k $\times$ 1 位的动态 RAM 芯片	(104)
(2) 二	PC/XT 系统板上的动态 RAM 结构	(105)
(3) 三	奇偶校验	(107)
第三节	PC/XT 的磁盘存储器	(108)
(01) 一	PC/XT 磁盘驱动器的配置	(108)
(01) 二	软磁盘信息记录格式	(109)
第四节	软盘驱动器接口技术	(110)
(81) 一	软盘控制器的信号和内部寄存器	(111)
(81) 二	软盘控制器的命令和工作过程	(114)
(81) 三	IBM 5.25 英寸软盘适配器电路分析	(115)
第四章	DMA 控制器和系统总线结构	(126)
第一节	控制器的连接	(126)
(08) 一	DMA 控制器的主从工作方式	(126)
(08) 二	DMA 控制器的引脚信号	(127)
(08) 三	DMA 控制器的时序	(129)
第二节	8237A-5 DMA 控制器的编程	(130)
(28) 一	DMA 操作格式和传送类型	(131)
(82) 二	8237A-5 的内部寄存器	(131)
(82) 三	编程举例	(133)
第三节	PC/XT 的系统总线结构	(135)
(18) 一	总线仲裁器和系统总线结构	(135)
(18) 二	IBM PC 总线标准	(138)
第五章	系统板上的 I/O 芯片和中断系统	(141)
第一节	8255A-5 可编程并行接口	(141)
(28) 一	8255A-5 的性能和操作模式	(141)
(28) 二	8255A-5 在系统板上的连接使用	(145)
第二节	8253-5 可编程定时器	(147)
(78) 一	8253-5 的性能和工作模式	(147)
(88) 二	8253-5 在系统板上的连接使用	(150)

第三节	以单片 8259A 实现硬件中断管理	(153)
(1-1)	8259A 引脚信号及内部结构	(153)
(1-2)	8259A 的编程使用	(154)
第四节	PC/XT 的中断系统	(158)
(2-1)	中断类型和中断向量表	(158)
(2-2)	0~4 型的中断	(161)
第六章	键盘接口技术	(163)
第一节	键盘及其接口电路	(163)
(3-1)	键盘功能简介	(163)
(3-2)	8048 单片机	(166)
(3-3)	键盘接口电路	(168)
第二节	键盘硬件中断处理	(170)
(3-4)	键盘标志和键盘缓冲区	(170)
(3-5)	键盘硬件中断服务程序框图	(172)
第三节	键盘 I/O 功能程序	(174)
第七章	CRT 显示器接口技术	(176)
第一节	CRT 显示器原理和配置	(176)
第二节	彩色显示器适配器	(179)
一	操作模式和颜色控制	(180)
二	CRT 控制器和同步扫描	(184)
三	象点的颜色编码和串行输出	(189)
四	状态读出和光笔接口	(192)
第三节	显示 I/O 功能程序	(194)
第四节	软件中断 INT 10H 使用举例	(205)
第八章	打印机接口技术	(208)
第一节	IBM 80 CPS 打印机	(208)
一	针式打印机工作原理	(208)
二	IBM 80 CPS 打印机类型	(209)
三	80 CPS 图形打印机的性能	(209)
第二节	打印机适配器和打印 I/O 功能程序	(213)
一	打印机适配器框图	(213)
二	打印机接口信号	(214)
三	打印机 I/O 功能程序	(216)
第三节	软件中断 INT 17H 使用举例	(218)
第九章	异步通讯接口技术	(221)
第一节	串行通讯及串行总线标准	(221)
一	串行通讯的一般概念	(221)
二	串行总线标准 RS-232C	(226)
第二节	异步通讯适配器	(230)

(801)	INS 8250 的性能和引脚信号	(231)
(802)	INS 8250 内部寄存器	(234)
第三节 异步通讯 I/O 功能程序		(239)
第十章 IBM PC/XT 的 ROM-BIOS		(242)
第一节 ROM-BIOS 的组成及其在 PC-DOS 中的地位		(242)
(101)	ROM-BIOS 的组成	(242)
(102)	ROM-BIOS 对 PC-DOS 的支撑	(243)
(103)	ROM-BIOS 对 PC-DOS 的引导	(244)
第二节 冷启动及热启动		(248)
第三节 有硬盘设备时的中断向量表		(251)
第四节 几个特殊的中断向量使用说明		(255)
(001)	临时中断向量	(255)
(002)	键盘间断和定时器报时中断向量	(256)
(003)	参数表指针	(257)
附录 I 汇编指令系统参考		(259)
(101)	指令系统	(259)
(102)	指令系统	(259)
(103)	指令系统	(259)
(104)	指令系统	(259)
(105)	指令系统	(259)
(106)	指令系统	(259)
(107)	指令系统	(259)
(108)	指令系统	(259)
(109)	指令系统	(259)
(110)	指令系统	(259)
(111)	指令系统	(259)
(112)	指令系统	(259)
(113)	指令系统	(259)
(114)	指令系统	(259)
(115)	指令系统	(259)
(116)	指令系统	(259)
(117)	指令系统	(259)
(118)	指令系统	(259)
(119)	指令系统	(259)
(120)	指令系统	(259)
(121)	指令系统	(259)
(122)	指令系统	(259)
(123)	指令系统	(259)
(124)	指令系统	(259)
(125)	指令系统	(259)
(126)	指令系统	(259)
(127)	指令系统	(259)
(128)	指令系统	(259)
(129)	指令系统	(259)
(130)	指令系统	(259)
(131)	指令系统	(259)
(132)	指令系统	(259)
(133)	指令系统	(259)
(134)	指令系统	(259)
(135)	指令系统	(259)
(136)	指令系统	(259)
(137)	指令系统	(259)
(138)	指令系统	(259)
(139)	指令系统	(259)
(140)	指令系统	(259)
(141)	指令系统	(259)
(142)	指令系统	(259)
(143)	指令系统	(259)
(144)	指令系统	(259)
(145)	指令系统	(259)
(146)	指令系统	(259)
(147)	指令系统	(259)
(148)	指令系统	(259)
(149)	指令系统	(259)
(150)	指令系统	(259)
(151)	指令系统	(259)
(152)	指令系统	(259)
(153)	指令系统	(259)
(154)	指令系统	(259)
(155)	指令系统	(259)
(156)	指令系统	(259)
(157)	指令系统	(259)
(158)	指令系统	(259)
(159)	指令系统	(259)
(160)	指令系统	(259)
(161)	指令系统	(259)
(162)	指令系统	(259)
(163)	指令系统	(259)
(164)	指令系统	(259)
(165)	指令系统	(259)
(166)	指令系统	(259)
(167)	指令系统	(259)
(168)	指令系统	(259)
(169)	指令系统	(259)
(170)	指令系统	(259)
(171)	指令系统	(259)
(172)	指令系统	(259)
(173)	指令系统	(259)
(174)	指令系统	(259)
(175)	指令系统	(259)
(176)	指令系统	(259)
(177)	指令系统	(259)
(178)	指令系统	(259)
(179)	指令系统	(259)
(180)	指令系统	(259)
(181)	指令系统	(259)
(182)	指令系统	(259)
(183)	指令系统	(259)
(184)	指令系统	(259)
(185)	指令系统	(259)
(186)	指令系统	(259)
(187)	指令系统	(259)
(188)	指令系统	(259)
(189)	指令系统	(259)
(190)	指令系统	(259)
(191)	指令系统	(259)
(192)	指令系统	(259)
(193)	指令系统	(259)
(194)	指令系统	(259)
(195)	指令系统	(259)
(196)	指令系统	(259)
(197)	指令系统	(259)
(198)	指令系统	(259)
(199)	指令系统	(259)
(200)	指令系统	(259)

第一章 8088 微处理器及其汇编语言程序设计基础

本章前三节介绍 8088 微处理器的结构、工作在最大组成方式下的引脚信号以及 8088 微处理器对总线的控制, 阐明 8088 和 8284A 时钟发生器、8288 总线控制器组成的处理机子系统。后三节介绍 8086/8088 的指令系统、寻址方式以及基本的汇编命令, 并给出不少汇编语言程序设计实例。本章是后面各章的基础篇。

第一节 8088 微处理器结构

1978 年 Intel 公司推出了第一种高性能的 16 位微处理器——8086。此后很快又推出若干种 CPU, 以及全套支持芯片, 形成一个 8086 系列。8088 CPU 就是此系列的一员。它采用了 8 位数据总线接口、16 位内部体系结构, 因而填补了 8 位与 16 位处理器之间的鸿沟。这种处理器与 8086 软件完全兼容, 又可与 8080/8085 硬件和外设兼容。

一、8088 芯片内部结构

8088 内部为 16 位体系结构, 有 14 个 $\times 16$ 位寄存器组。分为执行部件 EU 和总线接口部件 BIU 两大部分。其结构框图示于图 1-1。

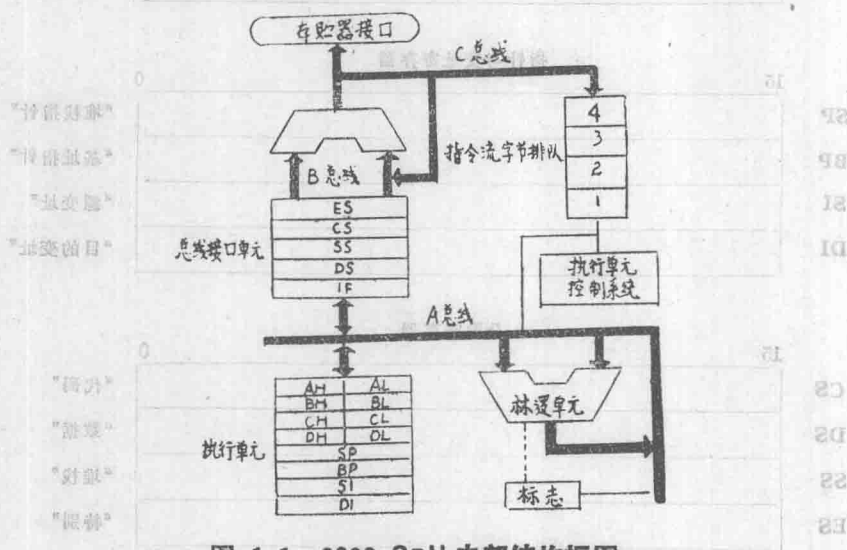


图 1-1 8088 CPU 内部结构框图

EU 的功能是负责指令的执行, 向 BIU 提供数据和地址, 管理通用寄存器、指令操作数和标志。除少数管脚(如 S_0)外, EU 和外界是隔绝的。BIU 的功能是负责取指令, 读操作数, 写存结果等, 即和外部总线连接执行各类总线周期。利用 BIU 标有 Σ 的加法器, 将段寄存器的值扩大 2^4 倍后, 加上段内偏移量, 得到 20 位物理地址。因此直接寻址能力达一兆字节。BIU 将由系统存储器取来的指令字节存入指令队列缓冲器, 这是一个四字节的

先进先出存储阵列。队列移出的指令字节由 EU 取走执行。A 总线用于两个部件之间的数据传送。

8088 内部分成可以相对独立运行的这两大部件，是为了在大多数场合下，取指令和执行指令互相覆盖，以提高运行速度。8086/8088 采用先行取指的工作方式——只要在执行当前指令时，CPU 未占用总线和外部交换数据(读或写)，它就使用总线从内存取指，除非指令队列缓冲器已满。这就提高了总线的吞吐能力，并且 CPU 刚执行完一条指令，下一指令已在 CPU 内部就绪，也提高了 CPU 的运行速度。虽然在 EU 遇到转移调用返回类的指令时会把 BIU 中的指令队列清除，使先取的指令字节不能用，但平均而言，分枝指令在一个程序中的数目仅占很小比例，先行取指的优点仍很明显。为避免 BIU 滥用总线，应合理选择指令队列缓冲器的长度。8086 指令队列有 6 字节长，并在有 2 字节“空”时才取指；8088 的指令队列缩短到 4 字节长，并只要有一字节“空”时就取指，这是 8086 和 8088 在内部结构上的差异。

EU 和 BIU 共有 14 个 16 位寄存器，示于图 1-2。这 14 个寄存器可分为四组：

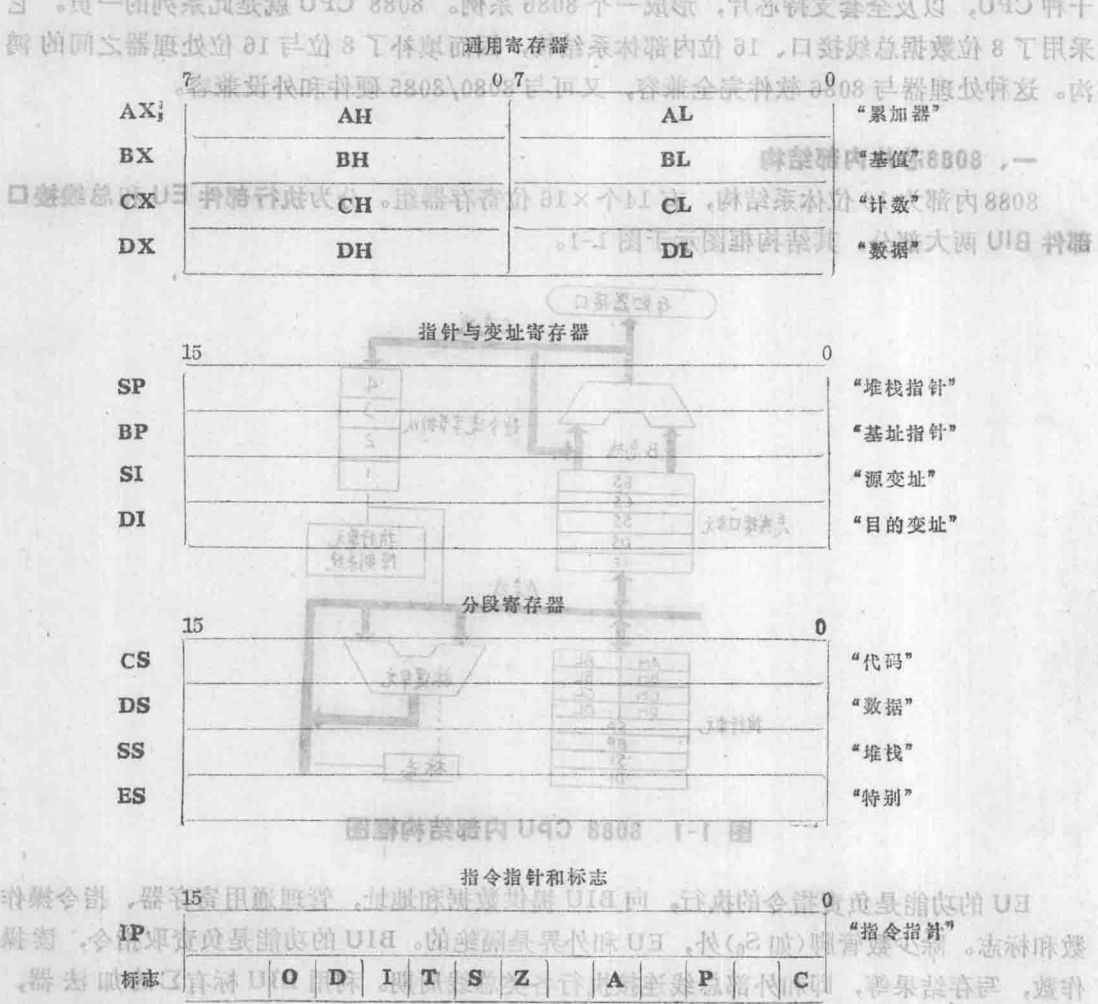


图 1-2 8088 的 14 字 × 16 位寄存器

(1) 通用寄存器

这是指AX、BX、CX和DX等寄存器。每个通用寄存器可分为高位部分和低位部分。这两部分可以单独用作两个8位的寄存器，也可以一起作为一个16位寄存器来使用。这使得它们在处理字和字节的时候同样容易。一般来说，凡是通用寄存器的内容，均可参加算术逻辑运算，指令有互换性。这就是它们称之为通用寄存器的原因。但是某些寄存器也有自己的特殊用途，例如循环和字符串指令中要求用CX作为计数器，而AX、BX、DX就不能用于这种场合，正是这种特殊用途使CX被称为“计数”寄存器。同理使AX称为“累加器”，BX称为“基值”，寄存器DX称为“数据”寄存器。

(2) 指针与变址寄存器

这是指SP、BP、SI和DI等寄存器。这几个寄存器一般用来存放在段内寻址的偏置值。正是由于这些寄存器才能使得寄存器间址、基值寻址、变址寻址、基值加变址寻址等操作成为可能。指针寄存器(SP和BP)一般提供对堆栈分段内的访问。压入堆栈和弹出指令规定使用SP；而对非栈顶元素的访问可用BP。变址寄存器(SI和DI)一般提供对数据分段内的访问。由于在字符串操作指令中规定SI为源操作数的偏置值，DI为目的操作数的偏置值，故使它们分别获得“源变址”和“目的变址”寄存器的名称。

(3) 分段寄存器

这是指CS、DS、SS和ES等寄存器。这些寄存器用来标识当前可寻址的四个分段，在使用上它们之间不能互换。CS标识当前代码分段。一切指令都是从此段取出的。SS标识当前堆栈分段。这是一个先进后出的数据区，凡是以压栈、弹出操作来存取数据时都在此段内进行。DS标识当前数据分段。除字符串操作目的数要放入特别数据分段ES以及用BP间址存取的数据是在SS段以外，一般数据存取都是发生在数据分段内。

(4) 指令指针和标志寄存器

指令指针IP是一个专用的16位寄存器。若把指令队列缓冲器看成一般处理器的指令寄存器的话，那么IP和SS一起就相当于处理器的程序计数器PC。标志寄存器FLAGS是16位长度，但只使用9位。这又可分为状态标志和控制标志两种。状态标志是进位(C)、全零(Z)、符号(S)、溢出(O)、低半字节进位(A)和奇偶(P)这六个标志，一般由前一运算结果建立，常用作条件分枝指令的判断依据，故常称为条件标志。控制标志用于控制处理器的某种操作，它们是方向标志(D)，为1时串操作指令为自动减量，为0时为自动增量；中断允许标志(I)，为1允许响应可屏蔽中断请求，为0则禁止响应；陷阱标志(T)，为1时使处理器进入单步方式以便程序跟踪调试。

二、芯片外部存访空间结构

8086/8088率先打破微处理器64k字节存储空间的限制，可直接寻址高达一兆字节的存储空间。为能以16位机形成20位物理地址而又保持各种寻址方式的灵活性，8086/8088采用了将存储空间分段的概念，以段和段内偏移量来指定地址。

以16位分段寄存器的内容乘以 2^4 后的20位为首址。以各种寻址方式形成的16位有效地址为段内偏移量，即段内偏移量在0000H~FFFFH使段的长度最大为64k。段可以相互复盖也可以16字节为单位重新定界。图1-3给出了将存储空间分为代码段、堆栈段、数据段和特别数据段(或称附加数据段)的一个实例，其中堆栈段和数据段部分复盖。

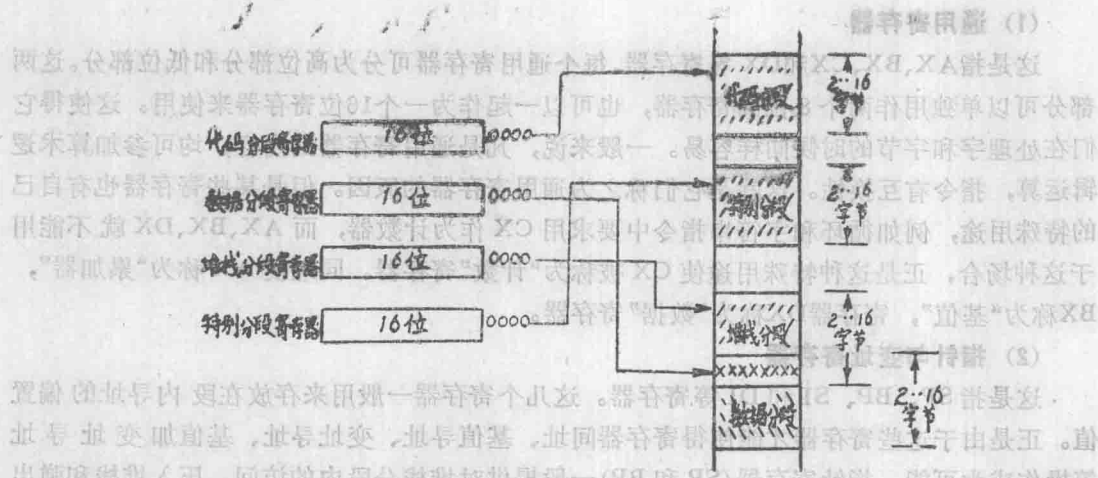


图 1-3 存储空间的分段实例

举例来说，若代码段寄存器的内容为 C018H，则使存储空间代码分段的地址范围是 C0180H~D017FH，若偏移量为 FE7FH，则形成的物理地址为 CFFFFH。其情况示于图 1-4。前已说过，这一形成过程是由 BIU 中的 E 加法器自动完成的。

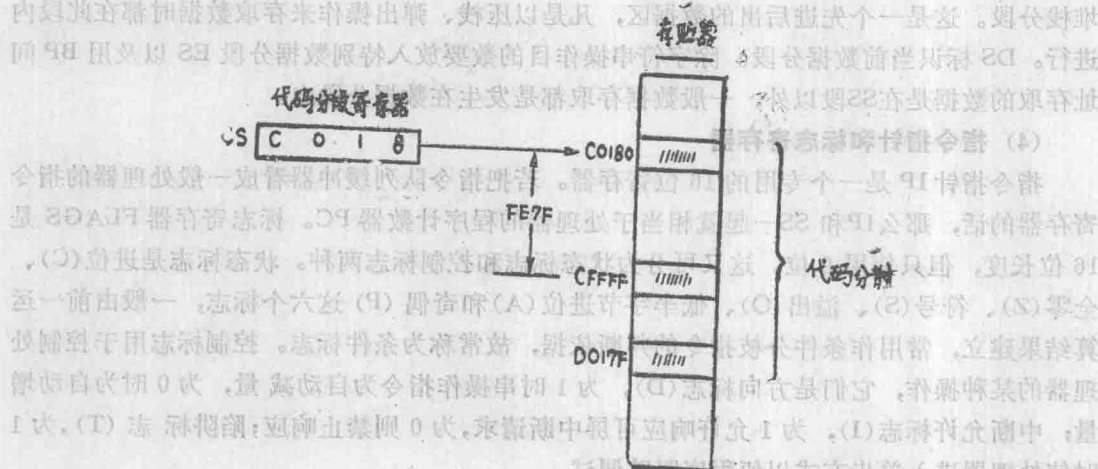


图 1-4 地址形成举例

这种分段结构给初学者带来一些不便。主要是段寄存器名一般不出现在指令的机器码和汇编格式中，而是由操作的性质隐含指定的，这就是“缺省”规则；其次，段寄存器和指针、变址寄存器有较为固定的配用关系，即“搭配”规则；最后，若在指令之前加上 CS、DS、ES 或 SS 等一字节的前缀，以指定的段寄存器替代隐含的段寄存器，也存在“替换”规则。这些规则如下：

存贮器存取方式	段 缺 省	段 替 换	偏 移
取指令	CS	不可	IP
堆栈操作(PUSH POP CALL RET 等指令)	SS	不可	SP
数据存取 (BP 的间址寻址方式除外 BP 的间址寻址方式时)	DS	ES, CS, SS	有效地址 EA
	SS	ES, CS, DS	有效地址 EA
字符串处理指令 (源 目的)	DS	ES, CS, SS	SI
	ES	不可	DI

8088 的存贮器接口是 8 位的, 每一总线周期只存取一字节, 存贮空间的二个连续地址单元构成一个“字”, 它同样有完成 16 位存取的指令, 但需要连续的两个总线周期来执行。8086 的存贮器接口是 16 位的, 每一总线周期总是存取以偶地址起始的两个连续单元, 并以偶地址单元为低位字节, 以奇地址为高位字节。当然, 忽略一字节就是 8 位的存取, 但是对以奇地址为始的一个“字”的存取那就需要两个总线周期了。

8088 的外部存访空间还包括 I/O 空间。8086/8088 可以访问的 8 位 I/O 端口, 若以直接地址计算为 256 个, 若以 DX 间址则可多达 2^{16} 个。这种端口类似于存贮器的字节, 两个连续的 8 位端口可以当作一个 16 位端口即类似于存贮器的字。不同之处在于没有端口分段寄存器, 即把所有端口均看成是在一个分段内。

8088 复位后, 指令队列缓冲器清除, 标志、DS、ES、SS 均清为零, 但 CS 为全 1 即 FFFFH, 指针 IP 亦清为零。于是程序将从 FFFF0H 开始执行。这一特点也要求存贮器的高地址空间为 ROM, 低端地址空间为 RAM, 其中 00000H~003FFH 的 1k 字节是为 8088 的 256 类中断所保留的。

第二节 8088 引脚信号及总线控制逻辑

上节分析了 8088 微处理器结构特点, 本节将分析它的组成方式和时序特点。8088 CPU 可工作于最小组成方式, 此时它的 33 号引脚(MIN/MAX)被接至 V_{cc} , 选择这种方式是用于单一处理器的小系统; 也可工作于最大组成方式, 此时 MIN/MAX 应接地, 这适应于多处理器的大系统。鉴于 PC/XT 的使用情况, 我们只分析最大组成方式。

一、工作在最大组成方式的 8088 引脚

8086/8088 CPU 在最大组成方式时引脚信号示于图 1-5。与其他微处理器类似, 引脚信号线也可分为三类, 即地址线、数据线和控制线

8088 数据信号线是 $AD_7 \sim AD_0$, 这是双向的 8 位口。8088 的地址线是 20 条即 $A_{19} \sim A_{16}$, $A_{15} \sim A_8$, $AD_7 \sim AD_0$ 。 $AD_7 \sim AD_0$ 是复用的即分时使用的。 $A_{19} \sim A_{16}$ 亦分时用于 $S_6 \sim S_3$ 状态输出。 $A_{15} \sim A_8$ 这 8 条地址线是在 8088 内部锁存的并在整个总线周期均保持有

效。

8086的数据口是16位的, $AD_{15} \sim AD_0$ 是复用的。为了读写8位字节和奇数地址的16位字方便起见, 8086使用34号引脚为高位字节允许(BHE)信号输出端, 8088不使用此脚。这是在最大组成方式时8086和8088在引脚信号方面的第二点差异。

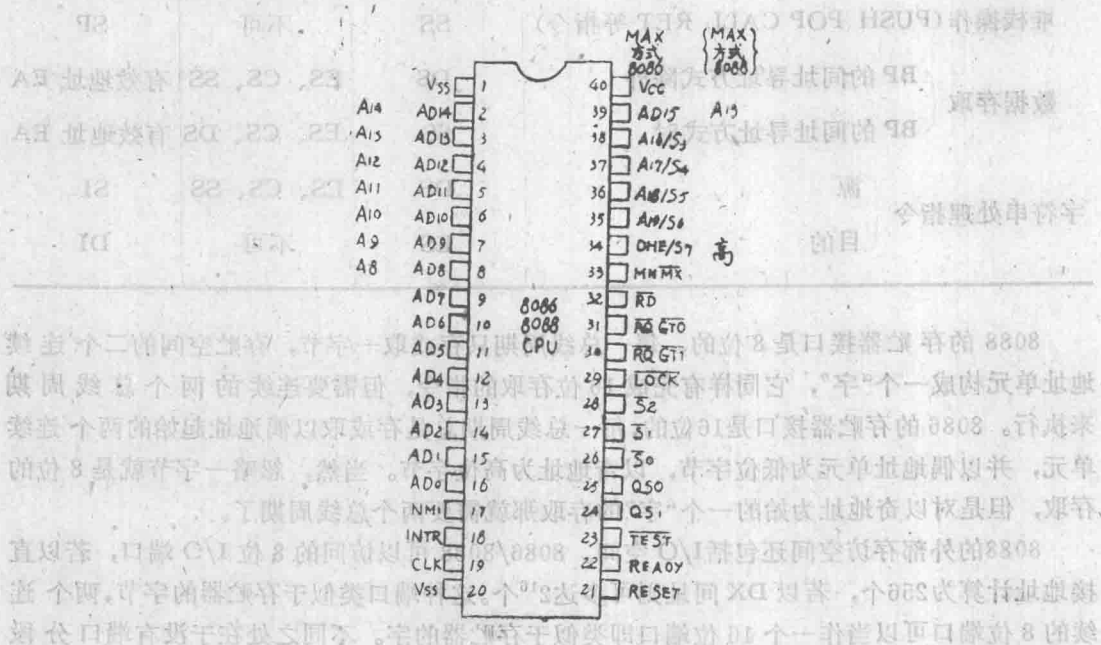


图 1-5 最大组成方式下 8086/8088 引脚

8086/8088 在最大组成方式下没有 $\overline{WR}$, $\overline{RD}$, $M/\overline{IO}$ 这些对存贮器、外设进行读写操作的直接控制信号输出。这些读写操作信号, 由CPU的28~26脚输出 $\overline{S_2}$, $\overline{S_1}$, $\overline{S_0}$ 三个状态信号送至8288总线控制器, 再由后者形成送出。

$\overline{S_2}\overline{S_1}\overline{S_0}$ 可表示8种总线周期类型。这里还有4个状态信号 S_6 , S_5 , S_4 , S_3 , 它们在总线周期的后半部分由35~38脚输出。 S_6 不使用。 S_5 表示中断允许标志位状态。 S_4 , S_3 表示当前正在被使用的寄存器。00为ES, 01为SS, 10为CS, 11为DS。

17号脚是不可屏蔽中断请求NMI信号输入端, 上跳沿触发。18号脚是可屏蔽中断请求INTR信号输入端, 高电平有效。21号脚是系统复位RESET信号输入端, 为使复位有效, 此信号至少应保持4个时钟周期的高电平。19号引脚是芯片时钟CLK信号输入端, 最高频率为5MHz, 占空比为33%时为最佳状态。22号引脚为就绪READY信号输入端, CPU在 T_2 时钟的结束和 T_3 (或 T_w)时钟的上升沿两个地方对READY信号取样, 若为低即插入一个等待时钟周期 T_w 。

8086/8088还为多处理器结构提供了下面四类信号: 24号25号引脚的 QS_1 , QS_0 是指令队列状态输出信号, 00为无操作, 10为队列缓冲器空, 01表示正在出队的字节是指令的第一字节, 11表示出队的字节不是指令的第一字节。这两个信号使辅助处理器能跟踪CPU的指令队列。31号30号引脚的 $\overline{RQ}/\overline{GT_0}$ 和 $\overline{RQ}/\overline{GT_1}$ 是双向、漏极开路的, 用于裁决总线使用权。输入低电平为请求(使用总线), 输出低电平为同意。在二者同时有请求时,

RQ/GT0 优先。23号引脚为测试TEST信号输入端。CPU 在执行等待指令时，每隔5个时钟周期就测试此端，若为低就执行下一条指令，否则继续等待。通常该信号与辅助处理器的BUSY输出端相连。29号引脚是锁定 LOCK 信号输出端。若所执行的指令带有一个字节的前缀 LOCK，那末在此指令执行过程该信号一直保持为低，此信号应送至总线仲裁电路使在此指令执行过程中不得发生总线控制权的转让，保证这条指令连续地被执行完。

除 RQ/GT 是漏极开路外，所有输出端都是三态。

二、8288总线控制器

8086/8088 工作在最大组成方式时必须使用总线控制器。8288 总线控制器是一个 20 引脚的芯片，其引脚信号和在 PC/XT 微机系统板上的连接使用情况示于图 1-6。它接收处理器时钟信号和 $\overline{S_2} \sim \overline{S_0}$ 的状态信号，产生存储器读写和 IO 读写命令信号、中断响应命令信号和对总线数据收发器、地址锁存器的控制信号。图中的 LS373 是带三态门输出的 8 位锁存器，QE 是低有效的输出允许控制信号，G 是门控信号，低电平锁存。LS244 是 8 位缓冲器，4 位一组有一门控输入信号 $\overline{G}$ ，为低电平时输出允许，为高电平时输出为浮态。LS245 是 8 位双向缓冲器，在 $\overline{Q}$ 输入为低时，如果 DIR=1，数据由 A 侧传向 B 侧；DIR=0，数据方向由 B 至 A。当 $\overline{Q}$ 输入为高电平时 A、B 不通。

8288 的 CKL 输入端接收 8284A 送来的时钟信号 CLK88，此信号亦被送至处理器，于是 8288 和处理器时间基准一致，动作同步。 $\overline{S_2}$ 、 $\overline{S_1}$ 、 $\overline{S_0}$ 是处理器送来的总线周期状态信号，8288 用于对这些信号的解读，产生命令信号和总线控制信号，如下表所示：

其中超前写命令 AIOWC、AMWC 分别和 IOWC、MWTC 服务的目的相同，只是前者超前一个时钟被启动。PC/XT 微机正是使用 AIOWC 作为 IOW，以 AMWC 作为 MEMW。

8288 对总线的控制输出信号是：a) DEN，数据收发允许“高”有效。b) DT/R，数据发送/接收，高为发送，低为接收。这两个信号被送至 LS245 数据收发器。c) ALE，地址锁存允许，当它负跳变时产生锁存。此信号被送至 2 片 LS373 地址锁存器和系统的地址译码电路。**注意：**8088 的 $A_{15} \sim A_8$ 8 位地址输出是 20 位地址线中不具双重功能的引脚。芯片内另有锁存功能故 PC/XT 中 $A_{11} \sim A_8$ 使用无锁存功能的三态缓冲器 LS244 是允许的。

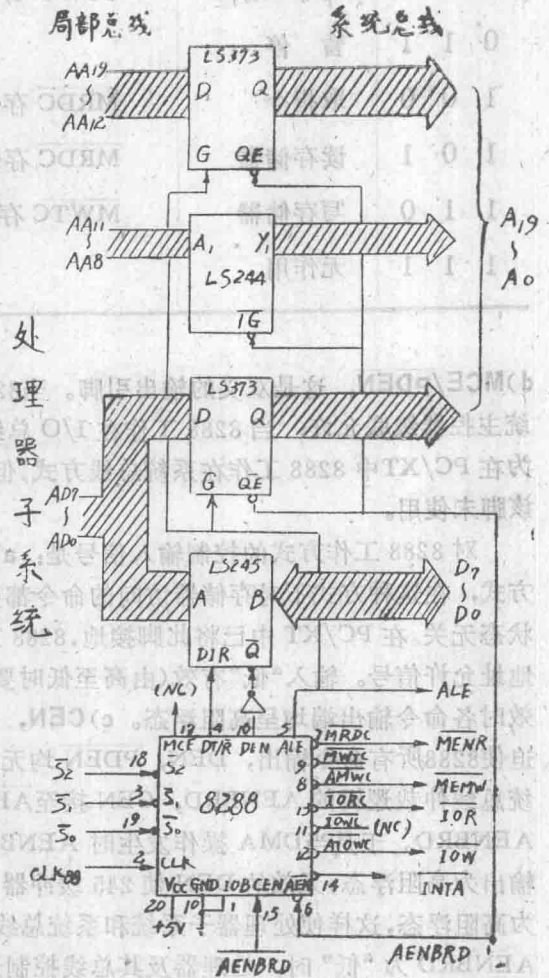


图 1-6 PC/XT 中 8288 对总线的控制

S_2 S_1 S_0	处理器总线周期	8288解读后输出的命令信号
0 0 0	中断响应	$\overline{INTA}$ 送至中断控制器,处理器要读中断向量
0 0 1	读I/O端口	$\overline{IORC}$ I/O 读命令
0 1 0	写I/O端口	$\overline{IOWC}$ I/O 写命令; $\overline{AIOWC}$ I/O超前写命令
0 1 1	暂停	
1 0 0	取指令	$\overline{MRDC}$ 存储器读命令
1 0 1	读存储器	$\overline{MRDC}$ 存储器读命令
1 1 0	写存储器	$\overline{MWTC}$ 存储器写命令; $\overline{AMWC}$ 存储器超前写命令
1 1 1	无作用	

d) $\overline{MCE}/\overline{PDEN}$, 这是双义的输出引脚。当8288工作在系统总线方式下时它是 $\overline{MCE}$, 即系统主控制器级联允许; 当8288工作在I/O总线方式下时它是 $\overline{PDEN}$, 即外围数据允许。因为在PC/XT中8288工作在系统总线方式, 但是又不需要系统主控制器(如8289A)的级联, 故该脚未使用。

对8288工作方式的控制输入信号是: a) $\overline{IOB}$ 。当它输入为高时, 8288工作在I/O总线方式, 在这种方式下对存储器访问的命令都无效; 所有访问I/O的命令有效而且与 $\overline{AEN}$ 的状态无关。在PC/XT中已将此脚接地, 8288工作在系统总线方式。b) $\overline{AEN}$, 8288芯片的地址允许信号。输入“低”有效(由高至低时要延迟115~200ns才有命令信号输出); 高无效时各命令输出端均呈高阻浮态。c) $\overline{CEN}$, 命令允许信号。输入“高”有效, “低”无效时迫使8288所有命令输出, $\overline{DEN}$, $\overline{PDEN}$ 均无效。在PC/XT系统板上8288的 $\overline{AEN}$ 接至系统总线仲裁逻辑的 $\overline{AENBRD}$, $\overline{CEN}$ 接至 $\overline{AENBRD}$, 2片373的QE和244的1G亦接至 $\overline{AENBRD}$ 。于是当DMA操作发生时 $\overline{AENBRD}$ 为高, 8288的 $\overline{AEN}$ 、 $\overline{CEN}$ 均无效, 命令输出为高阻浮态, 无效的 $\overline{DEN}$ 使245缓冲器A、B间不通, 地址锁存器(包括244)输出亦为高阻浮态, 这样使处理器子系统和系统总线脱开, 由DMA控制器享用系统总线。在 $\overline{AENBRD}$ 为“低”时, 处理器及其总线控制逻辑正常工作, 下面分析这种状态下总线时序。

三、系统总线时序

处理器通过系统总线和外界通讯以完成取指令数据存取等, 每完成这样一次传送(8086是16位, 8088是8位)的基本时间长度称为总线周期。一个总线周期由 $T_1 \sim T_4$ 4个时钟周期组成, 在 T_3 和 T_4 之间可插入不定数的等待时钟周期 T_w 。若一个总线周期完成之后, 总线不是立即有动作的话, 则在两个有效总线周期之间以 T_1 闲状态时钟周期来填充。一个典型的总线周期序列示于图1-7。

总线时序和组成方式有关, 图1-8给出了在最大组成方式下8088的存储器读周期、I/O周期和存储器写周期以及I/O写周期的总线定时关系。图中标有*号的是由8288总线

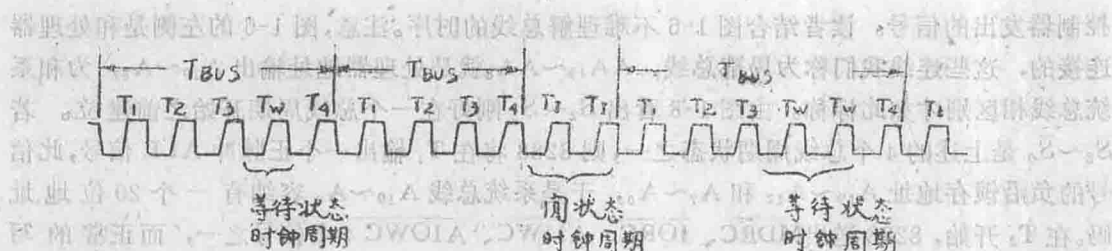
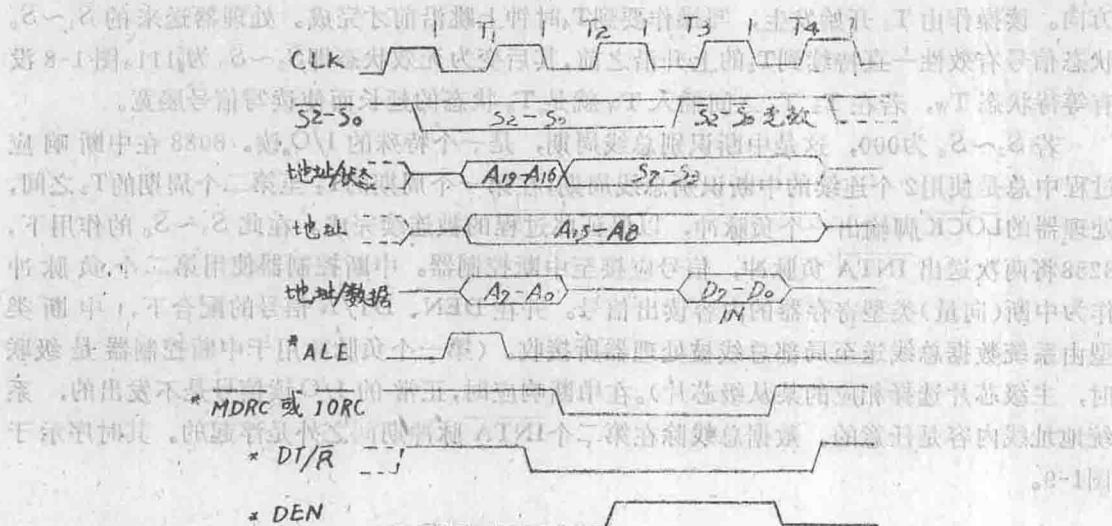
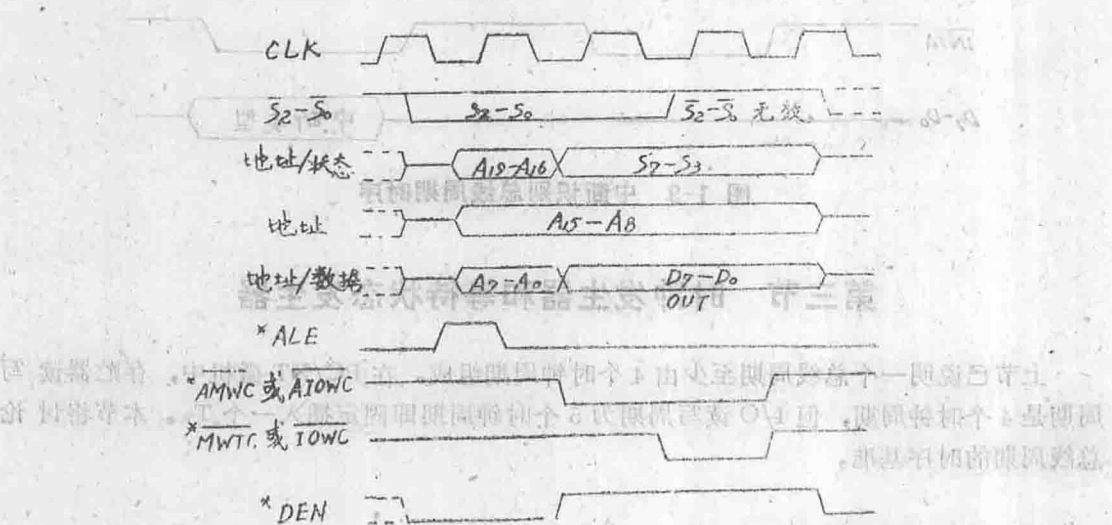


图 1-7 几个典型的总线周期(T_{BUS})时钟序列



(a) 存储器读或I/O 读总线周期



(b) 存储器写或I/O 写总线周期

图 1-8 最大组成方式下8088的总线周期时序