

构建数字通信技术理论知识与工程实践之间的桥梁

# 数字调制解调技术的 MATLAB与FPGA实现

## Altera/Verilog版

· 杜勇 编著 ·

着眼工程设计，精解设计实例  
分解实现步骤，注重实现细节  
完整仿真测试，详细性能分析  
提供完整代码，迅速提升实力



· 程序源代码 ·  
· FPGA工程文件 ·



中国工信出版集团



电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY  
<http://www.phei.com.cn>

# 数字调制解调技术的 MATLAB 与 FPGA 实现

——Altera/Verilog 版

杜 勇 编著



电子工业出版社

Publishing House of Electronics Industri

北京·BEIJING

## 内 容 简 介

本书以Altera公司的FPGA器件为开发平台,采用MATLAB及Verilog HDL语言为开发工具,详细阐述数字调制解调技术的FPGA实现原理、结构、方法和仿真测试过程,并通过大量工程实例分析FPGA实现过程中的具体技术细节。主要包括FPGA实现数字信号处理基础、ASK调制解调、PSK调制解调、FSK调制解调、QAM调制解调,以及扩频通信的设计与实现等内容。本书思路清晰、语言流畅、分析透彻,在简明阐述设计原理的基础上,追求对工程实践的指导性,力求使读者在较短的时间内掌握数字调制解调技术的FPGA设计知识和技能。本书的配套光盘收录了完整的MATLAB及Verilog HDL实例工程代码,有利于工程技术人员参考学习。

本书适合从事数字通信和数字信号处理领域的设计工程师、科研人员,以及相关专业的研究生、高年级本科生使用。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有,侵权必究。

### 图书在版编目(CIP)数据

数字调制解调技术的MATLAB与FPGA实现: Altera/Verilog版/杜勇编著. —北京:电子工业出版社,2015.3  
ISBN 978-7-121-25582-3

I. ①数… II. ①杜… III. ①数字调制—解调技术—Matlab软件 ②数字调制—解调技术—可程序逻辑阵列 IV. ①TN761.93-39

中国版本图书馆CIP数据核字(2015)第036715号

责任编辑:田宏峰

印 刷:北京天来印务有限公司

装 订:北京天来印务有限公司

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

开 本:787×1092 1/16 印张:27.25 字数:690千字

版 次:2015年3月第1版

印 次:2015年3月第1次印刷

印 数:3000册 定价:79.00元(含光盘1张)

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 [zlts@phei.com.cn](mailto:zlts@phei.com.cn), 盗版侵权举报请发邮件至 [dbqq@phei.com.cn](mailto:dbqq@phei.com.cn)。

服务热线:(010)88258888。

# 前言

## 为什么要写这本书

为什么要写这本书？或者说，为什么要写数字通信的 MATLAB 与 FPGA 实现技术相关内容的书？记得在电子工业出版社首次出版《数字滤波器的 MATLAB 与 FPGA 实现》这本书时，我在前言中提到写作的原因主要有三条：其一是 FPGA 技术在电子通信领域得到了越来越广泛的应用，并已逐渐成为电子产品实现的首选方案；其二是国内市场上专门讨论如何采用 FPGA 实现数字通信技术的书籍相对欠缺；其三是数字通信技术本身十分复杂，关键技术较多，在一本书中全面介绍数字通信技术的 FPGA 实现难免有所遗漏，且内容难以翔实。因此，根据作者从业经验，将数字通信技术的关键技术大致分为滤波器技术、同步技术和解调技术三种，并尝试着先写滤波器技术，再逐渐完成其他两种关键技术的写作。在广大读者的支持和鼓励下，先后又出版了《数字通信同步技术的 MATLAB 与 FPGA 实现》和《数字调制解调技术的 MATLAB 与 FPGA 实现》两本书。这样，关于数字通信的 MATLAB 与 FPGA 实现的系列著作总算完成，多年前的构想总算得以成为现实！

数字通信的 MATLAB 与 FPGA 实现的系列著作出版后，陆续通过邮件或博客的方式收到广大读者的反馈意见。一些读者直接通过邮件告知书中的内容对工作中提供的直接或间接的帮助；一些读者提出了很多中肯的有建设性的意见和建议；更多的读者通过邮件交流书中的相关设计问题。在《数字滤波器的 MATLAB 与 FPGA 实现》一书出版后，不少读者就建议出版采用 Verilog HDL 语言作为设计平台的版本。这是很好的建议。其实，虽然在初次写数字滤波器一书时已规划过要完成这一系列的著作，但还没有想到要编写 Altera/Verilog HDL 版本，否则就会在前面三本书的书名中都加上“Xilinx/VHDL 版本”的字样了。时间过得很快，几年时间过去了，在用 Xilinx/VHDL 平台写完这个系列著作之后，终于可以开始用 Altera/Verilog HDL 平台将这三本著作重新写一遍，以满足不同读者的需求。

回顾开始策划写作这个系列著作时的想法，显然是受了中学时代阅读的金庸武侠小说的影响，几本经典的小说在人物和情节的安排上很有一脉相承的意味，因此，在这三本著作的内容安排上也考虑了一定的衔接。数字滤波器一书的最后一章讨论解调电路的设计内容，一方面涉及解调电路中的滤波器设计，一方面简单介绍了载波同步的知识；同步技术一书中介绍的滤波器设计内容多引用自滤波器一书，同时重点对载波同步、位同步、帧同步等经典同步技术进行了详细阐述；而滤波器及同步技术又是调制解调技术中的核心功能电路。

著名的计算机科学研究学者李开复先生在他的博客中有下面这样一段话：

西方有一句名言，“听过的我会忘记，看过的我能记得，做过的我才理解”。在学校学习，一定要融会贯通，不能只是死背书本，一定要动手实践。不但要学习知识，还要知道

知识应该如何使用。融会贯通意味着高校培养出的学生必须善于将学习到的知识应用于实践中去。在 IT 领域,许多成功的公司都希望加入公司的毕业生拥有十万行以上的编程经验(例如在 Google,很多应聘者都是因为实际动手能力不足而没能通过面试),但不少计算机相关专业的中国学生告诉我说,他们在学校的四年时间里,真正自己动手编写过的程序还不超过一千行。这一方面说明一些学校在教学时不重视对学生实践能力的培养,另一方面也说明许多学生只知道学习“死”的知识,而不知道去寻找或创造机会,以便将学到的知识用在具体的实践当中。

上面这段话道出了绝大多数刚毕业的大学生的状态。回想自己刚离开大学校园后,在初次从事具体的电路设计时所感觉到的茫然仍然清晰如昨日!

通常来讲,一名电子通信专业的技术人员,在从业之初都会遇到类似的困惑:如何将教材中所学的理论与实际中的工程设计结合起来?如何能够将这些教材中的理论转换成实际的电路?绝大多数数字通信类教材对通信的原理讲解十分透彻,但理论与实践之间显然需要有一座可以顺利通过的桥梁。一个常用的方法是通过采用 MATLAB 等工具进行软件仿真的方法来加深对理论的理解,但更好的方法显然是直接参与工程的设计与实现。

然而,刚毕业的工科院校学生极少有机会参加实际工程设计,工作中往往感到学校所学的理论知识很难与实际工程产品的实现联系起来。教科书上多是讲解通信原理性的内容,即使可以很好地解答教材后面的习题,或者说能够熟练地对书中的基本公式进行推导,在实际进行产品设计时,如何将这些理论及公式用具体的电路或硬件平台实现出来,仍然是摆在广大工程师面前的一个巨大难关。尤其对于数字通信专业来讲,由于涉及的理论知识比较复杂,真正进行工程设计时才发现根本无从下手。采用 MATLAB、System View 等软件对通信理论进行仿真,虽然可以直观地验证算法的正确性,并查看仿真结果,但这类软件的仿真毕竟只停留在算法或模型的仿真上,与真正的工程设计及实现还完全是两个不同的概念。FPGA 技术很好地解决了这一问题。FPGA 技术本来就是基于工程应用的技术,其仿真技术可以很好地仿真产品实际的工作情况,尤其是时序仿真技术,在计算机上通过了时序仿真的程序设计,几乎不再需要修改就可以直接应用到工程中。这种设计、验证、仿真的一体化方式可以极好地将理论与工程应用结合起来,从而提高学习兴趣。

FPGA 技术因其快速的并行运算能力,以及独特的组成结构,在电子通信领域已成为必不可少的实现平台之一。本书的目的正是架起一座教科书理论知识与工程设计实践之间的桥梁,通过具体的设计实例,详细讲解从理论到工程实现的方法、步骤和过程,以便于工程技术人员尽快掌握利用 FPGA 平台实现数字通信技术的方法。

目前,市场上已有很多介绍 ISE、Quartus II 等 FPGA 开发环境,以及 VHDL、Verilog HDL 等硬件编程语言的书籍。如果我们仅仅使用 FPGA 来实现一些数字逻辑电路,或者理论性不强的控制电路设计,掌握 FPGA 开发工具及 VHDL 语法就可以开始工作了。数字通信技术的理论性要强得多,采用 FPGA 平台实现数字通信技术的前提条件是对理论知识首先要有深刻的理解,在理解理论知识的基础上,关键的问题是根据这些通信理论或公式,利用 FPGA 的特点,找到合适的算法实现结构,理清工程实现的思路,并采用 VHDL 等硬件编程语言对其进行正确的实现。因此,要顺利地读懂本书,掌握用 FPGA 实现数字通信技术的知识和技能,读者还需要对 FPGA 的开发环境和设计语言有一定的了解。

作者在写作本书的过程中，兼顾数字通信技术的理论和工程设计过程的完整性，重点突出 FPGA 设计方法、结构、实现细节，以及仿真测试方法。在讲解理论知识的时候，重点从工程应用的角度进行介绍，主要介绍工程设计时必须掌握和理解的知识，并且结合 FPGA 的特点进行讨论，便于读者尽快找到理论与工程实现之间的结合点。在讲解实例的 FPGA 实现时，不仅绝大多数实例给出了完整的程序代码，并且从思路和结构上对每段代码均进行详细的分析和说明。根据作者的理解，针对一些似是而非的概念，结合工程实例的仿真测试加以阐述，希望能够对读者提供更多有用的参考。相信读者按照书中讲解的步骤完成一个个工程实例时，会逐步感觉到理论与工程实现之间完美结合的畅快。随着读者掌握的工程实现技能的提高，对通信理论知识的理解也必将越来越深刻，重新阅读以前学过的通信原理时，头脑里就更容易构建起理论知识与工程实践之间的桥梁。

## 本书的内容安排

第 1 章首先对数字通信技术的概念及 FPGA 基础知识进行了简要介绍。本章耗费一些笔墨来讲述一些最基本的概念，一则是为了使全书所讲述的内容更成体系，二则想重申一个老掉牙的理由——基本的概念永远是最重要的。在介绍这些基本概念时，尽量避免使用一些复杂的公式及理论推导，更多地从直观角度来讨论。根据作者自身的经历和对数字通信的理解，对频谱、带宽、采样、信噪比等最基本的定义做了较为全面的阐述，希望能够对读者加深数字通信系统原理的理解有所帮助。大概是由于职业的原因，长期以来都对那些伟大的技术创新者倍感敬意，因此在写 FPGA 发展历程时，更多地从人物的角度去描述那些科技创新的故事，这些故事确实非常有趣，那些伟大的科学家和技术创新者从来都不缺乏鲜明的个性。

采用 MATLAB 及 FPGA 来实现数字通信的相关技术，设计工程师首先需要熟练掌握一整套设计工具。设计语言及开发环境就是工程师手中的装备。要设计出完美的产品需要很多因素之间的相互配合，而掌握好手中的开发工具无疑是最基本的因素之一。第 2 章主要对本书所使用到的设计语言和开发环境进行简要介绍。之所以说是简要介绍，因为这一整套的开发工具本身的功能十分强大，每一种工具都有种类繁多的专门著述进行详细阐述。随着工程师设计经验的积累，设计水平的提高，越能更全面地掌握设计工具的特点，从而更好地发挥设计工具的性能，以最小的代价设计出理想的产品。好比一把宝剑，只有握在高手的手中才能发挥出最大的威力。

第 3 章介绍了 FPGA 中数的表示方法、数的运算、有限字长效应及常用的数字信号处理模块。数字信号在 FPGA 等硬件系统中实现时，因受寄存器长度的限制，不可避免地产生了有效字长效应。设计工程师必须了解字长效应对数字系统可能带来的影响，并在实际设计中通过仿真来确定最终的量化位数、寄存器长度等内容。本章最后对几种常用的运算模块 IP 核进行介绍，详细阐述了各 IP 核控制参数的设置方法，并给出了几个简单的模块应用实例。IP 核的应用在 FPGA 设计中十分普遍，尤其在数字信号处理领域，采用设计工具提供的 IP 核进行设计，不仅可以提高设计效率，而且可以保证设计的性能。因此，在进行 FPGA 工程设计时，工程师可以先浏览一下选定目标器件所能提供的 IP 核，便于通过使用 IP 核来减少设计工作量并提高系统性能。当然，工程师也可以根据设计需要，根据是否具



有相应的 IP 核来选择目标器件。这一章讨论的都是一些非常基础的知识，但正因为基础，所以显得尤其重要。其中讨论的有效数据位运算，以及字长效应等内容在后续的工程实例讲解中都会多次涉及，因此建议读者不要急于阅读后续章节的工程实例讲解，先切实练好基本功，才可以达到事半功倍的效果。

对于从事电子通信行业的技术人员来说，滤波器是一个再普通不过的概念了。数字滤波器本身已成为一个专业性很强的研究方向，第 4 章所要讲述的仅仅是最常用的 FIR (Finite Impulse Response, 有限脉冲响应) 滤波器和 IIR (Infinite Impulse Response, 无限脉冲响应) 滤波器。不过这并不影响读者对数字通信调制解调技术内容的理解，因为后续章节所讨论的工程实例中，只使用到这两种类型的数字滤波器。读者如果有兴趣了解更多与滤波器的 FPGA 实现相关的内容，可以参考《数字滤波器的 MATLAB 与 FPGA 实现》一书。

第 5 章正式开始讨论各种通信体制的调制解调技术。众所周知，无论是数字通信还是模拟通信，幅度调制解调都被认为最简单的一种通信技术。事实也确实如此，因此这种调制体制也几乎成为了学习掌握通信原理的基础。在讨论 ASK 解调技术时采用了非相干方法，又进一步降低了 FPGA 实现的难度。虽然看似简单，但并非不重要，因为本章介绍了一个非常完整的数字通信传输系统。我们在介绍通信原理方面的教材中可以很容易找到讲解 ASK 调制解调方面的内容，但如何将这个看似简单的系统真正应用到工程中，用 FPGA 实现出来，清楚了解输入数据到输出数据之间各种信号的变化过程，这并不是一件容易的事。读者根据本章所介绍的步骤及方法，完成整个系统的仿真测试之后，相信对 ASK 调制解调技术会有一个更深入的理解。

经过前面对 ASK 调制解调技术的讨论，相信大家对数字调制解调技术的整个设计流程有了一个初步认识，甚至觉得工程设计并不是多么困难的事。建立信心是很重要的，但也要有一定的思想准备，并非所有数字调制解调技术都如前面一章所讲的那么简单。第 6 章前半部分讨论了常规 FSK 信号的调制解调技术，无论是理论知识还是工程实现的难度都不大；后半部分详细讨论了 MSK 信号的调制解调技术，其实现原理及工程实现都已有了一定规模了，无论是从原理还是工程实现方面来讲，要完全掌握其设计流程和方法，都需要花一番工夫才行。不过也不用过于担心，所谓“难者不会，会者不难”，相信大家跟着书中讨论的步骤，一步步完成整个 MSK 解调的 FPGA 工程实现，并在 ModelSim 仿真波形中看到一条条光滑的收敛曲线时，一定会产生一种成就感，设计的信心也会随之增加。

第 7 章讨论了三种典型的相位调制系统：BPSK、QPSK 及  $\pi/4$  QPSK。Costas 环是一种非常经典的锁相环路，是解调 BPSK 信号的常用电路，相信绝大多数电子通信专业毕业的读者对此都不会陌生。在设计完成 Costas 环后，用 ModelSim 仿真环路的收敛性能时，在波形界面看到完美的收敛曲线时，相信读者会感觉到工程设计成功的喜悦，一些原本只存在于教科书中的理论，经过这个设计过程，已经演变成了现实的工程设计。本章进一步探讨了 QPSK 及  $\pi/4$  QPSK 调制解调过程。为了给读者更多的参考，分别采用了相干及非相干方法对解调进行了实现。

第 8 章讨论了一个比较完整的 QAM 调制解调系统，从原理到 MATLAB 仿真，再到 FPGA 实现过程都进行了比较详细的介绍。QAM 是一种应用十分广泛的多进制调制体制，相比前面章节讨论的调制系统来讲，无论是工作原理还是 FPGA 实现过程，都显得更为复杂些。

从整个调制解调系统的实现过程来看，关键问题仍然还是载波同步及位同步的问题。其中，载波同步的相关内容在前面章节所讨论的载波锁相环有很强的关联性，因此，如果读者通过前面章节已经对载波锁相环有较深刻的认识，则理解本章中的 QAM 载波同步原理及实现方法也就比较容易了。插值算法的位同步技术是本章的重点和难点。为了给读者更多的参考，本章还花费了一定的笔墨对作者理解其工作原理及仿真的过程进行了介绍。之所以写这些，是想说明，作为一名工程技术人员，掌握一项技术，首先需要从原理上准确把握其工作机理，对仿真出的各种结果需要做出合理的解释。在遇到理解上的困难时，可以采用各种方式学习借鉴，如查阅资料或论坛求助等，但前提是需要首先花费大量精力对已有的一些基本知识进行消化。掌握的知识越多，积累的工程经验越丰富，学习的速度就越快，对相关领域知识的理解能力就越强，这一定是一个正反馈不断增强的过程。

本书最后一章讨论的是扩频通信系统，伪码同步是其中最核心的技术，扩频通信的抗干扰性能也体现在伪码同步后的解扩上。本章首先对直接序列扩频通信系统的一般原理做了介绍，而后较详细地讨论了直接序列扩频通信系统中的同步原理及方法，并重点分析了本系统所采用的基于滑动相关的捕获方法及基于延迟锁相环的跟踪方法。利用 FPGA 实现伪码同步电路的关键问题在于合理划分功能模块及准确掌握各功能模块之间的控制与被控制关系和整个系统的时序关系。如果没有 Costas 载波环的 FPGA 设计基础，直接学习这一章的内容是比较困难的，不仅是因为直扩解调系统本身需要将载波同步环与伪码同步环有机结合在一起，同时还因为本章在介绍整个环路的 Verilog HDL 设计时有意略去了载波环相关参数的详细设计方法。学习的过程总是需要循序渐进的，好比共产主义是一个美好的理想，从社会主义初级阶段一步跨入共产主义，从理论和实践上都证明是行不通的。学习过程中的艰难曲折不可避免，但要相信，当彻底掌握到所学的知识后，并熟练应用知识成功解决产品设计中的问题后，再回忆那些冥思苦想、废寝忘食的片段，才可以真正体会到学习的快乐。

## 关于 FPGA 开发环境的说明

众所周知，目前两大厂商 Xilinx 和 Altera 的产品占据全球 90% 的 FPGA 市场。可以说，在一定程度上正是由于两家 FPGA 公司的相互竞争态势，有力地推动了 FPGA 技术的不断发展。虽然 HDL 的编译及综合环境可以采用第三方公司所开发的产品，如 ModelSim、Synplify 等，但 FPGA 器件的物理实现必须采用各自公司开发的软件平台，无法通用。Xilinx 公司目前的主流开发平台是 ISE 系列套件，Altera 公司目前的主流开发平台是 Quartus II 系列套件。与 FPGA 开发平台类似，HDL 也存两种难以取舍的选择：VHDL 和 Verilog HDL。

如何选择开发平台以及 HDL 语言呢？其实，对于有志于从事 FPGA 技术开发的技术人员，选择哪种平台及 HDL 语言并不重要，因为两种平台具有很多相似的地方，精通一种 HDL 语言后，再学习另一种 HDL 语言也不是一件困难的事。通常来讲，可以根据周围同事、朋友、同学或公司的主要使用情况进行选择，这样在学习的过程中，可以很方便地找到能够给你指点迷津的专业人士，从而加快学习进度。

本书采用的是 Altera 公司的 FPGA 器件作为开发平台，采用 Quartus II 12.1 作为开发环境，采用 Verilog HDL 语言作为实现手段。由于 Verilog HDL 语言并不依赖于某家公司的



FPGA 产品，因此本书的 Verilog HDL 程序文件可以很方便地移植到 Xilinx 公司的 FPGA 产品上。如果程序中应用了 IP 核资源，两家公司的 IP 核通常是不能通用的，这就需要根据 IP 核的功能参数，在另外一个平台上重新生成 IP 核，或编写 Verilog HDL 代码来实现。

有人曾经说过，“技术只是一个工具，关键在于思想。”将这句话套用过来，对于本书来讲，具体的开发平台以及 HDL 语言只是实现数字通信技术的工具，关键在于设计的思路和方法。因此，读者完全不必要过于在意开发平台的差别，相信只要掌握本书所讲述的设计思路和方法，加上读者已经具备的 FPGA 开发经验，采用任何一种 FPGA 平台都可以很快地设计出满足用户需求的产品。

## 如何使用本书

本书讨论的是数字调制解调技术的 MATLAB 与 FPGA 实现。相信大部分工科院校的学生和电子通信的从业人员对 MATLAB 软件都会有一个基本的了解。由于它的易用性及强大的功能，已经成为数学分析、信号仿真、数字处理必不可少的工具。由于 MATLAB 具有大量专门针对数字信号处理的常用函数，如滤波器函数、傅里叶分析函数等，十分有利于对一些通信的概念及信号进行功能性仿真，因此，在具体讲解某个实例时，通常会采用 MATLAB 作为仿真验证工具。虽然书中的 MATLAB 程序相对比较简单，主要应用一些数字信号处理函数进行仿真验证，如果读者没有 MATLAB 的知识基础，建议最好还是先简单学习一下 MATLAB 的编程概念及基本语法。考虑到程序及函数的兼容性，书中所有 MATLAB 程序的开发验证平台均为 MATLAB 7.0 版软件。

在讲解具体的 FPGA 工程应用实例时，通常会先采用 MATLAB 对所需设计的工程进行仿真，一方面仿真算法过程及结果，另一方面生成 FPGA 仿真所需要的测试数据；然后在 Quartus II 平台上编写 Verilog HDL 程序对实例进行设计实现，为便于讲述，通常会先讨论程序的设计思路，或者先给出程序清单，再对程序代码进行分析说明；编写完程序后，需要编写 TestBench 测试激励文件，根据所需产生输入信号的种类，可以直接在 TestBench 文件中编写代码来产生输入信号，也可以通过读取外部文本文件的方式来产生输入信号；接下来就可以采用 ModelSim 工具对 Verilog HDL 程序进行仿真，查看 ModelSim 仿真波形结果，并根据需要将仿真数据写入外部文本文件中，通常还会对仿真波形进行讨论，分析仿真结果是否满足要求；如果 ModelSim 波形不便于精确分析测试结果，则需要再次编写 MATLAB 程序，对 ModelSim 仿真结果数据进行分析处理，最终验证 FPGA 设计的正确性。

本书主要以工程应用实例的方式讲解各种数字调制解调技术的原理及 FPGA 实现方法和步骤。大部分实例均给出了完整的程序清单，限于篇幅，不同工程实例中的一些重复或相似的代码没有完全列出，随书配套的光盘上收录了本书所有实例的源程序及工程设计资源，并按章节序号置于光盘根目录下。本书在编写工程实例时，程序文件均放置在“D:\ModemPrograms”的文件夹下，读者可以先在本地硬盘下建立“D:\ModemPrograms”文件夹，而后将配套光盘中的程序压缩包解压至该文件夹下，大部分程序均可直接运行。需要说明的是，在大部分工程实例中，需要由 MATLAB 产生 FPGA 测试所需的文本数据文件，或者由 MATLAB 读取外部文件进行数据分析，同时 FPGA 仿真的 TestBench 文件通常也需要从指定的路径下读取外部文件数据，或将仿真结果输出到指定的路径下。文本文件的路径均指定

为绝对路径，如“fid=fopen('D:\ModemPrograms\Chapter\_4\din.txt','w')”。因此，读者运行实例程序时，请将程序文件中指定文件绝对路径的代码进行修改，以确保仿真测试程序在正确的路径下对文件进行读/写操作。

## 致谢

有人说，每个人都有他存在的使命，如果迷失他的使命，就失去了他存在的价值。不只是每个人，每件物品也都有其存在的使命。对于一本书来讲，其存在的使命就是被阅读，并给阅读者带来收获。数字通信的 MATLAB 与 FPGA 设计系列的书籍，能够对读者在工作及学习中有所帮助，是作者莫大的欣慰。

作者在写作本书的过程中查阅了大量的资料，在此对资料的作者及提供者表示衷心的感谢。由于写作本书的缘故，重新阅读一些经典的数字通信理论书籍时，再次深刻感受到前辈们严谨的治学态度和细致的写作作风。

在此，感谢父母，几年来一直陪伴在我的身边，由于他们的默默支持，使得我能够在家里专心致志地写作；感谢我的妻子刘帝英女士，她不仅是一位尽心尽职的优秀母亲，也是一位严谨细致的科技工作者，同时也是本书的第一位读者，在工作之余对本书进行了详尽而细致的校对；时间过得很快，女儿已经上小学四年级了，她最爱看书和画画，最近迷上了《西游记》，以前的儿童简化版已满足不了她的要求，周末陪她去书店买了一本原著，她常常自个儿被书中的情节逗得哈哈大笑，还常常要推荐给我看一些精彩的章节。

FPGA 技术博大精深，数字通信技术种类繁多且实现难度大。本书虽尽量详细讨论了 FPGA 实现数字调制解调技术的相关内容，仍感觉到难以详尽叙述工程实现所有细节。相信读者在实际工程应用中经过不断的实践、思考及总结，一定可以快速掌握数字调制解调技术的工程设计方法，提高应用 FPGA 进行工程设计的能力。由于作者水平有限，不足之处在所难免，敬请读者批评指正。欢迎大家就相关技术问题进行交流，或对本书提出改进意见及建议。请读者访问网址 <http://duyongcn.blog.163.com> 以获得与该书相关的资料及信息，也可以发邮件至 [duyongcn@sina.cn](mailto:duyongcn@sina.cn) 与我进行交流。

杜 勇

2015 年 3 月

# 目 录 Contents

第 1 章 数字通信及 FPGA 概述 .....	1
1.1 数字通信系统概述 .....	2
1.1.1 数字通信的一般处理流程 .....	2
1.1.2 本书讨论的通信系统模型 .....	4
1.1.3 数字通信的特点及优势 .....	5
1.1.4 数字通信的发展概述 .....	8
1.2 数字通信中的几个基本概念 .....	10
1.2.1 与频谱相关的概念 .....	10
1.2.2 带宽是如何定义的 .....	13
1.2.3 采样与频谱搬移 .....	16
1.2.4 噪声与信噪比 .....	19
1.3 FPGA 的基础知识 .....	21
1.3.1 从晶体管到 FPGA .....	21
1.3.2 FPGA 的发展趋势 .....	25
1.3.3 FPGA 的组成结构 .....	26
1.3.4 FPGA 的工作原理 .....	31
1.4 FPGA 与其他处理平台的比较 .....	33
1.4.1 ASIC、DSP 及 ARM 的特点 .....	33
1.4.2 FPGA 的特点及优势 .....	34
1.5 Altera 器件简介 .....	35
1.6 小结 .....	37
参考文献 .....	37
第 2 章 设计语言及环境介绍 .....	39
2.1 HDL 语言简介 .....	40
2.1.1 HDL 语言的特点及优势 .....	40
2.1.2 选择 VHDL 还是 Verilog .....	41
2.2 Verilog HDL 语言基础 .....	42
2.2.1 Verilog HDL 语言特点 .....	42
2.2.2 Verilog HDL 程序结构 .....	44
2.3 FPGA 开发工具及设计流程 .....	45
2.3.1 Quartus II 开发套件 .....	45
2.3.2 ModelSim 仿真软件 .....	49
2.3.3 FPGA 设计流程 .....	50

2.4	MATLAB 软件	53
2.4.1	MATLAB 软件简介	53
2.4.2	常用的信号处理函数	55
2.5	MATLAB 与 Quartus 的数据交换	62
2.6	小结	63
	参考文献	63
<b>第 3 章</b>	<b>FPGA 实现数字信号处理基础</b>	<b>65</b>
3.1	FPGA 中数的表示	66
3.1.1	莱布尼兹与二进制	66
3.1.2	定点数表示	67
3.1.3	浮点数表示	68
3.2	FPGA 中数的运算	71
3.2.1	加/减法运算	71
3.2.2	乘法运算	74
3.2.3	除法运算	75
3.2.4	有效数据位的计算	75
3.3	有限字长效应	78
3.3.1	字长效应的产生因素	78
3.3.2	A/D 转换的字长效应	79
3.3.3	系统运算中的字长效应	80
3.4	FPGA 中的常用处理模块	82
3.4.1	加法器模块	82
3.4.2	乘法器模块	84
3.4.3	除法器模块	87
3.4.4	浮点运算模块	88
3.5	小结	89
	参考文献	90
<b>第 4 章</b>	<b>滤波器的 MATLAB 与 FPGA 实现</b>	<b>91</b>
4.1	滤波器概述	92
4.1.1	滤波器的分类	92
4.1.2	滤波器的特征参数	94
4.2	FIR 与 IIR 滤波器的原理	94
4.2.1	FIR 滤波器原理	94
4.2.2	IIR 滤波器原理	96
4.2.3	IIR 与 FIR 滤波器的比较	96
4.3	FIR 滤波器的 MATLAB 设计	97
4.3.1	采用 fir1 函数设计	97
4.3.2	采用 kaiserord 函数设计	100
4.3.3	采用 fir2 函数设计	100

4.3.4	采用 firpm 函数设计	102
4.4	IIR 滤波器的 MATLAB 设计	104
4.4.1	采用 butter 函数设计	104
4.4.2	采用 cheby1 函数设计	105
4.4.3	采用 cheby2 函数设计	106
4.4.4	采用 ellip 函数设计	106
4.4.5	采用 yulewalk 函数设计	107
4.4.6	几种设计函数的比较	107
4.5	FIR 滤波器的 FPGA 实现	109
4.5.1	FIR 滤波器的实现结构	109
4.5.2	采用 IP 核实现 FIR 滤波器	113
4.5.3	MATLAB 仿真测试数据	118
4.5.4	测试激励的 Verilog HDL 设计	120
4.5.5	FPGA 实现后的仿真测试	123
4.6	IIR 滤波器的 FPGA 实现	125
4.6.1	IIR 滤波器的结构形式	125
4.6.2	量化级联型结构的系数	127
4.6.3	级联型结构的 FPGA 实现	130
4.6.4	FPGA 实现后的测试仿真	134
4.7	小结	135
	参考文献	135
<b>第 5 章</b>	<b>ASK 调制解调技术的实现</b>	<b>137</b>
5.1	ASK 信号的调制解调原理	138
5.1.1	二进制振幅调制信号的产生	138
5.1.2	二进制振幅调制信号的解调	139
5.1.3	二进制振幅调制系统的性能	141
5.1.4	多进制振幅调制	142
5.2	ASK 调制信号的 MATLAB 仿真	142
5.3	ASK 调制信号的 FPGA 实现	145
5.3.1	FPGA 实现模型及参数说明	145
5.3.2	ASK 调制信号的 Verilog HDL 设计	147
5.3.3	FPGA 实现后的仿真测试	149
5.4	ASK 解调技术的 MATLAB 仿真	150
5.5	ASK 解调技术的 FPGA 实现	152
5.5.1	FPGA 实现模型及参数说明	152
5.5.2	ASK 信号解调的 Verilog HDL 设计	153
5.5.3	FPGA 实现后的仿真测试	154
5.6	符号判决门限的 FPGA 实现	156
5.6.1	确定 ASK 解调后的判决门限	156



5.6.2	判决门限模块的 Verilog HDL 设计	157
5.6.3	FPGA 实现后的仿真测试	158
5.7	锁相环位同步技术的 FPGA 实现	159
5.7.1	位同步技术的工作原理	159
5.7.2	位同步顶层模块的 Verilog HDL 设计	162
5.7.3	双相时钟信号的 Verilog HDL 实现	164
5.7.4	微分鉴相模块的 Verilog HDL 实现	166
5.7.5	单稳触发器的 Verilog HDL 实现	168
5.7.6	控制及分频模块的 Verilog HDL 实现	169
5.7.7	FPGA 实现及仿真测试	171
5.8	ASK 解调系统的 FPGA 实现及仿真	173
5.8.1	完整解调系统的 Verilog HDL 设计	173
5.8.2	完整系统的仿真测试	175
5.9	小结	177
	参考文献	177
<b>第 6 章</b>	<b>FSK 调制解调技术的实现</b>	<b>179</b>
6.1	FSK 信号的调制解调原理	180
6.1.1	FSK 信号的时域表示	180
6.1.2	相关系数与频谱特性	181
6.1.3	非相干解调原理	183
6.1.4	相干解调原理	184
6.1.5	解调方法的应用条件分析	186
6.2	FSK 调制解调的 MATLAB 仿真	186
6.2.1	不同调制度的 FSK 信号仿真	186
6.2.2	非相干解调 FSK 仿真	188
6.2.3	相干解调 FSK 仿真	193
6.3	FSK 调制信号的 FPGA 实现	196
6.3.1	FSK 信号的产生方法	196
6.3.2	FSK 调制信号的 Verilog HDL 设计	197
6.3.3	FPGA 实现后的仿真测试	198
6.4	FSK 解调的 FPGA 实现	199
6.4.1	解调模型及参数设计	199
6.4.2	解调 FSK 信号的 Verilog HDL 设计	200
6.4.3	FPGA 实现后的仿真测试	206
6.5	MSK 信号产生原理	208
6.5.1	MSK 信号时域特征	208
6.5.2	MSK 信号频谱特性	209
6.5.3	MSK 信号的产生方法	210
6.6	MSK 调制信号的 FPGA 实现	212

6.6.1	实例参数及模型设计	212
6.6.2	MSK 调制信号的 Verilog HDL 设计及仿真	213
6.7	MSK 解调原理	214
6.7.1	延迟差分解调	214
6.7.2	平方环相干解调	216
6.8	MSK 解调的 MATLAB 仿真	217
6.8.1	仿真模型及参数说明	217
6.8.2	平方环解调 MSK 的 MATLAB 仿真	217
6.9	平方环的 FPGA 实现	220
6.9.1	锁相环的工作原理	220
6.9.2	平方环的工作原理	223
6.9.3	平方环路性能参数设计	224
6.9.4	平方环的 Verilog HDL 设计	227
6.9.5	FPGA 实现后的仿真测试	231
6.10	MSK 解调的 FPGA 实现	232
6.10.1	MSK 解调环路参数设计	232
6.10.2	顶层模块的 Verilog HDL 设计	234
6.10.3	脉冲成形及解调模块的 Verilog HDL 设计	239
6.10.4	FPGA 实现后的仿真测试	242
6.11	小结	243
	参考文献	244
<b>第 7 章</b>	<b>PSK 调制解调技术的实现</b>	<b>245</b>
7.1	DPSK 信号的调制解调原理	246
7.1.1	DPSK 信号的调制原理	246
7.1.2	Costas 环解调 DPSK 信号	247
7.1.3	DPSK 调制解调的 MATLAB 仿真	249
7.2	DPSK 解调的 FPGA 实现	252
7.2.1	环路性能参数设计	252
7.2.2	Costas 环的 Verilog HDL 设计	254
7.2.3	FPGA 实现后的仿真测试	258
7.3	DQPSK 信号的调制解调原理	258
7.3.1	QPSK 信号的调制原理	258
7.3.2	双比特码元差分编解码原理	260
7.3.3	DQPSK 信号解调原理	261
7.3.4	DQPSK 调制解调的 MATLAB 仿真	264
7.4	DQPSK 调制信号的 FPGA 实现	268
7.4.1	差分编/解码的 Verilog HDL 设计	268
7.4.2	DQPSK 调制信号的 Verilog HDL 设计	271
7.5	DQPSK 解调的 FPGA 实现	277

7.5.1	极性 Costas 环的 Verilog HDL 设计	277
7.5.2	FPGA 实现后的仿真测试	282
7.5.3	调整跟踪策略获取良好的跟踪性能	283
7.5.4	完整的 DQPSK 解调系统设计	285
7.5.5	DQPSK 解调系统的仿真测试	289
7.6	$\pi/4$ QPSK 调制解调原理	289
7.6.1	$\pi/4$ QPSK 信号的调制原理	289
7.6.2	匹配滤波器与成形滤波器	291
7.6.3	$\pi/4$ QPSK 信号的差分解调原理	297
7.6.4	$\pi/4$ QPSK 调制解调的 MATLAB 仿真	297
7.7	$\pi/4$ QPSK 调制解调的 FPGA 实现	301
7.7.1	基带编码的 Verilog HDL 设计	301
7.7.2	差分解调的 Verilog HDL 设计	305
7.7.3	FPGA 实现后的仿真测试	311
7.8	小结	312
	参考文献	312
<b>第 8 章</b>	<b>QAM 调制解调技术的 FPGA 实现</b>	<b>315</b>
8.1	QAM 信号的调制解调原理	316
8.1.1	QAM 调制解调系统组成	316
8.1.2	差分编码与星座映射	317
8.1.3	QAM 调制解调的 MATLAB 仿真	319
8.2	QAM 编/解码的 FPGA 实现	323
8.2.1	编码映射的 Verilog HDL 设计	323
8.2.2	解码模块的 Verilog HDL 设计	326
8.2.3	FPGA 实现后的仿真测试	328
8.3	QAM 载波同步的 FPGA 实现	328
8.3.1	QAM 载波同步原理	329
8.3.2	极性判决法载波同步的 FPGA 实现	332
8.3.3	DD 算法载波同步的 FPGA 实现	336
8.4	插值算法位同步技术原理	344
8.4.1	位同步技术分类及组成	344
8.4.2	内插滤波器原理及结构	346
8.4.3	Gardner 误差检测算法	348
8.4.4	环路滤波器与数控振荡器	349
8.5	插值算法位同步技术的 MATLAB 仿真	350
8.5.1	设计环路滤波器系数	351
8.5.2	分析位定时算法 MATLAB 仿真程序	351
8.5.3	完整的 QAM 位定时算法仿真	356
8.6	插值算法位同步技术的 FPGA 实现	358

8.6.1	顶层模块的 Verilog HDL 设计 .....	358
8.6.2	插值滤波模块的 Verilog HDL 设计 .....	361
8.6.3	误差检测及环路滤波器模块的 Verilog HDL 设计 .....	363
8.6.4	数控振荡器模块的 Verilog HDL 设计 .....	366
8.6.5	FPGA 实现后的仿真测试 .....	367
8.7	小结 .....	371
	参考文献 .....	372
<b>第 9 章</b>	<b>扩频调制解调技术的 FPGA 实现 .....</b>	<b>375</b>
9.1	扩频通信的基本原理 .....	376
9.1.1	扩频通信的概念 .....	376
9.1.2	扩频通信的种类 .....	377
9.1.3	直扩系统工作原理 .....	380
9.2	直扩调制信号 MATLAB 仿真 .....	381
9.2.1	伪码序列的产生原理 .....	381
9.2.2	MATLAB 仿真直扩调制信号 .....	382
9.3	直扩信号调制的 FPGA 实现 .....	386
9.3.1	伪码模块的 Verilog HDL 设计 .....	386
9.3.2	扩频调制模块的 Verilog HDL 设计 .....	388
9.4	伪码同步的一般原理 .....	391
9.4.1	滑动相关捕获原理 .....	392
9.4.2	延迟锁相环跟踪原理 .....	393
9.5	伪码同步算法设计及仿真 .....	394
9.5.1	同步算法设计 .....	394
9.5.2	捕获及跟踪门限的 MATLAB 仿真 .....	396
9.6	伪码同步的 FPGA 实现 .....	398
9.6.1	顶层模块的 Verilog HDL 设计 .....	398
9.6.2	伪码产生模块的 Verilog HDL 设计 .....	401
9.6.3	相关积分模块的 Verilog HDL 设计 .....	404
9.6.4	伪码相位调整模块的 Verilog HDL 设计 .....	405
9.6.5	FPGA 实现后的仿真测试 .....	407
9.7	直扩解调系统的 FPGA 实现 .....	409
9.7.1	Costas 载波环的 Verilog HDL 设计 .....	409
9.7.2	FPGA 实现后的仿真测试 .....	415
9.8	小结 .....	416
	参考文献 .....	417