



“十二五”普通高等教育本科国家级规划教材  
 国家级精品课程教材  
 普通高等教育精品教材



21世纪大学本科  
 计算机专业系列教材

张晨曦 王志英 等 编著

# 计算机系统结构教程 (第2版)

<http://www.tup.com.cn>

- 根据教育部“高等学校计算机科学与技术专业规范”组织编写
- 与美国 ACM 和 IEEE *Computing Curricula 2005* 同步



清华大学出版社

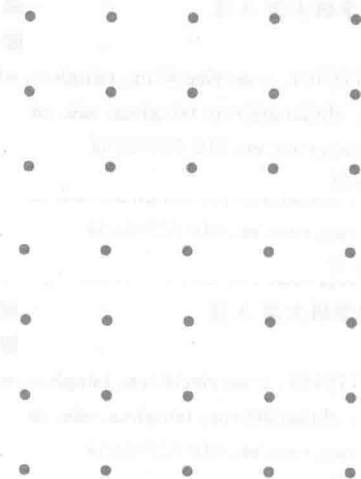


“十二五”普通高等教育本科国家级规划教材  
国家级精品课程教材  
普通高等教育精品教材

21世纪大学本科计算机专业系列教材

# 计算机系统结构教程 (第2版)

张晨曦 王志英 沈立 李江峰 刘依 王伟 编著



清华大学出版社  
北京

## 内 容 简 介

本书借鉴了国内和国外最经典的相关教材,系统地论述了计算机系统结构的基本概念、基本结构、基本方法等,强调从开发并行性的角度、用量化分析(性能评价)的方法来研究和分析计算机系统。

全书共有 14 章。第 1 章论述基本概念、并行性的发展和定量分析基础。第 2 章论述计算机指令系统的设计和 MIPS 指令系统。第 3 章论述流水线技术,包括性能分析、调度、相关和冲突以及流水线的实现。第 4 章论述向量处理机的结构、特点和性能评价。第 5 章和第 6 章分别论述如何用硬件和软件的方法来开发指令级并行性,包括记分牌和 Tomasulo 算法、基于硬件的前瞻执行、多指令流出技术、循环展开、VLIW、EPIC 等。第 7 章论述存储系统,重点论述 Cache 的基本知识及提高 Cache 性能的各种方法。第 8 章论述总线、通道处理机和 RAID。第 9 章论述互连网络的特性参数、静/动态互连网络以及消息传递机制等。第 10 章论述 SMP、DSM、MPP 等并行计算机系统结构,论述多 Cache 一致性、同步、同时多线程。第 11 章论述多核架构、实例以及基于多核的并行程序设计。最后三章分别论述机群系统、阵列处理机、数据流计算机。

本书内容丰富,实例具体,语言简练,可读性好,可作为高等院校计算机及相关专业的教学用书,也可供相关科技人员参考。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

### 图书在版编目(CIP)数据

计算机系统结构教程/张晨曦,王志英等编著. —2 版. —北京:清华大学出版社,2014

21 世纪大学本科计算机专业系列教材

ISBN 978-7-302-36038-4

I. ①计… II. ①张… ②王… III. ①计算机体系结构—教材 IV. ①TP303

中国版本图书馆 CIP 数据核字(2014)第 065959 号

责任编辑:魏江江 薛 阳

封面设计:何凤霞

责任校对:焦丽丽

责任印制:沈 露

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质量反馈:010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:北京鑫海金澳胶印有限公司

经 销:全国新华书店

开 本:185mm×260mm

印 张:26.25

字 数:633 千字

版 次:2009 年 5 月第 1 版 2014 年 10 月第 2 版

印 次:2014 年 10 月第 1 次印刷

印 数:18501~20500

定 价:39.50 元

产品编号:050563-01

## 第一作者简介



张晨曦,男,1960年9月生,汉族,福建龙岩人。同济大学软件学院教授,博士生导师。国家级“中青年有突出贡献专家”,国家杰出青年基金获得者,上海市高校教学名师和上海市模范教师。先后主持了一个国家973计划课题和5项国家自然科学基金项目。

作为课程负责人,张晨曦建设的计算机系统结构课程和计算机组成原理课程被评为上海市精品课程,系统结构课程于2008年被评为国家级精品课程,于2013年被评为国家级精品资源共享课。他主讲系统结构课程和从事系统结构的研究三十余年,2008年开发出了国内第一套200个用于本课程的动画课件,2009年开发出了国内第一套系统结构实验模拟器。

张晨曦负责编写出版的计算机系统结构系列教材分别于2009年和2011年被评为国家级精品教材,全国至少有100所大学采用了该教材。他一共编写出版了5本“十一五”国家级规划教材。撰写了专著两部。其中专著《新一代计算机》由荷兰North-Holland出版社出版。

张晨曦获部委级科技进步一等奖两项、二等奖一项;获部委级教学成果一、二、三等奖各一项。曾获宝钢优秀教师奖、上海市育才奖、上海高校教学名师奖、湖南省科技青年“十佳”、全军优秀教师、霍英东青年教师奖以及中国青年科技奖等十多个奖项。

从15岁起当中学教师,对教学方法和现代教育技术有深入的研究,提出了面向远程教育和CAI的动画解析教学法。

业余爱好:摄影

课程网站: [www.Arch365.net](http://www.Arch365.net)

个人摄影网站: [www.FotoSky.com](http://www.FotoSky.com)

摄影微信公众号: ZuiMeiJing (最美景)

系统结构资源微信公众号: Arch365



ZuiMeiJing



Arch365

## 21世纪大学本科计算机专业系列教材编委会

主 任：李晓明

副 主 任：蒋宗礼 卢先和

委 员：（按姓氏笔画为序）

马华东 马殿富 王志英 王晓东 宁 洪

刘 辰 孙茂松 李仁发 李文新 杨 波

吴朝晖 何炎祥 宋方敏 张 莉 金 海

周兴社 孟祥旭 袁晓洁 钱乐秋 黄国兴

曾 明 廖明宏

秘 书：张瑞庆

本书是《计算机系统结构教程》(清华大学出版社,2010年)的修订版。《计算机系统结构教程》是“十一五”国家级规划教材,并于2011年被评为国家级精品教材。为了跟踪和反映计算机技术的新发展,我们对该教材进行了修订,补充了新内容,并开发了配套的多媒体动画课件以及用于实验的一组模拟器。

本书适用于重点高等院校的计算机、软件工程等相关专业本科生和研究生。在内容的选取上,本书不仅强调采用目前国际上流行的量化分析方法,注意介绍新技术和新方法,而且还注重对经典的结构和思想等的论述和分析。本书借鉴了国内和国外最经典的相关教材,吸取了它们各自的优点,并将其内容有机地结合在一起。

本教材的主要特点是:

- (1) 取材先进,体系完整,覆盖面广,深度与广度相结合,适合于重点大学。
- (2) 配有基于动画解析教学法的近200个动画课件,使用它们进行教学或者自学,能达到非常好的教学效果。
- (3) 配有基于模拟器的实验(见《计算机系统结构实践教程》(第二版),张晨曦,清华大学出版社),对于深入理解和掌握本课程内容有很大的帮助。模拟器是我们自己开发的,拥有自主版权。
- (4) 重点突出,可读性好,语言简练,通俗易懂。

全书共有14章。各章内容如下:

第1章论述计算机系统结构的概念以及系统结构和并行性的发展,并介绍定量分析基础。

第2章为“指令系统的设计”,论述计算机指令系统设计的各个方面,包括指令系统的分类、寻址技术、功能设计、格式设计以及指令系统的发展和改进,并且介绍一种经典的RISC计算机——MIPS的指令系统。

第3章为“流水线技术”,论述流水线的基本概念、分类和性能分析、非线性流水线的调度,介绍流水线中的相关和冲突问题及其解决方法,并以MIPS为例讨论流水线的实现。

第4章为“向量处理机”,论述向量处理机的结构和特点、提高向量处理机性能的方法以及向量处理机的性能评价,并介绍了三个向量处理机实例。

第5章和第6章分别论述如何用硬件和软件的方法来开发指令级并行。第5章的具体内容包括指令级并行的概念、记分牌和Tomasulo动态调度算法、基于硬件的前瞻执行以及多指令流出技术等。

第6章的内容包括循环展开和基本指令调度、跨越基本块的静态指令调度、VLIW技

术、显式指令并行执行 EPIC 等,并介绍一个实例——Intel Itanium 处理器。

第 7 章为“存储系统”,论述 Cache 的基本知识、降低 Cache 不命中率的方法、减少 Cache 不命中开销的方法以及减少命中时间的方法,并对并行主存和虚拟存储器做简要的讨论。最后,还介绍了一个存储层次实例——AMD Opteron 的存储器层次结构。

第 8 章为“输入输出系统”,论述总线及其与 CPU/存储器的连接、通道处理机及其流量分析,并详细论述了廉价磁盘冗余阵列 RAID。

第 9 章为“互连网络”,论述互连函数、互连网络的特性参数、静态互连网络、动态互连网络以及消息传递机制等。

第 10 章为“多处理机”,论述对称式共享存储器系统结构、分布式共享存储器系统结构、多 Cache 一致性、同步、同时多线程以及 MPP,并介绍了两个多处理机实例。

第 11 章为“多核架构与编程”,论述了对多核架构的需求、几种多核架构以及基于多核的并行程序设计。

第 12 章为“机群系统”,论述机群的结构、软件模型以及机群的分类,并介绍了 4 个典型的机群系统。

第 13 章为“阵列处理机”,论述阵列处理机的操作模型、结构和特点以及并行算法,并介绍了两个阵列处理机实例。

第 14 章为“数据流计算机”,论述数据流计算机模型、数据流程图和数据流语言、静态数据流计算机结构以及动态数据流计算机结构。

本书的大部分内容由张晨曦教授编写,包括第 1~3 章和第 7~9 章,王志英教授编写了第 10 章,沈立副教授编写了第 6 章和第 12 章,李江峰编写了第 4 章和第 5 章,刘依编写了第 13 章和第 14 章,王伟副教授编写了第 11 章。

本书直接或间接地引用了许多专家和学者的文献或著作,在此向他们表示衷心的感谢。由于作者水平有限,书中难免有错误和不妥之处,敬请读者批评指正。

欢迎访问张晨曦的个人摄影网站: [www.FotoSky.com](http://www.FotoSky.com)。

本书的教学课件和动画可从“系统结构”微信公众号(arch365)获得。请扫描以下二维码,关注后按提示操作。



Arch365

编者

2014年6月于上海



## CONTENTS

<b>第 1 章 计算机系统结构的基础知识</b> .....	1
1.1 计算机系统结构的基本概念 .....	1
1.1.1 计算机系统的层次结构 .....	2
1.1.2 计算机系统结构的定义 .....	3
1.1.3 计算机组成和计算机实现 .....	3
1.1.4 计算机系统结构的分类 .....	4
1.2 计算机系统的设计 .....	7
1.2.1 计算机系统设计的定量原理 .....	7
1.2.2 计算机系统设计者的主要任务 .....	10
1.2.3 计算机系统设计的主要方法 .....	12
1.3 计算机系统的性能评测 .....	13
1.4 计算机系统结构的发展 .....	17
1.4.1 冯·诺依曼结构及其改进 .....	17
1.4.2 软件对系统结构的影响 .....	19
1.4.3 器件发展对系统结构的影响 .....	21
1.4.4 应用对系统结构的影响 .....	22
1.5 计算机系统结构中并行性的发展 .....	23
1.5.1 并行性的概念 .....	23
1.5.2 提高并行性的技术途径 .....	25
1.5.3 单机系统中并行性的发展 .....	25
1.5.4 多机系统中并行性的发展 .....	25
1.5.5 并行机的发展变化 .....	26
习题 1 .....	28
<b>第 2 章 指令系统的设计</b> .....	30
2.1 指令系统结构的分类 .....	30
2.2 寻址方式 .....	32
2.3 指令系统的设计和优化 .....	35
2.3.1 指令系统设计的基本原则 .....	35



2.3.2	控制指令 .....	36
2.3.3	指令操作码的优化 .....	37
2.3.4	指令字格式的优化 .....	40
2.4	指令系统的发展和改进 .....	42
2.4.1	沿 CISC 方向发展和改进指令系统 .....	42
2.4.2	沿 RISC 方向发展和改进指令系统 .....	44
2.5	操作数的类型和大小 .....	45
2.6	MIPS 指令系统结构 .....	47
2.6.1	MIPS 的寄存器 .....	47
2.6.2	MIPS 的数据表示 .....	47
2.6.3	MIPS 的数据寻址方式 .....	47
2.6.4	MIPS 的指令格式 .....	48
2.6.5	MIPS 的操作 .....	49
2.6.6	MIPS 的控制指令 .....	50
2.6.7	MIPS 的浮点操作 .....	51
习题 2	.....	51
<b>第 3 章</b>	<b>流水线技术 .....</b>	<b>53</b>
3.1	流水线的基本概念 .....	53
3.1.1	什么是流水线 .....	53
3.1.2	流水线的分类 .....	55
3.2	流水线的性能指标 .....	58
3.2.1	流水线的吞吐率 .....	58
3.2.2	流水线的加速比 .....	60
3.2.3	流水线的效率 .....	61
3.2.4	流水线的性能分析举例 .....	62
3.2.5	流水线设计中的若干问题 .....	64
3.3	非线性流水线的调度 .....	64
3.3.1	单功能非线性流水线的最优调度 .....	65
3.3.2	多功能非线性流水线的调度 .....	67
3.4	流水线的相关与冲突 .....	70
3.4.1	一条经典的 5 段流水线 .....	70
3.4.2	相关与流水线冲突 .....	72
3.5	流水线的实现 .....	83
3.5.1	MIPS 的一种简单实现 .....	83
3.5.2	基本的 MIPS 流水线 .....	86
习题 3	.....	90

<b>第 4 章 向量处理机</b> .....	94
4.1 向量的处理方式 .....	94
4.2 向量处理机的结构 .....	96
4.2.1 “存储器-存储器”结构 .....	96
4.2.2 “寄存器-寄存器”结构 .....	96
4.3 提高向量处理机性能的常用技术 .....	98
4.3.1 设置多个功能部件 .....	99
4.3.2 链接技术 .....	99
4.3.3 分段开采技术 .....	102
4.3.4 采用多处理机系统 .....	102
4.4 向量处理机的性能评价 .....	103
4.4.1 向量指令的处理时间 $T_{vp}$ .....	103
4.4.2 最大性能 $R_{\infty}$ 和半性能向量长度 $n_{1/2}$ .....	106
4.4.3 向量长度临界值 $n_v$ .....	106
4.5 向量处理机实例 .....	107
4.5.1 具有代表性的向量处理机 .....	107
4.5.2 Cray Y-MP 和 C-90 .....	107
4.5.3 NEC SX-X44 .....	109
习题 4 .....	110
<b>第 5 章 指令级并行及其开发——硬件方法</b> .....	112
5.1 指令级并行的概念 .....	112
5.2 相关与指令级并行 .....	113
5.3 指令的动态调度 .....	114
5.3.1 动态调度的基本思想 .....	114
5.3.2 记分牌动态调度方法 .....	116
5.3.3 Tomasulo 算法 .....	123
5.4 动态分支预测技术 .....	133
5.4.1 采用分支历史表 .....	134
5.4.2 采用分支目标缓冲器 .....	135
5.4.3 基于硬件的前瞻执行 .....	137
5.5 多指令流出技术 .....	142
5.5.1 基于静态调度的多流出技术 .....	143
5.5.2 基于动态调度的多流出技术 .....	144
5.5.3 超长指令字技术 .....	147
5.5.4 多流出处理器受到的限制 .....	148
5.5.5 超流水线处理机 .....	149

习题 5 .....	152
<b>第 6 章 指令级并行的开发——软件方法</b> .....	<b>154</b>
6.1 基本指令调度和循环展开 .....	154
6.1.1 指令调度的基本方法 .....	154
6.1.2 循环展开 .....	156
6.2 跨越基本块的静态指令调度 .....	158
6.2.1 全局指令调度 .....	158
6.2.2 踪迹调度 .....	161
6.2.3 超块调度 .....	163
6.3 静态多指令流出: VLIW 技术 .....	165
6.4 显式并行指令计算 .....	167
6.4.1 非绑定分支 .....	167
6.4.2 谓词执行 .....	168
6.4.3 前瞻执行 .....	171
6.5 开发更多的指令级并行 .....	173
6.5.1 挖掘更多的循环级并行 .....	174
6.5.2 软流水 .....	179
6.6 实例: IA-64 体系结构 .....	182
6.6.1 IA-64 的指令格式 .....	183
6.6.2 IA-64 的谓词执行机制 .....	185
6.6.3 IA-64 的前瞻执行机制 .....	186
习题 6 .....	187
<b>第 7 章 存储系统</b> .....	<b>189</b>
7.1 存储系统的层次结构 .....	189
7.1.1 存储系统的层次结构概述 .....	189
7.1.2 存储系统的性能参数 .....	190
7.1.3 三级存储系统 .....	191
7.1.4 存储层次的 4 个问题 .....	193
7.2 Cache 的基本知识 .....	193
7.2.1 基本结构和原理 .....	193
7.2.2 映像规则 .....	194
7.2.3 查找方法 .....	196
7.2.4 Cache 的工作过程 .....	198
7.2.5 替换算法 .....	200
7.2.6 写策略 .....	203
7.2.7 Cache 性能分析 .....	204

7.2.8	改进 Cache 性能 .....	206
7.3	降低 Cache 的不命中率 .....	207
7.3.1	三种类型的不命中 .....	207
7.3.2	增加 Cache 块大小 .....	209
7.3.3	增加 Cache 的容量 .....	210
7.3.4	提高相联度 .....	210
7.3.5	伪相联 Cache .....	211
7.3.6	硬件预取 .....	212
7.3.7	编译器控制的预取 .....	212
7.3.8	编译优化 .....	213
7.3.9	“牺牲”Cache .....	215
7.4	减少 Cache 不命中开销 .....	216
7.4.1	采用两级 Cache .....	216
7.4.2	让读不命中优先于写 .....	219
7.4.3	写缓冲合并 .....	219
7.4.4	请求字处理技术 .....	220
7.4.5	非阻塞 Cache 技术 .....	220
7.5	减少命中时间 .....	221
7.5.1	容量小、结构简单的 Cache .....	221
7.5.2	虚拟 Cache .....	221
7.5.3	Cache 访问流水化 .....	224
7.5.4	踪迹 Cache .....	224
7.5.5	Cache 优化技术总结 .....	224
7.6	并行主存系统 .....	225
7.6.1	单体多字存储器 .....	226
7.6.2	多体交叉存储器 .....	227
7.6.3	避免存储体冲突 .....	231
7.7	虚拟存储器 .....	232
7.7.1	基本概念 .....	232
7.7.2	快速地址转换技术 .....	233
7.7.3	页式虚拟存储器实例：64 位 Opteron 的存储管理 .....	234
7.8	实例：AMD Opteron 的存储器层次结构 .....	236
	习题 7 .....	240
<b>第 8 章</b>	<b>输入输出系统 .....</b>	<b>243</b>
8.1	I/O 系统的性能 .....	243
8.2	I/O 系统的可靠性、可用性和可信性 .....	244
8.3	廉价磁盘冗余阵列 .....	245
8.3.1	RAID0 .....	247

8.3.2	RAID1 .....	247
8.3.3	RAID2 .....	248
8.3.4	RAID3 .....	249
8.3.5	RAID4 .....	249
8.3.6	RAID5 .....	250
8.3.7	RAID6 .....	250
8.3.8	RAID10 与 RAID01 .....	251
8.3.9	RAID 的实现与发展 .....	251
8.4	总线 .....	252
8.4.1	总线的设计 .....	253
8.4.2	总线标准和实例 .....	254
8.4.3	与 CPU 的连接 .....	255
8.5	通道处理机 .....	257
8.5.1	通道的作用和功能 .....	257
8.5.2	通道的工作过程 .....	258
8.5.3	通道种类 .....	259
8.5.4	通道流量分析 .....	261
8.6	I/O 与操作系统 .....	263
8.6.1	DMA 和虚拟存储器 .....	263
8.6.2	I/O 和 Cache 数据一致性 .....	264
	习题 8 .....	266
<b>第 9 章</b>	<b>互连网络</b> .....	<b>268</b>
9.1	互连函数 .....	268
9.1.1	互连函数的表示方法 .....	268
9.1.2	几种基本的互连函数 .....	269
9.2	互连网络的结构参数与性能指标 .....	273
9.2.1	互连网络的结构参数 .....	273
9.2.2	互连网络的性能指标 .....	274
9.3	静态互连网络 .....	275
9.4	动态互连网络 .....	281
9.4.1	总线网络 .....	281
9.4.2	交叉开关网络 .....	282
9.4.3	多级互连网络 .....	283
9.4.4	动态互连网络的比较 .....	286
9.5	消息传递机制 .....	287
9.5.1	消息寻径方案 .....	287
9.5.2	死锁与虚拟通道 .....	290
9.5.3	流控制策略 .....	291

9.5.4 选播和广播寻径算法·····	294
习题 9·····	296
<b>第 10 章 多处理机</b> ·····	298
10.1 引言·····	298
10.1.1 并行计算机系统结构的分类·····	298
10.1.2 存储器系统结构和通信机制·····	300
10.1.3 并行处理面临的挑战·····	302
10.2 对称式共享存储器的系统结构·····	304
10.2.1 多处理机 Cache 一致性·····	304
10.2.2 实现一致性的基本方案·····	305
10.2.3 监听协议的实现·····	308
10.3 分布式共享存储器的系统结构·····	312
10.3.1 目录协议的基本思想·····	312
10.3.2 目录协议实例·····	315
10.3.3 目录的三种结构·····	318
10.4 同步·····	320
10.4.1 基本硬件原语·····	320
10.4.2 用一致性实现锁·····	322
10.4.3 同步性能问题·····	324
10.5 同时多线程·····	326
10.5.1 将线程级并行转换为指令级并行·····	327
10.5.2 同时多线程处理器的设计·····	328
10.5.3 同时多线程的性能·····	329
10.6 大规模并行处理机·····	331
10.6.1 并行计算机系统结构·····	331
10.6.2 大规模并行处理机·····	333
10.7 多处理机实例 1——T1·····	335
10.8 多处理机实例 2——Origin 2000·····	339
习题 10·····	346
<b>第 11 章 多核架构与编程</b> ·····	347
11.1 多核架构的需求·····	347
11.1.1 功耗与散热问题·····	347
11.1.2 并行度问题·····	348
11.1.3 应用软件问题·····	349
11.2 多核架构·····	349
11.2.1 多核的组织架构·····	350

11.2.2	多核架构实例	351
11.3	基于多核的并行程序设计	354
11.3.1	并行编程模型	354
11.3.2	并行语言	355
11.3.3	并行算法	356
11.4	多核编程实例	357
习题 11		359
<b>第 12 章</b>	<b>机群系统</b>	<b>360</b>
12.1	机群的基本结构	361
12.1.1	机群的硬件组成	361
12.1.2	机群的软件	362
12.2	机群的特点	363
12.3	机群的分类	364
12.4	典型机群系统简介	365
12.4.1	Berkeley NOW	365
12.4.2	Beowulf	366
12.4.3	LAMP	366
12.4.4	IBM SP2	367
习题 12		368
<b>第 13 章</b>	<b>阵列处理机</b>	<b>370</b>
13.1	阵列处理机的操作模型和特点	370
13.2	阵列处理机的基本结构	371
13.2.1	分布式存储器的阵列机	371
13.2.2	共享存储器的阵列机	372
13.3	阵列处理机实例	373
13.3.1	实例 1: Illiac IV 阵列处理机	373
13.3.2	实例 2: BSP 计算机	376
13.4	阵列处理机的并行算法举例	380
习题 13		384
<b>第 14 章</b>	<b>数据流计算机</b>	<b>385</b>
14.1	数据流计算机的基本原理	385
14.1.1	数据驱动原理	385
14.1.2	数据流计算机中指令的执行过程	386
14.1.3	数据流计算机的指令结构	387
14.2	数据流程图和数据流语言	387

14.2.1	数据流程图	387
14.2.2	数据流语言及其性质	391
14.3	数据流计算机结构	392
14.3.1	静态数据流计算机	392
14.3.2	动态数据流计算机	394
14.4	数据流计算机的评价	397
14.4.1	数据流计算机的优点	397
14.4.2	数据流计算机的缺点	398
14.4.3	数据流计算机设计中需解决的问题	399
习题 14		399
主要参考文献		400



# 第 1 章

## 计算机系统结构的基础知识

### 内容提要

- (1) 计算机系统结构的基本概念；
- (2) 计算机系统的设计；
- (3) 计算机系统的性能评测；
- (4) 计算机系统结构的发展；
- (5) 计算机系统结构中并行性的发展。

### 1.1 计算机系统结构的基本概念

自第一台通用电子计算机诞生以来的六十多年中,计算机技术一直在以惊人的速度发展,对于许多应用来说,现在的高性能微处理器的性能已经超过了 10 年前的超级计算机。这种飞速的发展一方面是得益于计算机制造技术的发展,另一方面则是因为计算机系统结构的创新。

在计算机开始发展的 25 年中,上述两种因素都起着主要的作用,它们使计算机的性能每年提高约 25%。从 20 世纪 70 年代末到 80 年代初,大规模集成电路和微处理器的出现使得计算机性能的年增长率提高到了约 35%。这种提高主要归功于以集成电路为代表的制造技术的发展。

到了 20 世纪 80 年代初,一种称为 RISC(Reduced Instruction Set Computer)的结构的出现,使计算机系统结构发生了一次重大变革。这种结构简化了指令系统,而把更多的芯片硅面积用于实现流水和 Cache,更有效地提高了性能。从 20 世纪 80 年代中期开始,计算机的性能增长更是达到了每年 50% 以上。

但是,从 2002 年以来,计算机性能的年增长率下降到了约 20%,其主要原因是:

- ① 大功耗问题；
- ② 可以进一步有效开发的指令级并行性已经很少；
- ③ 存储器访问速度的提高缓慢。这使得单个处理机性能的提高受到了严峻的挑战。于是,Intel 于 2004 年宣布放弃其高性能单处理器项目,转向多核(multi-core)的研究和开发。这是通过在单个芯片上实现多个处理器核来提高性能的。IBM、Sun、AMD 等公司也都纷纷朝这个方向转变,这标志着系统结构的一个重大转折:从单纯依靠指令级并行转向开发线程级并行和数据级并行。