

32位数字信号 控制器原理及应用

——基于TMS320F28027 DSC口袋实验板

刘和平 郑群英 主编
高军礼 邓力 胡刚



北京航空航天大学出版社
BEIHANG UNIVERSITY PRESS

TI DSC 中国大学计划教材

32 位数字信号控制器原理及应用

——基于 TMS320F28027 DSC 口袋实验板

刘和平 郑群英 主编
高军礼 邓力 胡刚

北京航空航天大学出版社

内 容 简 介

本书介绍德州仪器公司推出的 32 位数字信号控制器 TMS320F28027 DSC 芯片的原理及工程应用;介绍高效的 C 语言编程,训练初学者的系统调试能力;利用口袋实验板进行自主交互学习;通过网络的“学习云”获取大量的例程、应用信息和 32 位数字信号控制器基础以及相关控制算法,实现培养应用型人才的目标。

本书将探索改革“数字信号控制器原理及应用”课程的教学—实践的教学模式,创建基于“口袋实验室”和“云技术”的互联网学习系统的“4D”开放(人、时间、空间、互联网开放)交互式学习方式,实现互联网上的广义全开放实验室。

本书可作为数字信号控制器和单片机开发人员在岗培训的实用参考书,也可作为高等院校本科生和研究生教学的教材和课外学习参考书。

图书在版编目(CIP)数据

32 位数字信号控制器原理及应用:基于 TMS320F28027 DSC 口袋实验板 / 刘和平等主编. -- 北京:北京航空航天大学出版社, 2014.11

ISBN 978-7-5124-1616-1

I. ①3… II. ①刘… III. ①数字信号处理—教材
IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2014)第 248119 号

版权所有,侵权必究。

32 位数字信号控制器原理及应用 ——基于 TMS320F28027 DSC 口袋实验板

刘和平 郑群英
高军礼 邓力 胡刚
责任编辑 胡晓柏 张楠



*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱:emsbook@gmail.com 邮购电话:(010)82316524

涿州市新华印刷有限公司印装 各地书店经销

*

开本:710×1 000 1/16 印张:21.25 字数:453 千字
2014 年 11 月第 1 版 2014 年 11 月第 1 次印刷 印数:3 000 册
ISBN 978-7-5124-1616-1 定价:49.00 元

前言

数字信号控制器技术发展迅速,已经进入 32 位定点和浮点的处理器时代。微控制器从 30 多年前的 51 系列已经不知发展了多少代,即使与 16 位的微控制器相比技术也越来越先进,开发手段越来越好,越来越方便,价格却越来越低,32 位数字信号控制器价格已经与 8 位单片机价格接近;32 位数字信号控制器中许多新技术的采用使得性能又得到了极大的提高,使得过去难以达到的高速、高分辨率、复杂控制算法得以实现。因此,32 位数字信号控制器将占据大部分市场,逐步淘汰 8 位、16 位单片机是目前的必然趋势。32 位数字信号控制器由于其低廉的价格和高性能必将作为主流芯片得到大力推广和广泛应用。

显然,32 位数字信号控制器开发技术的突飞猛进,使得再采用传统的教学体系已经不能满足当前技术发展和工程技术的需要。学习 32 位数字信号控制器原理及应用重点在于对各种寄存器的理解和设置,掌握了 C 语言对寄存器的设置方法就基本具备了应用 32 位数字信号控制器的能力。对这些寄存器的设置,即各种功能模块和外设模块的初始化有许多的例程可以参考或使用集成开发环境自动生成。因此,由于数字信号控制器的应用技术越来越简单、越来越好学、越来越好用,教学方法和学习模式也与过去完全不同,更多的精力将放在各种应用系统的控制算法和系统调试方面,掌握系统调试和程序的驾驭能力成为学习的重点。

本书介绍德州仪器公司推出的 32 位数字信号控制器 TMS320F28027 DSC 芯片的原理及工程应用,介绍芯片的内核功能、总线、协处理器、中断、外设等硬件结构基础;介绍高效的 C 语言编程,训练初学者的系统调试能力;利用口袋实验板进行自主交互学习,提升初学者从互联网上获取知识的途径和交互沟通能力;通过网络的“学习云”将获得大量的例程、应用信息和 32 位数字信号控制器基础以及相关控制算法。

本书在介绍 32 位数字信号控制器原理的基础上,给出了相关应用例程的电路原理图和源程序清单,其他更多的资料均放在“学习云”上;网络上将提供大量的应用实例和工程范例,提供大量的软件积木块(软件子例程)和硬件积木块(硬件单元电路),以方便初学者学习和搭建创意实现平台,达到学习的低成本和实现培养应用型人才的终极目标。

前 言

数字信号控制器作为一种智能化的载体和应用工具,掌握其开发应用是从事相关工作者的必备条件。本书致力于让初学者更快捷、更方便、更有效、更低成本地掌握数字信号控制器开发过程和工程开发能力;如何让初学者容易入门且快速上手,能够快速提升工程应用能力是本书的宗旨。为此,本书力求通俗易懂,简单实用,精炼简短。

本书将探索改革“数字信号控制器原理及应用”课程的教学—实践的 4D 教学模式,创建“4D”交互式学习平台,实现广义的全天候开放远程实验教学系统。4D 教学模式是基于“口袋实验室”和“云学习”系统的时间、地点、人、网络四维的开放交互式教学模式;打破了时空、场地、人力、物力等方面的制约,任何人、任何时间、任何地点都可以通过互联网进行交互式学习;具有全新的沟通机制与丰富的学习资源;网上将针对难点和学习点提供几分钟相关视频、大量的应用实例和开放源代码例程;学生通过使用口袋实验室进行实验,完成 C 语言学习和 DSC 的各种外设模块的学习,设计构成控制系统和编程调试,以最低成本了解更多知识、更快地进行学习实践。

本书配套口袋实验板特色:

- 采用 TI 公司的用于电机和数字电源控制的芯片 TMS320F28027;
- 目前市场主推的 32 位 DSC 芯片,带浮点数处理能力;
- 实验板价格低廉(150 元),芯片价格超低;
- 板载仿真器 XDS100 - V2,调试方便;
- 所有外设模块和实验均可完成;
- 可完成 C 语言学习开发调试;
- 放入口袋中便于携带的超小体积;
- 板载资源丰富,可拓展性强;
- 网上教学资源丰富;
- 可解决网络教学的学生动手实验问题;
- 学生学习成本低;
- 大学期间有多门课程、进行创新性试验和多种相关竞赛能使用,使用率超高。

“32 位数字信号控制器原理及应用”是一门理论与工程实际紧密联系的课程,具有很强的工程性、实践性、应用性和综合性。本书可作为数字信号控制器和单片机开发人员在岗培训的实用参考书,也可作为本科生和研究生教学的教材和课外学习参考书。

本书的编写得到了重庆大学-美国德州仪器公司数字信号解决方案实验室的肖英、薛鹏飞、周驰、杨依路、李金龙、汤梦阳、周金飞等研究生同学的帮助,他们为本书做了大量的文案工作,在此表示感谢。

感谢重庆百转电动汽车电控系统有限责任公司的谢为贵、董海成、曾凡晴等

几位工程师为本书的出版提供制作了口袋实验板产品、外设模块例程、出厂测试程序等,保证了口袋实验板的质量和批量生产能力。感谢美国德州仪器公司大学计划项目提供的大力支持。本书作为重庆市教委立项的两个重点教学改革项目的重要研究内容之一,得到重庆市教委资金的支持和相关学校的认可,在此表示衷心的感谢。

限于作者的水平,书中难免存在错误和不当之处,恳请读者批评指正。

刘和平

engineer@cqu.edu.cn

2014年8月于重庆大学电气工程学院

目 录

第 1 章 简 介	1
1.1 2802x 系列概述	1
1.2 引脚封装与分配	3
1.3 引脚信号说明	3
1.4 技术支持	10
1.5 器件和开发工具命名规则	10
1.6 口袋实验室简介	11
1.7 口袋实验板原理图	12
第 2 章 芯片功能概述	14
2.1 内核功能简述及芯片功能方框图	14
2.2 内存映射	20
2.3 引导模式和闪存编程选项	22
2.4 寄存器映射	24
2.5 片内电压稳压器/欠压复位/上电复位	26
2.6 系统工作模块的控制	27
第 3 章 数字信号控制器硬件设计	34
3.1 时钟和振荡器电路	35
3.2 复位和看门狗电路	37
3.3 仿真器接口电路	39
3.4 中断、通用输入输出引脚和片内外设的外部电路设计	41
3.5 模拟数字转换器外接电路设计	42
3.6 脉宽调制、捕获、增强型正交编码接口电路设计	45
3.7 串行通信(I ² C、SPI、SCI 和 CAN)接口电路设计	45
3.8 电源设计	47
3.9 原理图和电路板布局设计	48
3.10 电磁干扰、电磁兼容性和静电放电	52

目 录

第 4 章 控制律加速器函数库应用快速入门	55
4.1 控制律加速器概述	55
4.2 控制律加速器函数库的安装	57
4.3 控制律加速器函数库的使用	57
4.4 控制律加速器函数库	59
第 5 章 流水线和中断	62
5.1 中央处理单元流水线	62
5.2 流水线活动	64
5.3 流水线活动的冻结	66
5.4 流水线保护	67
5.5 避免无保护的操作	70
5.6 控制律加速器流水线	72
5.7 外设中断扩展模块和外部中断	73
5.8 使用中断的定时器例程	84
第 6 章 通用输入/输出	88
6.1 通用输入/输出引脚多功能复用寄存器选择功能	91
6.2 输入信号的采样窗口宽度设置	94
6.3 开关量输出 LED 灯显示例程	95
第 7 章 串行外设接口	99
7.1 串行外设接口主从工作原理	101
7.2 串行外设接口中断	104
7.3 串行外设接口先入先出缓冲器概述	107
7.4 串行外设接口先入先出缓冲器中断	108
7.5 串行外设接口 3-线模式概述	109
7.6 串行外设接口数字音频传送	111
7.7 串行外设接口模块寄存器概述	112
7.8 串行外设接口驱动的 7 段数码显示电路例程	117
第 8 章 串行通信接口	123
8.1 串行通信接口模块架构	126
8.2 串行通信接口可编程数据格式	126
8.3 多控制器的串行通信接口通信	127

8.4	串行通信接口通信模式	131
8.5	串行通信接口寄存器简介	137
8.6	串行通信接口通信例程	140
第 9 章	串行 I²C 接口	145
9.1	I ² C 模块时钟发生器	148
9.2	I ² C 模块操作	149
9.3	I ² C 模块中断请求产生	155
9.4	I ² C 模块寄存器简介	157
第 10 章	模拟数字转换器	172
10.1	模拟数字转换特性	172
10.2	模拟数字转换性能指标说明	176
10.3	模拟数字转换的多功能复用电路	177
10.4	比较器模块	178
10.5	脉宽调制输出模拟量及其按键输入例程	179
第 11 章	增强型脉宽调制模块	186
11.1	增强型脉宽调制模块	190
11.2	时基模块	194
11.3	增强型脉宽调制的周期和频率计算	197
11.4	计数比较模块	203
11.5	操作限定模块	207
11.6	波形的共同配置	211
11.7	波形配置例程	214
11.8	死区模块	220
11.9	增强型脉宽调制斩波模块	223
11.10	触发区模块	227
11.11	事件触发模块	232
11.12	数字比较模块	237
11.13	寄存器与其影子寄存器	242
11.14	脉宽调制输出控制 LED 灯显示渐变例程	272
第 12 章	高分辨率增强型脉宽调制器	278
12.1	高分辨率增强型脉宽调制的操作方法	279
12.2	占空比范围限制	285

目 录

12.3	高分辨率周期控制	287
12.4	实现一个简单的降压转换器功能	290
12.5	使用 RC 滤波器实现 DAC 功能	292
12.6	高分辨率增强型脉宽调制寄存器组	294
12.7	比例因子优化函数	298
12.8	高分辨率增强型脉宽调制定时	301
第 13 章	增强型捕捉模块	303
13.1	增强型捕获和辅助脉宽调制操作模式	304
13.2	增强型捕获模式	305
13.3	辅助脉宽调制模式	310
13.4	增强型捕获模块的控制和状态寄存器	311
13.5	增强型捕获模块的应用实例	319
13.6	辅助脉宽调制模式的应用实例	325
参考文献		327

第 1 章

简介

1.1 2802x 系列概述

TI 公司 Piccolo 系列中的 2802x 系列微控制器内核为 C28x, 此内核采用低引脚数器件与高集成度构架控制外设, 该系列的代码与以往基于 C28x 的代码相兼容, 并提供了很高的模拟集成度。2802x 系列芯片包含了 28027、28026、28023、28022、28021、28020、280200, 均包含有 38 脚和 48 脚两种封装外形产品。

芯片内带有一个电压稳压器, 并允许外部单一电源供电; 改进了的高分辨率增强型脉宽调制 (HRPWM) 模块, 以提供双边缘控制 (调频); 增设了具有内部 10 位基准的模拟比较器, 可直接对其进行路由选择以控制脉宽调制 (PWM) 输出。ADC 可在 0~3.3 V 范围内进行转换操作, 支持公制比例 V_{REFHI}/V_{REFLO} 基准。ADC 接口专门针对低开销/低延迟进行了优化。

● 亮点:

- 32 位高效中央处理单元 (CPU)
- 60 MHz、50 MHz 和 40 MHz 器件
- 3.3 V 单电源供电
- 集成型上电和欠压复位
- 两个内部零引脚振荡器
- 多达 22 个具有输入尖脉冲滤波功能, 并可单独编程的多功能复用 GPIO 引脚
- 3 个 32 位 CPU 定时器
- 片内闪存、SRAM、一次性可编程 (OTP) 内存、引导 ROM 可用
- 代码安全模块、128 位安全密钥/锁、保护安全内存块、防止对固件实施逆向工程
- 增强型控制外设:
 - 增强型脉宽调制 (ePWM), 带有 16 位独立定时器
 - 高分辨率增强型脉宽调制 (HRPWM)
 - 增强型捕捉 (eCAP)
 - 模数转换器 (ADC)

第1章 简介

- 片内温度传感器
- 比较器
- 高效 32 位 CPU:
 - 60 MHz 周期, 16.67 ns 周期时间
 - 50 MHz 周期, 20 ns 周期时间
 - 40 MHz 周期, 25 ns 周期时间
 - 16×16 和 32×32 MAC 运算
 - 16×16 双 MAC
 - 哈佛(Harvard)总线架构
 - 乘加运算
 - 快速中断响应和处理
 - 统一存储器编程模型
 - 高效代码——使用 C/C++ 和汇编语言
- 计时:
 - 片内晶振振荡器/外部时钟输入
 - 支持锁相环 PLL 比率动态变化
 - 安全装置定时器模块
 - 丢失时钟检测电路
- 可支持所有外设中断的外设中断扩展(PIE)模块
- 串行接口外设:
 - 1 个 SCI 模块
 - 1 个 SPI 模块
 - 1 个内部集成电路 I²C 总线
- 器件低成本:
 - 电源上电和掉电无顺序要求
 - 可采用低至 38 引脚小型封装
 - 省掉模拟输入引脚
 - 低功耗
- 2802x, 2802xx 封装:
 - 38 引脚 DA 薄型小外形尺寸封装 TSSOP
 - 48 引脚 PT 薄型方形扁平封装 LQFP
- 高级仿真特性:
 - 分析和断点功能
 - 借助硬件的实时调试

1.2 引脚封装与分配

图 1-1 显示了 48 引脚 PT 薄型四方扁平封装 LQFP 引脚分配。

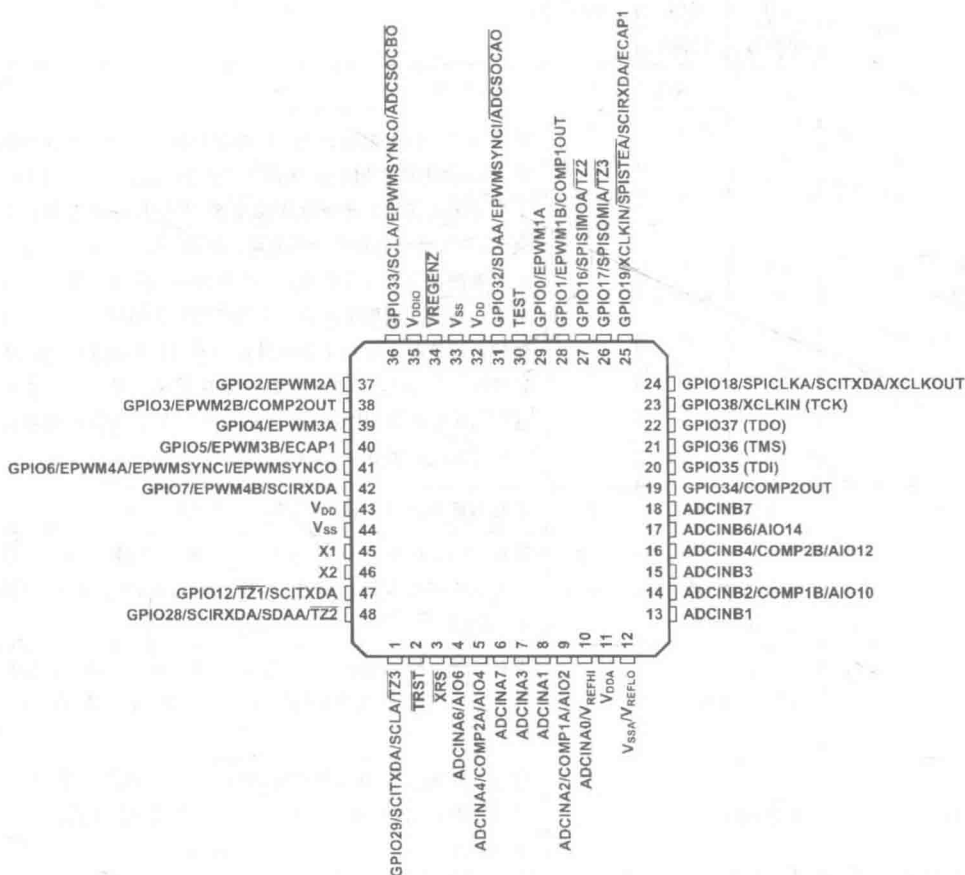


图 1-1 48 引脚 2802x 的 LQFP 封装(顶视图)

1.3 引脚信号说明

表 1-1 对芯片的部分引脚信号作了说明。除 JTAG 引脚以外,默认情况下 GPIO 功能在复位时为缺省值。下述列出的外设信号是可供选择的功能。有些外设功能并不是所有器件上都提供。输入耐压不是 5 V。所有 GPIO 引脚为 I/O/Z 且有一个内部上拉电阻,此内部上拉电阻可在每个引脚上独立使能/禁止,这一特性只适用于 GPIO 引脚。在复位时脉宽调制(PWM)引脚上的上拉电阻不使能。其他

GPIO 引脚的上拉电阻复位时都使能。ADC 引脚可以作为输入输出,但是 AIO 引脚没有内部上拉电阻。

表 1-1 引脚功能介绍

端 子			I/O/Z	说 明
名 称	PT 引脚号	DA 引脚号		
JTAG				
TRST	2	16	I	使用内部下拉电阻进行 JTAG 测试复位。当被驱动为高电平时,TRST 使扫描系统获得器件运行的控制权。如果这个信号未连接或者被驱动至低电平,此器件在功能模式下运转,并且测试复位信号被忽略。注释:TRST 是一个高电平有效测试引脚并且必须在正常器件运行期间一直保持低电平。在这个引脚上需要一个外部下拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。一个 2.2 k Ω 电阻器一般提供足够的保护。由于这是应用专用的,建议针对调试器和应用的适当运行对每个目标板进行验证。(↓)
TCK	请见 GPIO38		I	带有内部上拉电阻器的 JTAG 测试时钟(↑)
TMS	请见 GPIO36		I	带有内部上拉电阻器的 JTAG 测试模式选择(TMS)。这个串行控制输入被计时在 TCK 上升沿上的 TAP 控制器中。(↑)
TDI	请见 GPIO35		I	带有内部上拉电阻的 JTAG 测试数据输入(TDI)。TDI 在 TCK 的上升沿上所选择的寄存器(指令或者数据)内计时。(↑)
TDO	请见 GPIO37		O/Z	JTAG 扫描输出,测试数据输出(TDO)。所选寄存器(指令或者数据)的内容被从 TCK 下降沿上的 TDO 移出。(8 mA 驱动)
闪存				
TEST	30	38	I/O	测试引脚。为 TI 预留。必须被保持为未连接
时钟				
XCLKOUT	请见 GPIO18		O/Z	取自 SYSCLKOUT 的输出时钟。XCLKOUT 或者与 SYSCLKOUT 的频率一样、或者为其一半、或者为其四分之一,这由系统时钟输出(XCLKOUT)控制寄存器(XCLK 1~0)的位 XCLKOUTDIV 控制。复位时,XCLKOUT = SYSCLKOUT/4。通过将 XCLKOUTDIV 设定为 3,XCLKOUT 信号可被关闭。为了使这个信号传播到此引脚,GPIO18 的多功能复用控制必须被设定至 XCLKOUT

续表 1-1

端 子			I/O/Z	说 明
名 称	PT 引脚号	DA 引脚号		
XCLKIN	请见 GPIO19 和 GPIO38		I	外部振荡器输入。针对时钟的引脚源由系统时钟输出(XCLKOUT)控制寄存器(XCLK)的位 XCLKINSEL 控制,GPIO38 为默认选择。这个引脚馈通一个来外部 3.3 V 振荡器的时钟。在这个情况下,X1 引脚,如果可用的话,必须被接至 GND,而且必须通过时钟控制寄存器(CLKCTL14)的位将片载晶体振荡器禁用。如果使用一个晶振/谐振器,必须通过时钟控制寄存器(CLKCTL13)的位将 XCLKIN 路径禁用。 注释:使用 GPIO38/TCK/XCLKIN 引脚为用于正常器件运行的一个外部时钟供电的引脚,也许需要组装一些钩子以在使用 JTAG 连接器进行调试期间禁用这个路径。这是为了防止 TCK 信号竞争,在 JTAG 调试会话期间,此信号被激活。在此次为器件计时期间,零引脚内部振荡器可被使用
X1	45	—	I	片载晶体振荡器输入。为了使用这个振荡器,一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和 X2。在这种情况下,XCLKIN 路径必须被时钟控制寄存器(CLKCTL13)的位禁用。如果这个引脚未使用,它必须被连接至 GND。(I)
X2	46	—	O	片载晶体振荡器输出。一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和 X2。如果 X2 未使用,它必须保持在未连接状态。(O)
复位				
XRS	3	17	I/OD	器件复位(输入)和安全装置复位(输出)。Piccolo 器件有一个内置加电复位 POR 和欠压复位 BOR 电路。这样,无需外部电路既可生成一个复位脉冲。在一个加电或者欠压情况下,这个引脚由器件驱动为低电平。当一个安全装置复位发生时,这个引脚也由 MCU 驱动为低电平。安全装置复位期间,在 512 个 OSCCLK 周期的安全装置复位持续时间内,XRS 引脚被驱动为低电平。如果需要的话,一个外部电路也可驱动这个引脚使一个器件复位生效。在这个情况下,建议由一个漏极开路器件驱动这个引脚。由于抗扰度原因,一个 R-C 电路必须被连接至这个引脚。不论源是什么,一个器件复位会引起器件终止执行。程序计数器指向包含在位置 03xFFFC0 内的地址。当复位被置成无效时,在程序计数器指定的位置开始执行。这个引脚的输出缓冲器是一个有内部上拉电阻的漏极开路。(I/OD)

第 1 章 简介

续表 1-1

端 子			I/O/Z	说 明
名 称	PT 引脚号	DA 引脚号		
模数转换器(ADC),比较器(COMPARATOR),模拟(ANALOG)I/O				
ADCINA7	6	—	I	ADC 组 A,通道 7 输入
ADCINA6 AIO6	4	18	I I/O	ADC 组 A,通道 6 输入 数字 AIO6
ADCINA4 COMP2A AIO4	5	19	I I I/O	ADC 组 A,通道 4 输入 比较器输入 2A(只用在 48 引脚的器件中) 数字 AIO4
ADCINA3	7	—	I	ADC 组 A,通道 3 输入
ADCINA2 COMP1A AIO2	9	20	I I I/O	ADC 组 A,通道 2 输入 比较器输入 1A 数字 AIO2
ADCINA1	8	—	I	ADC 组 A,通道 1 输入
ADCINA0 V _{REFHI}	10	21	I I	ADC 组 A,通道 0 输入 ADC 外部基准-只在处于 ADC 外部基准模式中时才使用。
ADCINB7	18	—	I	ADC 组 B,通道 7 输入
ADCINB6 AIO14	17	26	I I/O	ADC 组 B,通道 6 输入 数字 AIO14
ADCINB4 COMP2B AIO1	16	25	I I I/O	ADC 组 B,通道 4 输入 比较器输入 2B(只用在 48 引脚的器件中) 数字 AIO12
ADCINB3	15	—	I	ADC 组 B,通道 3 输入
ADCINB2 COMP1B AIO10	14	24	I I I/O	ADC 组 B,通道 2 输入 比较器输入 1B 数字 AIO10
ADCINB1	13	—	I	ADC 组 B,通道 1 输入
CPU 和 I/O 电源				
V _{DDA}	11	22		模拟电源引脚。在此引脚附近连接一个 2.2 μF 电容器(典型值)
V _{SSA} V _{REFLO}	12	23	I	模拟接地引脚 ADC 低基准(一直接地)

续表 1-1

端 子			I/O/Z	说 明
名 称	PT 引脚号	DA 引脚号		
V _{DD}	32	1		CPU 和逻辑数字电源引脚-当使用内部 VREG 时,无需电源。当使用内部 VREG 时,将 1.2 μF(最小值)陶瓷电容器(10%耐受)接地。可使用更高值的电容器,但是这会影 电源轨斜坡上升时间
V _{DD}	43	11		
V	35	4		数字 I/O 和闪存电源引脚-当 VREG 被启用时,为单电源。 在此引脚附近连接一个 2.2 μF 电容器(典型值)
V _{SS}	33	2		数字接地引脚
V _{SS}	44	12		
电压稳压器控制信号				
VREGENZ	34	3	I	内部 VREG 启用/禁用。拉至低电平来启用内部电压稳压器(VREG),拉至高电平禁用 VREG
GPIO 和外设信号(1)				
GPIO0 EPWM1A	29	37	I/O/Z O	通用输入/输出 0 增强型 PWM1 输出 A 和高分辨率脉宽调制(HRPWM)通道
GPIO1 EPWM1B COMP1OUT	28	36	I/O/Z O O	通用输入/输出 1 增强型 PWM1 输出 B 比较器 1 的直接输出
GPIO2 EPWM2A	37	5	I/O/Z O	通用输入/输出 2 增强型 PWM2 输出 A 和 HRPWM 通道
GPIO3 EPWM2B COMP2OUT	38	6	I/O/ZO O	通用输入/输出 3 增强型 PWM2 输出 B 比较器 2 的直接输出(只在 48 引脚器件中提供)
GPIO4 EPWM3A	39	7	I/O/Z O	通用输入/输出 4 增强型 PWM3 输出 A 和 HRPWM 通道
GPIO5 EPWM3B ECAP1	40	8	I/O/Z O I/O	通用输入/输出 5 增强型 PWM3 输出 B 增强型捕捉输入/输出 1
GPIO6 EPWM4A EPWMSYNCI EPWMSYNCO	41	9	I/O/Z O I O	通用输入/输出 6 增强型 PWM4 输出 A 和 HRPWM 通道 外部 ePWM 同步脉冲输入 外部 ePWM 同步脉冲输出