

高等学校电子信息类专业
“十二五”规划教材

ELECTRONIC
INFORMATION SPECIALTY

基于FPGA的 嵌入式系统设计

——Altera SoC FPGA

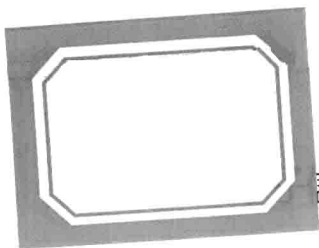
(第二版)

任爱锋 罗丰 宋士权 董怡斌 编著
殷勤业 主审



西安电子科技大学出版社
<http://www.xduph.com>





信息类专业“十二五”规划教材

基于 FPGA 的嵌入式系统设计

——Altera SoC FPGA

(第二版)

任爱锋 罗 丰 宋士权 董怡斌 编著

殷勤业 主审

西安电子科技大学出版社

内 容 简 介

本书全面介绍基于 Altera Nios II 软核和 ARM Cortex-A9 硬核的嵌入式系统软硬件设计开发技术, 共分为九章, 主要内容包括: 基于 SoC FPGA 的嵌入式系统设计概述, Altera SoC FPGA 系列器件简介, Quartus II EDA 开发工具应用, Qsys 系统开发工具, Nios II EDS 嵌入式处理器设计, 基于 Qsys 的 HPS 模型设计, 基于 SoC EDS 的嵌入式系统设计, 基于 ARM SoC FPGA 的 DSP 设计, OpenCL 入门与应用。

本书内容丰富, 取材新颖, 可以作为高等院校电子类和通信类各专业本科生、研究生 EDA 课程的教材, 也可以作为相关专业工程技术人员的参考书。

图书在版编目(CIP)数据

基于 FPGA 的嵌入式系统设计: Altera SoC FPGA/任爱锋等编著. —2 版.

—西安: 西安电子科技大学出版社, 2014.8

高等学校电子信息类专业“十二五”规划教材

ISBN 978-7-5606-3451-7

I. ① 基… II. ① 任… III. ① 数字图像处理—系统设计—高等学校—教材 IV. ① TN911.73

中国版本图书馆 CIP 数据核字(2014)第 175378 号

策 划 云立实

责任编辑 许青青

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfxb001@163.com

经 销 新华书店

印刷单位 陕西华沐印刷科技有限责任公司

版 次 2014 年 8 月第 2 版 2014 年 8 月第 4 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 24.5

字 数 576 千字

印 数 9001~12 000 册

定 价 46.00 元

ISBN 978-7-5606-3451-7/TN

XDUP 3743002-4

如有印装问题可调换

本社图书封面为激光防伪覆膜, 谨防盗版。

序

受任老师委托，很高兴为本书作序。Altera 的大学计划在国内得到了广大老师和学生的认可。同时，老师们也在教科书方面给予了很大的支持，出版了大量的书籍，其中不乏高质量的课本。在此，我对这些老师表示衷心的感谢！

这本书是我们首个针对 SoC 器件的书籍，书中列举了很多针对 Altera SoC FPGA 硬件与软件的基本操作，并给出了一些应用范例。本书的对象是在校大学生以及刚接触 Altera SoC 的工程师，可以作为老师教学的首选。

本书还第一次把 Altera 最新的技术 OpenCL 也涵盖进去，目的是尽快让大学生了解业界最前沿也必将是最热门的技术，为将来能更好地跟进业界最新发展打下基础。

我大力推荐本书，希望老师和学生能由此更新知识，扩大眼界，把握未来。

陈卫中

Altera 中国区大学计划经理

2014 年 6 月于成都

前 言

《基于 FPGA 的嵌入式系统设计》是第一本以介绍 Altera Nios II 嵌入式软核处理器为主的现场可编程门阵列(FPGA)设计参考教材,被国内多所院校作为本科生及研究生 EDA 培训教材使用,也是很多研究人员的技术参考书。该书自 2004 年 10 月出版以来深受读者欢迎,作者收到了来自高校、研究所及公司等不同应用领域读者的反馈,他们从各自不同的应用角度为该书内容提出了建议、希望和要求。同时,随着 FPGA 技术的不断发展和创新,RISC 处理器与 FPGA 系统的融合与优化成为新一代 FPGA 的发展趋势,以 FPGA 来实现新的嵌入式系统应用已越来越广泛。所有这些,正是修订本书的主要动力及迫切需要。

本次修订主要包括以下几个方面:

(1) 在第 1 章给出了 Altera 所提供的全面 FPGA 解决方案的汇集,帮助读者对基于 FPGA 的嵌入式系统设计有一个全面的了解。第 2 章简化了 Altera 器件介绍部分,仅给出了最新的集成 ARM 硬核处理器系统的 SoC FPGA 芯片简介。

(2) 全部重写了第一版中 Quartus II 及 Nios II 软核处理器的设计部分,将 SoPC Builder 的嵌入式系统集成升级到 Qsys 系统集成开发工具,并增加了 Qsys 用户自定义外设部分。希望通过该部分内容能使读者进一步提高设计 Nios II 嵌入式软核处理器系统的能力。

(3) 删除了第一版第 6 章 DSP Builder 系统设计、第 7 章 PCI 编译器及 PCI 兆核函数、第 8 章 FFT 兆核函数、第 9 章 LogicLock 优化技术、第 10 章 SignalTap II 嵌入式逻辑分析仪的使用等章节。

(4) 增加了 Altera SoC FPGA 基于 ARM Cortex-A9 的硬核处理器系统(HPS)设计内容,分别是新版的第 6 章基于 Qsys 的 HPS 模型设计、第 7 章基于 SoC EDS 的嵌入式系统设计、第 8 章基于 ARM SoC FPGA 的 DSP 设计。希望该部分内容能够引导读者进入新一代 SoC FPGA 嵌入式系统设计的大门。

(5) 本书增加了 OpenCL 应用入门,作为读者进一步学习 FPGA 新技术发展的扩展内容。

本书由西安交通大学电子与信息工程学院殷勤业教授主审。本书的出版得到了 Altera 公司中国区大学计划经理陈卫中先生的大力支持。本书内容的规划与编写得到了骏龙科技西安办事处宋士权先生和骏龙科技上海办事处董怡斌先生的大力支持。本书的顺利出版得到了西安电子科技大学出版社胡方明社长、云立实编辑以及其他相关工作人员的大力支持。修订过程中参与编写的研究生包括郝小伟、李娟、查全超、杨指望、李宏强、郭少华、杨阳等,他们也为本书修订部分内容的软硬件实例作了认真详尽的上机验证。在此,作者对他们表示衷心的感谢!

EDA 技术发展迅速,应用领域不断扩大。由于作者掌握的资料和水平有限,加之时间仓促,书中难免有不妥之处,恳请读者批评指正。

作 者

2014 年 6 月于西安电子科技大学

第一版前言

微电子技术的进步以及各应用领域多样化的需求,促使集成电路向高速、高集成度、低功耗的系统集成方向发展。在单芯片上集成了嵌入式 CPU、DSP、存储器和其他控制功能的片上系统(SoC)正处于高速发展中。Altera 公司提出的片上可编程系统(SoPC)解决方案,使得 FPGA 在嵌入式系统设计领域的地位越来越重要。利用 SoPC 解决方案可将 CPU、存储器、I/O 接口、低电压差分信号(LVDS)技术、时钟-数据自动恢复(CDR)以及锁相环(PLL)等系统设计所必需的模块集成到一片可编程器件(PLD)上,构成一个可编程的片上系统。目前,可编程器件供应商还在不断推出新的基于 FPGA 的嵌入式处理器及相应的软件开发工具,如 Altera 公司在第一代 Nios 嵌入式处理器获得成功的基础上,推出了具有完善功能的软件开发套件,包括 C/C++编译器、集成开发环境(IDE)、JTAG 调试器、实时操作系统(RTOS)和 TCP/IP 协议栈的 32 位 RSIC 嵌入式处理器 Nios II。利用这些开发套件,配合 Quartus II 开发软件中的 SoPC Builder 设计工具,设计者可以很快完成一个 SoPC 系统的设计工作。

西安电子科技大学国家电工电子教学基地 EDA 实验室在 1997 年创建时就得到 Altera 公司、Xilinx 公司、Lattice 公司和 AMD 公司的大力支持,并一直和这些公司保持着良好的联系。作为实验室的成员,本书作者较早地在教学和科研实践中使用了这些公司生产的可编程器件,具有一定的教学和实践经验。考虑到可编程器件结构及规模的飞速发展,与其相适应的 EDA 软件的不断更新以及 FPGA 应用领域的日益扩大,现有教材及参考书的内容没有及时跟踪最新 EDA 技术的发展现状,作者在教学、科研实践及进一步学习的基础上,结合当前可编程器件的发展趋势,跟踪最新的 EDA 设计流程完成了此书。本书以 Altera 公司的 EDA 开发工具 Quartus II 和嵌入式开发软件 Nios II 为主介绍 SoPC 系统设计方法,希望能够对 EDA 设计方面的教学和科研起到促进作用。

本书分为四篇。第一篇主要介绍 Altera 公司的新型可编程器件系列、EDA 设计软件 Quartus II 以及在 EDA 设计中常用的第三方综合、仿真、调试工具,其中新型器件系列包括 MAX II、Cyclone、Cyclone II、Stratix、Stratix II 和 Stratix GX 等,第三方 EDA 工具包括 ModelSim 仿真软件、Synplify 综合工具和 Debussy 调试软件。第二篇主要介绍 Altera 嵌入式处理器 Nios II 的开发过程,其中包括 SoPC Builder 开发工具和 Nios II 嵌入式处理器的设计过程。第三篇主要介绍使用 IP 核的设计过程,其中包括 Altera 提供的基于 Simulink 的系统级设计模块 DSP Builder,以及 PCI 编译器和 FFT 兆核函数的设计应用。第四篇主要介绍了 Quartus II 软件提供的基于模块设计的 LogicLock 技术和 SignalTap II 嵌入式逻辑分析仪调试工具。

本书既可作为广大电子设计人员的设计参考和软件操作手册,也可作为电子与通信类各专业 EDA 设计方面的教材和参考书。

本书是在孙肖子教授的倡导下编写而成的。任爱锋规划了全书的主要内容,任爱锋、初秀琴、常存和孙肖子参加了编写。其中概述部分由孙肖子编写,第 1 章由初秀琴编写,

第 2、3、6、7、8、9、10 章由任爱锋编写(其中 3.2 节的内容来源于骏龙武汉办事处潘斌先生, 第 3 章其他部分的内容由骏龙科技西安办事处的宋士权先生提供), 第 4、5 章由常存编写。全书由任爱锋统稿。

西安交通大学电子与信息工程学院殷勤业教授在百忙中审阅了全书, 并提出了许多宝贵的意见, 使得书稿的内容和结构更为合理。感谢 Altera 亚太区副总裁李彬先生为本书写序。本书在编写过程中特别受到了 Altera 公司中国区项目经理徐平波先生的大力支持和帮助, 在此深表谢意。同时, 与骏龙科技西安办事处宋士权先生的多次讨论使得本书的内容丰富了许多。硕士研究生白磷验证了本书的部分习题和实验。本书在编写过程中参考了诸多专家和学者的著作和研究成果, 在这里向他们表示衷心的感谢, 同时也向所有给予我们帮助的老师 and 同学, 以及热情支持作者的西安电子科技大学出版社的领导、编辑及相关工作人员表示深深的敬意和感谢。

EDA 技术发展迅速, 应用领域不断扩大。由于掌握的资料和水平有限, 加之时间仓促, 书中难免有不妥之处, 恳请读者批评指正。

书中相关软件和技术资料以及技术支持可以通过下面的网站、电子信箱或电话获得:

英文网站: <http://www.altera.com>。

中文网站: <http://www.altera.com.cn>。

电子信箱: SQIAN@altera.com。

电 话: 021-50372537。

编 者

2004 年 8 月于西安电子科技大学

目 录

第 1 章 基于 SoC FPGA 的嵌入式系统设计概述	1
1.1 SoC 嵌入式设计的挑战与机遇	1
1.2 Altera 提供的解决方案汇集	3
1.2.1 器件系列	3
1.2.2 设计软件工具及嵌入式处理器	4
1.2.3 可以使用的 IP 功能	8
1.2.4 SoC FPGA 开发套件简介	14
第 2 章 Altera SoC FPGA 系列器件简介	19
2.1 SoC FPGA 简介	19
2.2 Cyclone V 器件	21
2.3 Arria V 器件	28
第 3 章 Quartus II EDA 开发工具应用	36
3.1 现代数字系统设计方法简介	36
3.1.1 图形用户界面设计方法	39
3.1.2 EDA 数字系统设计流程	39
3.1.3 Quartus II 13.0 EDA 软件特点	40
3.2 Quartus II 13.0 软件安装	41
3.3 Quartus II EDA 软件设计过程	44
3.4 Quartus II 设计输入	47
3.4.1 创建新工程	47
3.4.2 建立原理图编辑文件	50
3.4.3 建立文本编辑文件	63
3.4.4 建立存储器编辑文件	64
3.4.5 设计实例	68
3.5 设计项目的编译	72
3.5.1 项目综合	72
3.5.2 Quartus II 编译器选项设置	73
3.5.3 引脚分配	80
3.5.4 项目编译结果分析	81
3.6 设计项目的仿真验证	83
3.6.1 Modelsim 软件架构	83
3.6.2 Modelsim 软件应用	83

3.7	TimeQuest 时序分析	87
3.7.1	时序分析基本参数	87
3.7.2	时序分析基本步骤	88
3.7.3	查看时序分析报告	96
3.8	器件编程	97
第 4 章	Qsys 系统开发工具	100
4.1	Qsys 简介	100
4.1.1	SoPC 技术简介	100
4.1.2	Qsys 与 SoPC 开发	101
4.1.3	Qsys 的功能特点	101
4.1.4	Qsys 的优点	102
4.2	Qsys 设计流程	103
4.3	Qsys 用户界面	104
4.3.1	系统元件页	104
4.3.2	系统从属页	105
4.3.3	系统选项页	106
4.3.4	Qsys 菜单命令	110
4.4	Qsys 用户自定义元件	111
4.4.1	Qsys 组件构成	112
4.4.2	Qsys 组件编辑器	113
4.4.3	自定义组件实例 1——DDS 信号产生模块	114
4.4.4	自定义组件实例 2——以太网控制器 W5300 控制	126
第 5 章	Nios II EDS 嵌入式处理器设计	130
5.1	Nios II 嵌入式处理器简介	130
5.1.1	第一代 Nios 嵌入式处理器	130
5.1.2	第二代 Nios 嵌入式处理器	130
5.1.3	可配置的软核嵌入式处理器的优势	132
5.2	Nios II 嵌入式处理器软硬件开发流程简介	135
5.2.1	硬件开发流程	136
5.2.2	软件设计流程	136
5.2.3	软件设计实例	136
5.3	HAL 系统库	149
5.3.1	HAL 系统库简介	149
5.3.2	使用 HAL 开发程序	151
5.4	Nios II EDS 开发实例	155
5.4.1	系统软硬件需求分析	155
5.4.2	系统硬件设计	157
5.4.3	系统软件设计	169

第 6 章 基于 Qsys 的 HPS 模型设计.....	179
6.1 Cyclone V SoC 和 Arria V SoC 子系统介绍.....	179
6.1.1 SoC 的 CPU 部分简介.....	179
6.1.2 SoC 的 DSP 部分(NEON 和 FPU)简介.....	189
6.2 嵌入式 SoC FPGA 软硬件开发流程.....	193
6.2.1 建立 HPS 硬件系统模型.....	194
6.2.2 生成 Preloader 镜像文件.....	232
6.2.3 生成设备树(Device Tree).....	237
6.2.4 设备树 DTB(Device Tree Blob)检查.....	239
第 7 章 基于 SoC EDS 的嵌入式系统设计.....	246
7.1 SoC EDS 简介.....	246
7.1.1 SoC EDS 嵌入式系统设计套件.....	246
7.1.2 SoC EDS 安装.....	249
7.2 DS-5 设计输入.....	254
7.2.1 创建 C/C++工程.....	254
7.2.2 创建 Makefile 项目.....	255
7.2.3 导入工程.....	256
7.2.4 创建源文件.....	257
7.3 设计项目的编译.....	258
7.3.1 ARM 编译器和 GNU 编译器简介.....	258
7.3.2 DS-5 编译器及其选项设置.....	261
7.4 设计项目的调试.....	262
7.4.1 调试配置(Debug Configuration).....	263
7.4.2 调试视图(Debug Views).....	271
7.5 基于 ARM 编译器的裸机实例.....	275
7.5.1 创建 ARMCC 项目.....	276
7.5.2 建立项目文件.....	279
7.5.3 项目编译.....	287
7.5.4 设计项目的调试.....	288
7.6 基于 GNU 编译器的裸机实例.....	294
7.6.1 创建 GNU 项目.....	295
7.6.2 创建项目文件.....	296
7.6.3 跟踪调试.....	302
7.7 ARM Streamline 硬件性能分析器.....	306
7.7.1 ARM Streamline 的基本特点.....	306
7.7.2 设置 ARM Linux 目标机.....	309
7.7.3 设置捕捉选项和配置计数器.....	315
7.7.4 Live 视图.....	320

7.7.5	Timeline 视图	321
7.7.6	Streamline 的其他视图	324
第 8 章	基于 ARM SoC FPGA 的 DSP 设计	332
8.1	NEON 和通用 DSP 的性能对比	332
8.2	Bare-metal 下对 NEON 和 FPU 的支持及优化	334
8.3	NEON 的语法特征	336
8.4	DSP 开发实例	337
8.4.1	基本的 DSP 处理模块	337
8.4.2	浮点向量运算	339
8.4.3	矩阵运算	340
8.4.4	FFT 算法实现	342
8.4.5	FIR 算法实现	360
8.4.6	IIR 算法实现	363
第 9 章	OpenCL 入门与应用	365
9.1	OpenCL 简介	365
9.2	构建 OpenCL 环境	371
9.3	基于 OpenCL 的实例编译测试	373
9.4	OpenCL 参考资料说明	379

第 1 章

基于 SoC FPGA 的嵌入式系统设计概述

1.1 SoC 嵌入式设计的挑战与机遇

高级工艺技术和系统集成技术的发展是实现硅片融合技术的两大推动力量。FPGA 在硅片融合这一趋势下发展迅速,已经集成了 SRAM 存储器、数字信号处理(DSP)、乘法器模块、串行收发器、存储器控制器和高级 I/O 接口等功能。可编程技术的最新进展是 SoC(System on a Chip),它集成了 FPGA 和 ARM 应用处理器,以及丰富的外设处理器子系统。对于实时嵌入式系统设计,这些技术的融合带来了新的挑战和机遇。

Altera 公司的可编程技术提供了特殊的功能来加速实现信号处理算法,可以进一步优化和提高系统的实时响应能力,能够在高度并行的硬件解决方案之间高效地划分时间关键算法,在可编程逻辑单元(LE)、DSP 模块中实现它们,在一个或者多个硬核或者软核处理器中执行软件方案。如表 1.1 所示,嵌入式系统设计人员利用 Altera 的实时处理器和工具,能够进一步研究清楚硬件和软件实现的优缺点,进而解决实时难题。解决实时难题的方案在于要合理地在硬件和软件之间划分实时算法,在 Altera 的实时处理器和工具上实现硬件和软件,这包括:

- (1) 硬核处理器(ARM Cortex-A9 处理器);
- (2) 软核实时处理器(Nios II 软核处理器);
- (3) DSP 模块(精度可调的硬件乘法器和累加器);
- (4) 状态机(使用 SoC FPGA 内核架构中 LE 实现的定制硬件)。

表 1.1 Altera 实时工具组成

解决方案	中断延时	执行速度	数据组	确定性	设计方法
ARM Cortex-A9 处理器	中等	高	非常大	中等	C
Nios II 软核处理器	低 (矢量化中断控制器)	中等	大	高	C
DSP Builder+知识产权 (IP)核	低	高	有限	非常高 (没有抖动)	Matlab/ Simulink
基于硬件的状态机	非常低	极高	小	非常高 (没有抖动)	FPGA 设计, HDL 工具

Altera 基于 ARM Cortex-A9 的硬核处理器子系统(HPS)提高了系统实时性能。在这种系统中, 执行速度或者吞吐量是实时响应时间的主要组成。采用非对称多处理器(AMP)技术, 一个 Cortex-A9 处理器通常执行操作系统和主应用程序, 而另一个 Cortex-A9 处理器专门完成对实时性要求更高的处理功能。

Altera 的 Nios II 软核处理器利用了 FPGA 的资源。Nios II 处理器的最大时钟频率受限于所使用 FPGA 的内核架构性能。例如, 在 Cyclone V 系列器件中, Nios II 处理器的时钟速率一般是 100~150 MHz。Nios II 处理器在实时处理方面具有一些特别的优势, 包括:

- (1) 由于采用了矢量化中断控制器, 因此中断延时较低。
- (2) 应用程序所需要的 Nios II 处理器数量仅受限于 FPGA 架构的资源规模。
- (3) 一个对时间要求非常高的功能可以专门在一个 Nios II 处理器中完成, 保证了确定性非常高的中断响应时间, 可释放 ARM Cortex-A9 处理器完成其他功能。
- (4) Nios II 处理器能够使用片内存储器作为紧耦合存储器, 适用于存储关键实时算法。
- (5) Nios II 处理器有定制指令接口, 支持 FPGA 基于硬件的加速器实现实时功能, 将结果直接返回到处理器流水线中。

Altera 的精度可调的 DSP 体系结构实现了更好的实时系统性能, 在这种系统中, 矩阵运算、滤波、变换以及 DSP 操作占据了大部分实时响应时间。FPGA 可编程体系结构具有高度并行特性, 它结合丰富的精度可调的 DSP 模块以及 SRAM 模块, 极大地提高了很多应用的性能。例如, Altera 的 Stratix 系列 FPGA 的浮点 DSP 性能超过 1 TeraFLOPS(TFLOPS), 远远超出了任何基于 ARM 的处理器性能, 其性能只有高端 GPU 能够相比拟。

Altera 的 DSP Builder 设计软件是流行的 Matlab/Simulink 软件插件, 支持设计人员使用基于模型的输入方法来自动生成 RTL(寄存器传输级)描述, 评估定点和浮点性能及其动态范围。类似地, 设计人员可以展开循环以提高性能, 或者折叠循环, 支持重新使用逻辑资源, 从而节省了 FPGA 资源。

为提高性能和确定性, FPGA 内核架构和自适应逻辑模块(ALM)提供了快速高效的基于硬件的状态机。通过 VHDL 或者 Verilog HDL 中的定制设计, FPGA 在某些应用以及具有少量数据组的应用中实现了更快的响应时间。但是, 设计工程师要具备 HDL 知识, 了解时序收敛的设计约束。

基于可编程技术的 SoC FPGA 为要求严格的实时应用提供了高性能确定性通用平台。采用 Altera 的 SoC、处理器和工具, 设计人员能够在硬件(LE 和 DSP 模块)和软件(ARM Cortex-A9 或者 Nios II 处理器)之间划分实时算法, 很好地满足目标应用的性能、功耗、成本和抖动要求。对于实时嵌入式系统设计, 这些技术的融合带来了如下新的优点:

- (1) SoC FPGA 提供了高度集成的硬件平台, 结合了 ARM 应用级处理器、FPGA 架构、串行收发器、嵌入式模块 RAM 存储器以及 DSP 模块。
- (2) 利用灵活的 SoC FPGA 体系结构, 在各种硬件和软件解决方案之间划分实时算法, 能够很好地满足目标应用的性能、功耗、成本和抖动要求。
- (3) SoC FPGA 中的双核 ARM Cortex-A9 MPCore 处理器针对最快执行时间和最大数据吞吐量进行开发。对于以执行时间为主、中断延时相对较短的功能, 处理器为其提供了优异的实时性能, 锁定 L2 高速缓存, 避免了非关键后台任务产生最优结果。
- (4) 通用性非常好的 Nios II 软核处理器可专门用于关键实时功能, 提供抖动很小的确

定性中断响应。

(5) DSP Builder 支持设计工程师使用基于模型的流程开发硬件加速器，用于实现需要大量计算、面向 DSP 的实时功能，其确定性也非常好。

(6) DSP Builder 能够折叠或者重新使用 FPGA 资源。这一特性极大地降低了资源需求，但也适度地降低了总体性能。

1.2 Altera 提供的解决方案汇集

Altera 提供了较全面的可编程逻辑器件系列产品——FPGA、SoC FPGA、CPLD(提供了快速的性能和高逻辑密度)、EDA 软件工具、知识产权(IP)、嵌入式处理器、客户支持和技术培训(帮助设计者更快、更好地实现性价比更高的设计)等。

1.2.1 器件系列

Altera 提供三类 FPGA，包括高端 Stratix FPGA 系列、中端 Arria FPGA 系列和低成本低功耗的 Cyclone FPGA 系列。SoC FPGA 芯片主要包括 Arria 10、Arria V 和 Cyclone V 系列。对于接口桥接、电平转换及 I/O 扩展等控制功能提供了单芯片低成本的 CPLD 系列芯片。另外，为了满足对电源的苛刻要求，Altera 的 Enpirion 产品提供了以集成电感为特性的功率片上系统(Power SoC)DC-DC 转换器，从而解决了 28 nm 和 20 nm FPGA、处理器和其他 SoC 需要更多电源数量、复杂上电顺序要求，以及严格的噪声容限等电源设计难题，并得到了广泛应用。

表 1.2 所示为 Altera 公司提供的器件系列及其性能。

表 1.2 Altera 公司提供的器件系列及其性能

类 型	系 列	图 标	性 能
低成本 FPGA	Cyclone V		<ul style="list-style-type: none"> • 低成本，低功耗； • 集成多种收发器种类
	Cyclone IV		
	Cyclone III		
	Cyclone II		
高端 FPGA	Stratix 10		<ul style="list-style-type: none"> • 高带宽，高密度； • 集成多种收发器种类
	Stratix V		
	Stratix IV		
	Stratix III		
中端 FPGA	Arria 10		<ul style="list-style-type: none"> • 均衡成本、功耗和性能； • 集成多种收发器种类
	Arria V		
	Arria II		
	Arria GX		

续表

类型	系列	图标	性能
SoC FPGA	Arria 10 SoC		<ul style="list-style-type: none"> 合并了两个分立的器件 (ARM Cortex-A9 和 FPGA); 降低系统功耗和成本, 减小电路板面积
	Arria V SoC		
	Cyclone V SoC		
低成本 CPLD	MAX V		<ul style="list-style-type: none"> 适合接口桥接、电平转换、I/O 扩展等应用
	MAX II		
	MAX		
电源	12V DC-DC 转换器		<ul style="list-style-type: none"> 低噪声; 高度集成, 高效率; 小外形封装
	5V DC-DC 转换器		
配置器件	EPCQ16、EPCQ32、 EPCQ64、EPCQ128、 EPCQ256、EPCQ512		<ul style="list-style-type: none"> 快速配置 Altera FPGA; EPCS 和 EPCQ

1.2.2 设计软件工具及嵌入式处理器

对于 Altera 公司的 CPLD、FPGA 和 SoC FPGA 设计, Quartus II 能够以最快的方式将设计者的构思转变为现实。Quartus II 软件为综合、静态时序分析、板级仿真、信号完整性分析和形式验证提供了很多第三方工具支持。表 1.3 给出了 Quartus II 设计软件的特性总结。

表 1.3 Quartus II 设计软件的特性总结

设计方法	功能	功能描述
设计流程方法	增量编译	改善设计时序收敛, 设计编译时间缩短近 70%, 支持基于团队的设计
	引脚规划	对于高密度和大量引脚的设计, 简化了引脚分配和管理过程
	Qsys(替代 SoPC Builder)	使用分层方法和高性能互联(基于芯片网络体系结构), 集成 IP 功能和子系统(IP 功能的集合), 自动完成系统开发
	现成的 IP 内核	使设计者能够采用来自 Altera 宏功能库和 Altera 第三方 IP 合作伙伴的 IP 内核构建系统级设计
	ASIC 并行开发	采用相同的设计软件和 IP, 支持 FPGA 原型并行设计
	脚本支持	支持命令行操作和 Tcl 脚本, 以及 GUI 设计
	快速重新编译	将编译时间平均缩短了 50%, 提高了效能(对于全面编译之后小的设计改动)

续表

设计方法	功能	功能描述
性能和时序收敛方法	物理综合	利用设计中的后布局布线延迟信息, 提高性能
	设计空间勘察器(DSE)	通过 Quartus II 软件设置组合, 寻找最佳结果, 自动迭代, 提高性能
	大范围交叉探测	支持验证工具和设计源文件之间交叉探测
	优化顾问	提供专门的设计建议, 以改进设计时序性能、资源占用和功耗
验证	芯片规划器	通过迅速实现小规模后期布局布线设计修改来缩短验证时间(同时保持时序收敛)
	TimeQuest 时序分析器	提供真正的 Synopsys 设计约束(SDC)支持, 帮助设计者建立、管理并分析复杂时序约束, 迅速完成高级时序验证
	SignalTap II 嵌入式逻辑分析仪	在嵌入式逻辑分析器中, 支持最大通道数、最快时钟速率、最大采样深度和最高级触发功能
	综合控制台	支持通过读/写操作, 实时方便地调试 FPGA, 还可以利用它迅速建立 GUI, 有助于监视并向 FPGA 发送数据
第三方支持	PowerPlay 技术	帮助精确地分析并优化动态功耗和静态功耗
	EDA 合作伙伴	为综合、功能和时序仿真、静态时序分析、板级仿真、信号完整性分析和形式验证提供 EDA 软件支持

Altera SoC 嵌入式设计工具包(EDS)是 Altera SoC 嵌入式软件开发的一整套工具。它包含开发工具、实用程序以及包括启动固件和应用软件开发的设计实例。SoC EDS 包括 ARM Development Studio 5 (DS-5)的 Altera 版工具包。

Altera 可定制处理器系列(包含 SoC), 采用单核或双核 ARM Cortex-A9 MPCore 硬核处理器系统, 以及可用于任何 FPGA 或 SoC 的软核处理器。图 1.1 所示为 SoC FPGA 芯片系列的性能描述。



图 1.1 Altera SoC FPGA 芯片系列的性能描述

表 1.4 所示为 Altera 可定制嵌入式处理器总结。设计者可以根据项目需要来合理选择 FPGA 中的嵌入式处理器系列。Nios II 处理器支持所有的 Altera FPGA 器件系列。

表 1.4 Altera 嵌入式处理器总结

分类	应用	处理器	供应商	说明
SoC 硬核处理器	应用级处理	双核 ARM Cortex-A9	Altera	Altera 的 28 nm Cyclone V 和 Arria V SoC 系列以及 20 nm Arria 10 SoC 在 FPGA 架构中提供集成的 ARM 的 HPS、相关外设、存储器和接口
软核处理器	功耗和成本优化的处理	Nios II 经济内核	Altera	通过独特、实时的硬件特性，例如定制指令(能够使用 FPGA 硬件来加速实现一个函数)、矢量中断控制器、紧耦合存储器等，以及对实时操作系统(RTOS)的支持，Nios II 处理器内核满足了对硬件和软件的实时要求
	实时处理	Nios II 标准和快速内核	Altera	通过独特、实时的硬件特性，例如定制指令(能够使用 FPGA 硬件来加速实现一个函数)、矢量中断控制器、紧耦合存储器等，以及对 RTOS 的支持，Nios II 处理器内核对实时处理提供了一个通用的解决方案
	应用级处理	Nios II 快速内核	Altera	通过简单配置选项，Nios II 快速内核可以使用存储器管理单元来运行嵌入式 Linux。可以为 Nios II 处理器提供开放源代码和商业版的 Linux 支持
	安全关键处理	Nios II SC	H-Cell	使用 Nios II 安全关键处理器内核以及 H-Cell 提供的 DO-254 兼容设计服务，可对设计进行 DO-254 兼容性认证

表 1.5 所示为 Altera 嵌入式处理器性能和特性的对比。

表 1.5 Altera 嵌入式处理器性能和特性的对比

分类	对成本和功耗敏感的处理器的处理器		实时处理器		应用级处理器	
	ARM Cortex-M1	Nios II 经济型	Nios II 标准	Nios II 快速	28 nm 双核 ARM Cortex-A9	20 nm 双核 ARM Cortex-A9
最大频率/MHz	200	330	270	290	925 MHz (Cyclone V SoC) 1.05 GHz (Arria V SoC)	1.5 GHz