



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

Digital Design of Xilinx FPGA
Dual-HDL Description from Gate to Behavior

Xilinx FPGA数字设计

从门级到行为级双重HDL描述

(立体化教程)

何宾 编著

He Bin



清华大学出版社



教育部高等学校电子信息类专业教学指导委员会规划教材
高等学校电子信息类专业系列教材

Digital Design of Xilinx FPGA
Dual-HDL Description from Gate to Behavior

Xilinx FPGA数字设计

从门级到行为级双重HDL描述

(立体化教程)

何宾 编著
He Bin

清华大学出版社
北京

内 容 简 介

本书是为高等学校电子信息类和其他相关专业而编写的数字系统设计课程教材。本书共分为 11 章, 主要内容包括数字逻辑基础、可编程逻辑器件工艺和结构、Xilinx ISE 设计流程、VHDL 语言规范、Verilog HDL 语言规范、基本数字逻辑单元 HDL 描述、基于 HDL 数字系统实现、数字系统高级设计技术、基于 IP 核数学系统实现、数模混合系统设计、软核处理器 PicoBlaze 原理及应用。

根据数字系统相关课程的教学要求和实际教学实践体会, 本书将传统本科的数字电子技术、数字逻辑课程和基于 HDL 的复杂数字系统设计课程相融合, 遵循循序渐进、由浅入深的原则, 内容从最基础的数字逻辑理论、组合逻辑和时序逻辑电路, 到 HDL 语言和基于 HDL 语言的复杂数字系统设计。为了方便教师教学和学生自学, 书中给出了大量的设计实例。

本书可作为本科生和研究生相关课程的教材, 也可作为从事 Xilinx 可编程逻辑器件设计的设计人员的参考用书, 同时也可作为 Xilinx 相关培训的授课教材。

本书封面贴有清华大学出版社防伪标签, 无标签者不得销售。

版权所有, 侵权必究。侵权举报电话: 010-62782989 13701121933

图书在版编目(CIP)数据

Xilinx FPGA 数字设计: 从门级到行为级双重 HDL 描述: 立体化教程/何宾编著. --北京: 清华大学出版社, 2014

高等学校电子信息类专业系列教材

ISBN 978-7-302-36670-6

I. ①X… II. ①何… III. ①可编程序逻辑器件—系统设计—教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2014)第 113236 号

责任编辑: 盛东亮

封面设计: 李召霞

责任校对: 焦丽丽

责任印制: 宋 林

出版发行: 清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址: 北京清华大学学研大厦 A 座 邮 编: 100084

社 总 机: 010-62770175 邮 购: 010-62786544

投稿与读者服务: 010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈: 010-62772015, zhiliang@tup.tsinghua.edu.cn

课 件 下 载: <http://www.tup.com.cn>, 010-62795954

印 刷 者: 清华大学印刷厂

装 订 者: 北京市密云县京文制本装订厂

经 销: 全国新华书店

开 本: 185mm×260mm

印 张: 42.5

字 数: 1030 千字

版 次: 2014 年 11 月第 1 版

印 次: 2014 年 11 月第 1 次印刷

印 数: 1~2500

定 价: 79.00 元

高等学校电子信息类专业系列教材

顾问委员会

谈振辉	北京交通大学 (教指委高级顾问)	郁道银	天津大学 (教指委高级顾问)
廖延彪	清华大学 (特约高级顾问)	胡广书	清华大学 (特约高级顾问)
华成英	清华大学 (国家级教学名师)	于洪珍	中国矿业大学 (国家级教学名师)
彭启琮	电子科技大学 (国家级教学名师)	孙肖子	西安电子科技大学 (国家级教学名师)
邹逢兴	国防科技大学 (国家级教学名师)	严国萍	华中科技大学 (国家级教学名师)

编审委员会

主 任	吕志伟	哈尔滨工业大学		
副主任	刘 旭	浙江大学	王志军	北京大学
	隆克平	北京科技大学	葛宝臻	天津大学
	秦石乔	国防科学技术大学	何伟明	哈尔滨工业大学
	刘向东	浙江大学		
委 员	王志华	清华大学	宋 梅	北京邮电大学
	韩 焱	中北大学	张雪英	太原理工大学
	殷福亮	大连理工大学	赵晓晖	吉林大学
	张朝柱	哈尔滨工程大学	刘兴钊	上海交通大学
	洪 伟	东南大学	陈鹤鸣	南京邮电大学
	杨明武	合肥工业大学	袁东风	山东大学
	王忠勇	郑州大学	程文青	华中科技大学
	曾 云	湖南大学	李思敏	桂林电子科技大学
	陈前斌	重庆邮电大学	张怀武	电子科技大学
	谢 泉	贵州大学	卞树檀	第二炮兵工程大学
	吴 瑛	解放军信息工程大学	刘纯亮	西安交通大学
	金伟其	北京理工大学	毕卫红	燕山大学
	胡秀珍	内蒙古工业大学	付跃刚	长春理工大学
	贾宏志	上海理工大学	顾济华	苏州大学
	李振华	南京理工大学	韩正甫	中国科学技术大学
	李 晖	福建师范大学	何兴道	南昌航空大学
	何平安	武汉大学	张新亮	华中科技大学
	郭永彩	重庆大学	曹益平	四川大学
	刘缠牢	西安工业大学	李儒新	中科院上海光学精密机械研究所
	赵尚弘	空军工程大学	董友梅	京东方科技集团
	蒋晓瑜	装甲兵工程学院	蔡 毅	中国兵器科学研究院
	仲顺安	北京理工大学	冯其波	北京交通大学
	黄翊东	清华大学	张有光	北京航空航天大学
	李勇朝	西安电子科技大学	江 毅	北京理工大学
	章毓晋	清华大学	谢凯年	赛灵思公司
	刘铁根	天津大学	张伟刚	南开大学
	王艳芬	中国矿业大学	宋 峰	南开大学
	苑立波	哈尔滨工程大学	靳 伟	香港理工大学
丛书责任编辑	盛东亮	清华大学出版社		

序

FOREWORD

我国电子信息产业销售收入总规模在 2013 年已经突破 12 万亿元,行业收入占工业总体比重已经超过 9%。电子信息产业在工业经济中的支撑作用凸显,更加促进了信息化和工业化的高层次深度融合。随着移动互联网、云计算、物联网、大数据和石墨烯等新兴产业的爆发式增长,电子信息产业的发展呈现了新的特点,电子信息产业的人才培养面临着新的挑战。

(1) 随着控制、通信、人机交互和网络互联等新兴电子信息技术不断发展,传统工业设备融合了大量最新的电子信息技术,它们一起构成了庞大而复杂的系统,派生出大量新兴的电子信息技术应用需求。这些“系统级”的应用需求,迫切要求具有系统级设计能力的电子信息技术人才。

(2) 电子信息系统设备的功能越来越复杂,系统的集成度越来越高。因此,要求未来的设计者应该具备更扎实的理论基础知识和更宽广的专业视野。未来电子信息系统的设计越来越要求软件和硬件的协同规划、协同设计和协同调试。

(3) 新兴电子信息技术的发展依赖于半导体产业的不断推动,半导体厂商为设计者提供了越来越丰富的生态资源,系统集成厂商的全方位配合又加速了这种生态资源的进一步完善。半导体厂商和系统集成厂商所建立的这种生态系统,为未来的设计者提供了更加便捷却又必须依赖的设计资源。

教育部 2012 年颁布了新版《高等学校本科专业目录》,将电子信息类专业进行了整合,为各高校建立系统化的人才培养体系,培养具有扎实理论基础和宽广专业技能的、兼顾“基础”和“系统”的高层次电子信息人才给出了指引。

传统的电子信息学科专业课程体系呈现“自底向上”的特点,这种课程体系偏重对底层元器件的分析与设计,较少涉及系统级的集成与设计。近年来,国内很多高校对电子信息类专业课程体系进行了大力度的改革,这些改革顺应时代潮流,从系统集成的角度,更加科学合理地构建了课程体系。

为了进一步提高普通高校电子信息类专业教育与教学质量,贯彻落实《国家中长期教育改革和发展规划纲要(2010—2020 年)》和《教育部关于全面提高高等教育质量若干意见》(教高【2012】4 号)的精神,教育部高等学校电子信息类专业教学指导委员会开展了“高等学校电子信息类专业课程体系”的立项研究工作,并于 2014 年 5 月启动了《高等学校电子信息类专业系列教材》(教育部高等学校电子信息类专业教学指导委员会规划教材)的建设工作。其目的是为推进高等教育内涵式发展,提高教学水平,满足高等学校对电子信息类专业人才培养、教学改革与课程改革的需要。

本系列教材定位于高等学校电子信息类专业的专业课程,适用于电子信息类的电子信

息工程、电子科学与技术、通信工程、微电子科学与工程、光电信息科学与工程、信息工程及其相近专业。经过编审委员会与众多高校多次沟通,初步拟定分批次(2014—2017年)建设约100门课程教材。本系列教材将力求在保证基础的前提下,突出技术的先进性和科学的前沿性,体现创新教学和工程实践教学;将重视系统集成思想在教学中的体现,鼓励推陈出新,采用“自顶向下”的方法编写教材;将注重反映优秀的教学改革成果,推广优秀的教学经验与理念。

为了保证本系列教材的科学性、系统性及编写质量,本系列教材设立顾问委员会及编审委员会。顾问委员会由教指委高级顾问、特约高级顾问和国家级教学名师担任,编审委员会由教育部高等学校电子信息类专业教学指导委员会委员和一线教学名师组成。同时,清华大学出版社为本系列教材配置优秀的编辑团队,力求高水准出版。本系列教材的建设,不仅有众多高校教师参与,也有大量知名的电子信息类企业支持。在此,谨向参与本系列教材策划、组织、编写与出版的广大教师、企业代表及出版人员致以诚挚的感谢,并殷切希望本系列教材在我国高等学校电子信息类专业人才培养与课程体系建设中发挥切实的作用。

吕志伟 教授

前言

FOREWORD

随着半导体技术的不断发展,数字系统的设计向着系统化和集成化的方向发展,而目前国内电子信息类专业学生所学的传统数字逻辑理论和设计方法远远不能应对这种挑战。为了应对这种挑战,很多学校的电子信息类专业又单独开设了基于 HDL 语言的数字系统设计课程。这种授课方式不利于知识的衔接,也加重了学生的学习负担;同时,也不利于梳理数字系统设计的理论知识和设计方法。

国内越来越多的电子信息类专业授课教师希望将传统数字逻辑课程和基于 HDL 语言的数字系统设计课程进行整合,作者根据多年的授课经验和学生实训成果,将传统的数字逻辑课程和基于 HDL 语言的数字系统设计课程进行融合。本着由浅入深、由易到难的原则,在参考国外已经出版的数字设计教材和作者已经出版的《EDA 原理及 VHDL 实现》、《EDA 原理及 Verilog HDL 实现》教材的基础上,对数字系统设计所需要的知识点进行重新整合,从最基本的数字半导体器件、布尔逻辑、组合逻辑和时序逻辑电路,到 VHDL/Verilog HDL 以及使用 HDL 实现复杂数字系统的设计,其目的是打通数字设计相关课程的知识通道,使学生能系统、全面、扎实地掌握数字设计相关的理论知识和设计方法,为高等学校电子信息类数字设计相关课程的教学改革和课程整合提供完整的教学资源。

本书共 11 章,内容包括数字逻辑基础、可编程逻辑器件工艺和结构、Xilinx ISE 设计流程、VHDL 语言规范、Verilog HDL 语言规范、基本数字逻辑单元 HDL 描述、基于 HDL 数字系统实现、数字系统高级设计技术、基于 IP 核数字系统实现、数模混合系统设计、软核处理器 PicoBlaze 原理及应用。

第 1 章 数字逻辑基础 内容主要包括数字逻辑的发展史、开关系统、半导体数字集成电路、基本逻辑门电路分析、逻辑代数理论、逻辑表达式的化简、毛刺产生及消除、数字码制表示和转换、组合逻辑电路、时序逻辑电路、有限自动状态机。

第 2 章 可编程逻辑器件工艺和结构 内容主要包括可编程逻辑器件发展历史、可编程逻辑器件工艺、可编程逻辑器件结构、Xilinx 可编程逻辑器件。

第 3 章 Xilinx ISE 设计流程 内容主要包括 ISE 设计套件介绍、创建新的设计工程、ISE 开发平台主界面及功能、创建并添加新源文件、添加设计代码、设计综合、设计行为仿真、添加引脚约束文件、设计实现、布局布线后仿真、产生比特流文件、下载比特流文件到 FPGA、生成存储器配置文件并烧写存储器。

第 4 章 VHDL 语言规范 内容主要包括 VHDL 程序结构和配置、VHDL 语言描述风格、VHDL 语言要素、VHDL 设计资源共享、VHDL 类型、VHDL 声明、VHDL 说明、VHDL 名字、VHDL 表达式、VHDL 顺序描述语句、VHDL 并发描述语句。

第 5 章 Verilog HDL 语言规范 内容主要包括 Verilog HDL 语言发展、Verilog

HDL 程序结构、Verilog HDL 描述方式、Verilog HDL 语言要素、Verilog HDL 数据类型、Verilog HDL 表达式、Verilog HDL 分配、Verilog HDL 门级和开关级描述、Verilog HDL 用户自定义原语、Verilog HDL 行为描述语句、Verilog HDL 任务和函数、Verilog HDL 层次化结构、Verilog HDL 设计配置、Verilog HDL 指定块、Verilog HDL 时序检查、Verilog HDL SDF 逆向注解、Verilog HDL 系统任务和函数、Verilog HDL 的 VCD 文件、Verilog HDL 编译器指令、Verilog HDL 编程语言接口。

第 6 章 基本数字逻辑单元 HDL 描述 内容主要包括组合逻辑电路的 HDL 描述、数模运算操作 HDL 描述、时序逻辑电路 HDL 描述、存储器 HDL 描述、有限自动状态及 HDL 描述。

第 7 章 基于 HDL 数字系统实现 内容主要包括设计所用外设的原理、系统设计原理、建立新的设计工程、基于 VHDL 的系统设计实现、基于 Verilog HDL 的系统设计实现。

第 8 章 数字系统高级设计 内容主要包括 HDL 高级设计技巧、IP 核设计技术、可编程逻辑器件调试。

第 9 章 基于 IP 核数字系统实现 内容主要包括建立新的设计工程、添加和配置时钟 IP 核、添加和配置计数器 IP 核、生成顶层设计文件、生成时钟资源模块例化模板、生成计数器模块例化模板、创建 HDL 时钟分频模块、完成顶层设计文件、添加顶层引脚约束文件。

第 10 章 数模混合系统设计 内容主要包括模数转换器原理、数模转换器原理、基于并行 ADC 的数字电压表的设计、基于串行 ADC 的数字电压表的设计、基于 DAC 的信号发生器的设计。

第 11 章 软核处理器 PicoBlaze 原理及应用 内容主要包括片上可编程系统概论、PicoBlaze 处理器原理及结构分析、PicoBlaze 处理器指令集、PicoBlaze 处理器汇编程序。

在讲授和学习本书内容时,可以根据教学时数和内容有所侧重,适当调整和删减相关章节的内容。为了让读者更好地掌握相关内容,本书还给出了大量设计示例程序和习题。本书不仅可以作为大学信息类专业讲授数字电子线路、数字逻辑和复杂数字系统设计相关课程的教学用书,也可以作为从事相关课程教学和科研工作者的参考用书。

为了方便老师的教学和学生的自学,提供了该教材的教学课件和所用设计实例的完整设计文件,这些设计资源可以在清华大学出版社的网站(<http://www.tup.com.cn>)下载。

在本书的编写过程中引用和参考了许多著名学者和专家的研究成果,同时也参考了 Xilinx 公司的技术文档和手册,在此向他们表示衷心的感谢。北京联合大学信息学院章学静老师参与编写了书中第 4 章和第 5 章的内容。西南科技大学信息工程学院郭海燕老师参与编写了书中第 6 章和第 7 章的内容。集宁师范学院物理系聂阳老师参与编写了书中第 10 章的内容。作者的研究生李宝隆、张艳辉参加部分章节的编写工作,在此一并向他们表示感谢。在本书的出版过程中,得到了 Xilinx 公司大学合作计划和美国 Digilent 公司的大力支持和帮助,在本书出版的过程中也得到了清华大学出版社编辑的帮助和指导,在此也表示深深的谢意。

由于编者水平有限,编写时间仓促,书中难免有疏漏之处,敬请读者批评指正。

作 者

2014 年 10 月于北京

目录

CONTENTS

第 1 章 数字逻辑基础	1
1.1 数字逻辑的发展史	1
1.2 开关系统	4
1.2.1 0 和 1 的概念	5
1.2.2 开关系统的优势	5
1.2.3 晶体管作为开关	6
1.2.4 半导体物理器件	7
1.2.5 半导体逻辑电路	9
1.2.6 逻辑电路符号描述	12
1.3 半导体数字集成电路	16
1.3.1 集成电路的发展	16
1.3.2 集成电路构成	16
1.3.3 集成电路版图	17
1.4 基本逻辑门电路分析	19
1.4.1 基本逻辑门电路的描述	19
1.4.2 逻辑门电路的传输特性	23
1.4.3 基本逻辑门集成电路	28
1.4.4 不同工艺逻辑门的连接	29
1.5 逻辑代数理论	31
1.5.1 逻辑代数中运算关系	31
1.5.2 逻辑函数表达式	33
1.6 逻辑表达式的化简	36
1.6.1 使用运算律化简逻辑表达式	37
1.6.2 使用卡诺图化简逻辑表达式	40
1.6.3 不完全指定逻辑功能的化简	43
1.6.4 输入变量的卡诺图表示	45
1.7 毛刺产生及消除	51
1.8 数字码制表示和转换	53
1.8.1 数字码制表示	53
1.8.2 数字码制转换	55
1.9 组合逻辑电路	56
1.9.1 编码器	57
1.9.2 译码器	58

1.9.3	码转换器	61
1.9.4	数据选择器	63
1.9.5	数据比较器	64
1.9.6	加法器	66
1.9.7	减法器	69
1.9.8	加法器/减法器	72
1.9.9	乘法器	74
1.10	时序逻辑电路	75
1.10.1	时序逻辑电路类型	76
1.10.2	时序逻辑电路特点	76
1.10.3	基本SR锁存器	78
1.10.4	同步SR锁存器	78
1.10.5	D锁存器	79
1.10.6	D触发器	80
1.10.7	其他触发器	82
1.10.8	普通寄存器	86
1.10.9	移位寄存器	86
1.10.10	存储器	87
1.11	有限自动状态机	87
1.11.1	有限自动状态机原理	88
1.11.2	状态图表示及实现	89
1.11.3	三位计数器	91
第2章	可编程逻辑器件工艺和结构	94
2.1	可编程逻辑器件发展历史	94
2.2	可编程逻辑器件工艺	95
2.3	可编程逻辑器件结构	97
2.3.1	PROM原理及结构	97
2.3.2	PAL原理及结构	97
2.3.3	PLA原理及结构	99
2.3.4	CPLD原理及结构	99
2.3.5	FPGA原理及结构	102
2.3.6	CPLD和FPGA比较	114
2.4	Xilinx可编程逻辑器件	115
2.4.1	Xilinx CPLD芯片介绍	115
2.4.2	Xilinx FPGA芯片介绍	115
2.4.3	Xilinx PROM芯片介绍	117
第3章	Xilinx ISE设计流程	120
3.1	ISE设计套件介绍	120
3.2	创建新的设计工程	121
3.3	ISE开发平台主界面及功能	123
3.3.1	Design(设计)面板	123
3.3.2	Console(控制台)面板	125
3.3.3	Workspace	126

3.4	创建并添加新源文件	126
3.5	添加设计代码	129
3.5.1	Verilog HDL 设计代码的添加	129
3.5.2	VHDL 设计代码的添加	130
3.6	设计综合	130
3.6.1	Xilinx 综合工具功能	131
3.6.2	设计综合	131
3.7	设计行为仿真	134
3.7.1	为 Verilog HDL 设计添加测试向量	134
3.7.2	为 VHDL 设计添加测试向量	137
3.7.3	运行行为仿真	138
3.8	添加引脚约束文件	140
3.9	设计实现	144
3.9.1	运行设计实现工具	144
3.9.2	查看布局布线结果	145
3.10	布局布线后仿真	148
3.11	产生比特流文件	149
3.12	下载比特流文件到 FPGA	149
3.13	生成存储器配置文件并烧写存储器	152
3.13.1	生成 BPI 存储器配置文件	152
3.13.2	编程 BPI 文件到 BPI 存储器	155
第4章	VHDL 语言规范	157
4.1	VHDL 程序结构和配置	157
4.1.1	VHDL 程序结构框架	157
4.1.2	VHDL 实体	158
4.1.3	VHDL 结构体	161
4.1.4	配置声明	163
4.2	VHDL 语言描述风格	166
4.2.1	行为描述	166
4.2.2	数据流描述	166
4.2.3	结构化描述	167
4.3	VHDL 语言要素	168
4.3.1	字符集	168
4.3.2	语言要素、分隔符和分界符	170
4.3.3	标识符	170
4.3.4	抽象文字	171
4.3.5	字符文字	172
4.3.6	字符串文字	172
4.3.7	比特字符串文字	172
4.3.8	注释	173
4.3.9	保留字	173
4.3.10	允许替换的字符	174
4.4	VHDL 设计资源共享	174

4.4.1	库的声明和调用	174
4.4.2	子程序和函数声明	176
4.4.3	函数体和子程序体	178
4.4.4	子程序和函数重载	179
4.4.5	解析函数	181
4.4.6	包声明	182
4.4.7	包体	183
4.5	VHDL 类型	184
4.5.1	标量类型	184
4.5.2	复合类型	187
4.5.3	访问类型	189
4.5.4	文件类型	189
4.5.5	保护类型	192
4.6	VHDL 声明	194
4.6.1	类型声明	194
4.6.2	子类型声明	194
4.6.3	对象	195
4.6.4	属性声明	201
4.6.5	元件声明	202
4.6.6	组模板声明	202
4.6.7	组声明	202
4.7	VHDL 说明	203
4.7.1	属性说明	204
4.7.2	配置说明	205
4.7.3	断开说明	207
4.8	VHDL 名字	207
4.8.1	简单名字	208
4.8.2	选择名字	208
4.8.3	索引名字	209
4.8.4	切片名字	209
4.8.5	属性名字	209
4.9	VHDL 表达式	212
4.9.1	VHDL 操作符	212
4.9.2	VHDL 操作数	215
4.10	VHDL 顺序描述语句	221
4.10.1	wait 语句	221
4.10.2	断言和报告语句	223
4.10.3	信号分配语句	225
4.10.4	变量分配语句	226
4.10.5	子程序调用语句	227
4.10.6	if 语句	228
4.10.7	case 语句	228
4.10.8	loop 语句	230

4.10.9	next 语句	232
4.10.10	exit 语句	232
4.10.11	return 语句	233
4.10.12	null 语句	233
4.11	VHDL 并发描述语句	234
4.11.1	块语句	234
4.11.2	进程描述语句	236
4.11.3	并行过程调用语句	237
4.11.4	并行断言语句	238
4.11.5	并行信号分配语句	239
4.11.6	元件例化语句	240
4.11.7	生成语句	241
第 5 章	Verilog HDL 语言规范	244
5.1	Verilog HDL 语言发展	244
5.2	Verilog HDL 程序结构	245
5.2.1	模块声明	246
5.2.2	模块端口定义	246
5.2.3	逻辑功能定义	247
5.3	Verilog HDL 描述方式	249
5.3.1	行为级描述方式	249
5.3.2	数据流描述方式	250
5.3.3	结构级描述方式	251
5.3.4	开关级描述方式	252
5.4	Verilog HDL 语言要素	253
5.4.1	注释	253
5.4.2	间隔符	253
5.4.3	标识符	254
5.4.4	关键字	254
5.4.5	系统任务和函数	254
5.4.6	编译器命令	255
5.4.7	运算符	255
5.4.8	数字	255
5.4.9	字符串	257
5.4.10	属性	259
5.5	Verilog HDL 数据类型	260
5.5.1	值的集合	260
5.5.2	网络和变量	260
5.5.3	向量	261
5.5.4	强度	262
5.5.5	隐含声明	262
5.5.6	网络类型	263
5.5.7	寄存器类型	266
5.5.8	整数、实数、时间和实时时间	267

5.5.9	数组	268
5.5.10	参数	268
5.5.11	Verilog HDL 名字空间	270
5.6	Verilog HDL 表达式	271
5.6.1	操作符	271
5.6.2	操作数	280
5.6.3	延迟表达式	283
5.6.4	表达式的位宽	283
5.6.5	有符号表达式	285
5.6.6	分配和截断	285
5.7	Verilog HDL 分配	286
5.7.1	连续分配	287
5.7.2	过程分配	289
5.8	Verilog HDL 门级和开关级描述	290
5.8.1	门和开关声明	290
5.8.2	逻辑门	293
5.8.3	输出门	294
5.8.4	三态门	294
5.8.5	MOS 开关	296
5.8.6	双向传输开关	297
5.8.7	CMOS 开关	297
5.8.8	pull 门	298
5.8.9	逻辑强度建模	298
5.8.10	组合信号的强度和值	299
5.8.11	通过非电阻器件的强度降低	306
5.8.12	通过电阻器件的强度降低	306
5.8.13	网络类型强度	307
5.8.14	门和网络延迟	307
5.9	Verilog HDL 用户自定义原语	310
5.9.1	UDP 定义	310
5.9.2	组合电路 UDP	311
5.9.3	电平触发的时序 UDP	312
5.9.4	边沿触发的时序电路 UDP	313
5.9.5	初始化状态寄存器	313
5.9.6	UDP 例化	314
5.9.7	边沿触发和电平触发的混合行为	315
5.10	Verilog HDL 行为描述语句	315
5.10.1	过程语句	315
5.10.2	过程连续分配	320
5.10.3	条件语句	322
5.10.4	case 语句	323
5.10.5	循环语句	325
5.10.6	过程时序控制	327

5.10.7	语句块	331
5.10.8	结构化的过程	333
5.11	Verilog HDL 任务和函数	334
5.11.1	任务和函数的区别	334
5.11.2	任务和任务使能	335
5.11.3	禁止命名的块和任务	337
5.11.4	函数和函数调用	339
5.12	Verilog HDL 层次化结构	342
5.12.1	模块和模块例化	342
5.12.2	覆盖模块参数值	342
5.12.3	端口	346
5.12.4	生成结构	351
5.12.5	层次化的名字	359
5.12.6	向上名字引用	360
5.12.7	范围规则	361
5.13	Verilog HDL 设计配置	362
5.13.1	配置格式	363
5.13.2	库	364
5.13.3	配置例子	365
5.13.4	显示库绑定信息	366
5.13.5	库映射例子	366
5.14	Verilog HDL 指定块	367
5.14.1	模块路径声明	368
5.14.2	为路径分配延迟	372
5.14.3	混合模块路径延迟和分布式延迟	375
5.14.4	驱动连线逻辑	375
5.14.5	脉冲过滤行为的控制	376
5.15	Verilog HDL 时序检查	381
5.15.1	使用稳定窗口检查时序	381
5.15.2	用于时钟和控制信号的时序检查	383
5.15.3	边沿控制标识符	387
5.15.4	提示符: 用户定义对时序冲突的响应	387
5.15.5	使能有条件事件的时序检查	392
5.15.6	向量信号的时序检查	392
5.15.7	负时序检查	392
5.16	Verilog HDL SDF 逆向注解	394
5.16.1	映射 SDF 结构到 Verilog	394
5.16.2	多个注解	399
5.16.3	多个 SDF 文件	400
5.16.4	脉冲限制注解	400
5.16.5	SDF 到 Verilog 延迟值映射	401
5.17	Verilog HDL 系统任务和函数	401
5.17.1	显示任务	401

5.17.2	文件输入-输出系统任务和函数	407
5.17.3	时间标度系统任务	414
5.17.4	仿真控制任务	416
5.17.5	可编程逻辑阵列建模系统任务	416
5.17.6	随机分析任务	420
5.17.7	仿真时间系统函数	422
5.17.8	转换函数	423
5.17.9	概率分布函数	423
5.17.10	命令行输入	424
5.17.11	数学函数	427
5.18	Verilog HDL 的 VCD 文件	428
5.18.1	四态 VCD 文件的创建	428
5.18.2	四态 VCD 文件的格式	431
5.18.3	扩展 VCD 文件的创建	435
5.18.4	扩展 VCD 文件的格式	437
5.19	Verilog HDL 编译器指令	441
5.19.1	`celldefine 和 `endcelldefine	441
5.19.2	`default_nettype	441
5.19.3	`define 和 `undef	441
5.19.4	`ifdef、`else、`elsif、`endif、`ifndef	443
5.19.5	`include	445
5.19.6	`resetall	445
5.19.7	`line	445
5.19.8	`timescale	446
5.19.9	`unconnected_drive 和 `nounconnected_drive	447
5.19.10	`pragma	447
5.19.11	`begin_keywords 和 `end_keyword	447
5.20	Verilog HDL 编程语言接口 PLI	448
5.20.1	Verilog HDL PLI 发展过程	448
5.20.2	Verilog HDL PLI 提供的功能	448
5.20.3	Verilog HDL PLI 原理	449
5.20.4	Verilog HDL VPI 工作原理	451
第 6 章	基本数字逻辑单元 HDL 描述	454
6.1	组合逻辑电路的 HDL 描述	454
6.1.1	逻辑门的 HDL 描述	454
6.1.2	编码器 HDL 描述	455
6.1.3	译码器 HDL 描述	456
6.1.4	数据选择器 HDL 描述	458
6.1.5	数字比较器 HDL 描述	461
6.1.6	总线缓冲器 HDL 描述	461
6.2	数据运算操作 HDL 描述	463
6.2.1	加法操作 HDL 描述	463
6.2.2	减法操作 HDL 描述	464

6.2.3	乘法操作 HDL 描述	465
6.2.4	除法操作 HDL 描述	465
6.2.5	算术逻辑单元 HDL 描述	466
6.3	时序逻辑电路 HDL 描述	469
6.3.1	触发器和锁存器的 HDL 描述	470
6.3.2	计数器 HDL 描述	474
6.3.3	移位寄存器 HDL 描述	478
6.3.4	脉冲宽度调制 PWM HDL 描述	486
6.4	存储器 HDL 描述	489
6.4.1	ROM HDL 描述	489
6.4.2	RAM HDL 描述	491
6.5	有限自动状态机 HDL 描述	492
6.5.1	FSM 设计原理	493
6.5.2	FSM 的分类及描述	494
第 7 章	基于 HDL 数字系统实现	507
7.1	设计所用外设的原理	507
7.1.1	LED 灯	507
7.1.2	开关	508
7.1.3	七段数码管	508
7.1.4	VGA 显示器	510
7.1.5	通用异步接收发送器	513
7.2	系统设计原理	515
7.3	建立新的设计工程	517
7.4	基于 VHDL 的系统设计实现	517
7.4.1	设计分频时钟模块 2	517
7.4.2	设计和仿真计数器模块	519
7.4.3	设计顶层模块	520
7.4.4	设计分频时钟模块 1	525
7.4.5	设计七段数码管模块	527
7.4.6	设计分频时钟模块 3	532
7.4.7	设计通用异步收发器模块	533
7.4.8	设计分频时钟模块 4	537
7.4.9	设计 VGA 控制器模块	539
7.5	基于 Verilog HDL 的系统设计实现	544
7.5.1	设计分频时钟模块 2	544
7.5.2	设计和仿真计数器模块	545
7.5.3	设计顶层模块	547
7.5.4	设计分频时钟模块 1	551
7.5.5	设计七段数码管模块	553
7.5.6	设计分频时钟模块 3	557
7.5.7	设计通用异步收发器模块	558
7.5.8	设计分频时钟模块 4	562
7.5.9	设计 VGA 控制器模块	564