

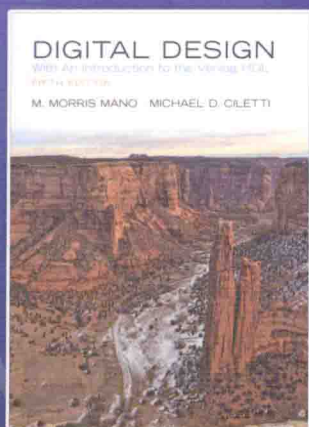
国外电子与通信教材系列

PEARSON

数字设计 与Verilog实现 (第五版)

Digital Design: With an Introduction to the Verilog HDL

Fifth Edition



[美] M. Morris Mano 著
Michael D. Ciletti

徐志军 尹廷辉 等译
倪雪 薛红



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

国外电子与通信教材系列

数字设计与 Verilog 实现

(第五版)

Digital Design

With an Introduction to the Verilog HDL

Fifth Edition

[美] M. Morris Mano 著
Michael D. Ciletti

徐志军 尹廷辉 等译
倪雪 薛红

TN79
256

电子工业出版社
Publishing House of Electronics Industry

内 容 简 介

本书是一本系统介绍数字电路设计的优秀教材,旨在教会读者关于数字设计的基本概念和基本方法。全书共分10章,内容涉及数字逻辑的基本理论、组合逻辑电路、时序逻辑电路、寄存器和计数器、存储器与可编程逻辑器件、寄存器传输级设计、半导体和CMOS集成电路、标准IC和FPGA实验、标准图形符号、Verilog HDL与数字系统设计等。全书结构严谨,选材新颖,内容深入浅出,紧密联系实际,教辅资料齐全。

本书可作为电气工程、电子工程、通信工程、计算机工程和计算机科学与技术等相关专业的教材,也可作为电子设计工程师的参考书。

Authorized translation from the English language edition, entitled *Digital Design: With an Introduction to the Verilog HDL*, Fifth Edition, 9780132774208 by M. Morris Mano and Michael D. Ciletti, published by Pearson Education, Inc., Copyright © 2013 Pearson Education Inc.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

CHINESE SIMPLIFIED language edition published by PEARSON EDUCATION ASIA LTD., and PUBLISHING HOUSE OF ELECTRONICS INDUSTRY Copyright © 2015.

本书中文简体字版专有出版权由 Pearson Education(培生教育出版集团)授予电子工业出版社。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

本书贴有 Pearson Education(培生教育出版集团)激光防伪标签,无标签者不得销售。

版权贸易合同登记号 图字:01-2012-4188

图书在版编目(CIP)数据

数字设计与 Verilog 实现:第5版/(美)马诺(Mano, M. M.), (美)奇莱蒂(Ciletti, M. D.)著;徐志军等译.

北京:电子工业出版社,2015.1

书名原文:Digital Design: With an Introduction to the Verilog HDL, Fifth Edition

(国外电子与通信教材系列)

ISBN 978-7-121-24615-9

I. ①数… II. ①马… ②奇… ③徐… III. ①数字电路-电路设计-高等学校-教材 IV. ①TN79

中国版本图书馆 CIP 数据核字(2014)第 245745 号

策划编辑:冯小贝

责任编辑:周宏敏

印 刷:涿州市京南印刷厂

装 订:涿州市京南印刷厂

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

开 本:787×1092 1/16 印张:24 字数:615千字

版 次:2007年1月第1版(原著第3版)

2015年1月第3版(原著第5版)

印 次:2015年1月第1次印刷

定 价:59.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zltts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

译者序

当今的信息时代，数字系统在我们的日常生活中起着越来越重要的作用，并被广泛地应用于通信、计算机、自动控制、GPS 导航、互联网、物联网、大数据等领域。从数字电话到数字电视，从数字通用光盘到数字计算机，从数码相机到军用雷达、医用 CT 仪器设备，数字技术的应用比比皆是。由于数字技术在处理和传输信息方面的各种优点，数字电路得到非常广泛的应用。

“数字电路与逻辑设计”是电子工程、信息工程、计算机科学与技术等专业的一门非常重要的专业基础课。对于每一个工科电子信息类专业的学生 and 设计工程师，数字电路与数字设计的基础知识是必备常识。我们翻译本书的目的正是要为电子工程、信息工程专业和其他相近专业的本科生提供一本优秀的教材。

数字设计经历了从单元电路到系统电路、从小规模电路到大规模、超大规模集成电路的发展过程。随着微电子技术和信息处理技术的飞速发展，各种类型的数字集成电路不断推出并广泛应用于各种技术领域，数字电路与数字系统的设计方法与设计手段也发生了很大的变化。利用先进的 EDA 软件工具和可编程逻辑器件，采用硬件描述语言已经成为当今数字设计技术的主流。

M. Morris Mano 编著的《数字设计》是一本系统介绍数字电路与系统设计理论和技术的巨著，自本书第一版出版以来已经被许多所著名大学选作教材。我们翻译的是这本书的第五版，该版保留了前四版中经检验的经典内容，主要包括二进制与布尔代数基础、组合逻辑电路的分析与设计、时序逻辑电路的分析与设计、寄存器与计数器、寄存器传输级设计、存储器与可编程逻辑器件、数字集成电路与 FPGA 实验、标准图形符号等。根据最新的 IEEE 1364 标准更新和扩充了有关 Verilog HDL 的内容，增加了半导体技术和 CMOS 集成电路的知识。全书中有大量的例题，以帮助读者对所学知识的理解。每章末尾都附有大量的习题，这些习题中的一部分是为巩固已学知识而设立的，另一部分则是为开拓学生视野、紧密联系工程实际而设立的。全书内容系统完整，结构新颖，理论严谨，深入浅出，是一本不可多得的好教材。

本书由徐志军教授负责翻译前言，第 1 章至第 4 章由徐志军和倪雪共同翻译，第 5 章至第 7 章、第 9 章由尹廷辉和薛红共同翻译，第 8 章、第 10 章及附录由尹廷辉翻译。全书由徐志军审校统稿。硕士研究生徐程骥、孔磊、陈志伟协助完成了部分章节的翻译工作，南京工业大学的何英老师对本书的翻译提供了很多的帮助，在此特向他们致以深切的谢意。

数字设计是一门正在发展的技术，涉及面广，技术更新快，新器件不断涌现。由于译者学识所限，疏漏乃至错误在所难免，敬请读者指正。

第五版前言

自从《数字设计(第四版)》出版以来,基于数字技术来接收、控制和传输信息的设备在商业领域中的应用呈现快速增长的趋势,新的手机和手持移动设备层出不穷,性能也在大幅提升。在这些美观的用户界面之下,使用二进制代码进行数据传输的二进制系统扮演了很重要的角色。这些系统的基本理论并没有发生太大变化,然而制造商对某些核心理论的完善,以及现代化设计工具的应用进一步推动了市场的发展。因此,为适应新技术,本书精炼了内容并且加强了对数字器件的传统理解和现代设计方法介绍。

《数字设计与 Verilog 实现(第五版)》的内容大部分建立在前面四个版本基础上的,除此之外,用户的反馈也帮助我们确定了一部分内容编写的方向。这个版本中的内容更侧重于数字设计的基础课程以及当今主流数字系统设计技术——CMOS 电路。本书适合的读者范围很广,计算机科学、计算机工程以及电子工程专业的学生均可阅读。本书的核心内容包括:(1)布尔逻辑,(2)逻辑门,(3)同步有限状态机,(4)数据通路控制器。所有这些都是要通过数字系统的设计来实现的。

该版同时取消了一些电子电路的内容,所以读者可能无法再找到有关异步状态机或者双极型晶体管的描述。另外,随着网络上有关的辅助材料越来越多,我们减少了关于 FPGA 的篇幅。现在的设计者更倚重于硬件描述语言(HDL),《数字设计与 Verilog 实现(第五版)》把更多的注意力放在了应用上,以及怎样才能思路清晰地使用 Verilog HDL 对数字系统进行设计和开发。

多样化的学习方法

《数字设计与 Verilog 实现(第五版)》提供了多样化的学习方法。称作 VARK 的学习方法区分了四种主要的学习模式:(V) Visual,视觉;(A) Aural,听觉;(R) Reading,阅读;(K) Kinesthetic,动觉。VARK 方法以及范例可以用来支持课堂教学。本书中提供了高标准的图例图解(Visual),对于大量的范例及讨论,学生使用免费的模拟器进行实验,内容包括怎样设计一个逻辑系统并使它正常工作(Kinesthetic),而最后的听觉(Aural)部分的内容则交给教师来完成。因此,使用《数字设计与 Verilog 实现(第五版)》来开展数字设计课程教学,可以给学生带来丰富且循序渐进的学习体验。

有些人可能会对本书的内容以及第一堂课就涉及硬件描述语言(HDL)抱有疑问,事实上我们注意到,伴随着新生的为集成电路设计的 CAD 工具的大量普及,当今工业界已经逐步淘汰了 20 世纪 80 年代开始的基于原理图的设计。原理图创造了一种用接线图对系统功能进行描述的方法,然而其不足之处在于对于任何人来说,想要在较短时间内没有任何仪器的帮助和说明书,仅由画在纸上的逻辑电路原理图来确定电路功能无疑是很困难的。因此工业界转而把目光放在硬件描述语言(诸如 Verilog HDL)上,开始使用 HDL 来描述逻辑功能的设计,并且囊括了功能说明、模拟、仿真测试以及与实际硬件系统(如标准 ASIC 或 FPGA 单元)的

综合调试。原理图方法只有通过详细的并且精确分级的设计模块文档的仔细分析,才能达到实用的目的。较旧的范例中,设计者们依仗多年的经验来制作电路原理图以说明其功能。而在当今工业的设计图中,设计者们使用硬件描述语言来更直接、更有效地说明数字系统的功能,而不需要多年积累的经验,同时通过综合的模拟工具来自动生成原理图作为参考。工业实践证明传统原理图带来的低效能如果不被新的分析方法取代,将会给新一代大型复杂集成电路的设计带来巨大困难。

我们再次说明,在《数字设计与 Verilog 实现(第五版)》的第一课就涉及硬件描述语言,并不代表要摒弃传统基础理论和手工设计方法。对于学生来说理解硬件是如何工作的仍然非常重要。因此我们保留了详尽的组合和连续逻辑模块的内容。手工设计在锻炼学生能力的同时,将结果与 HDL 范例中得到的结果进行比较,可以进一步加深学生对硬件知识的理解。无论如何,我们想强调的是“硬件是如何设计的”,为学生将来在工业上的工作实践打下坚实基础,这就是为什么基于硬件描述语言的设计实践是至关重要的。

适用性

书中内容的次序很好地适应了课程需求,是由基于传统手工工艺的数字电路设计、使用硬件描述语言的数字电路设计和在两者之间或两者混合的课程组成。因为当今综合性设计工具的高度自动化使得逻辑分析最小化。卡诺图以及其他相关的主题可以被最优化地呈现在数字设计的开始或者在使用硬件描述语言测试、设计、模拟电路之后。本书的内容包含了手工设计电路和基于硬件描述语言设计电路的范例。通过每章结尾前后参照的习题,让传统手工设计任务变成采用硬件描述语言并且需要同伴一起完成的任务。通过在模拟结果、习题的解答和手工设计的解决方案中添加注释,将传统手工设计和基于硬件描述语言的电路设计有机结合起来。

内容的更新

《数字设计与 Verilog 实现(第五版)》遵循最新的 IEEE 1364 标准,此次修订后的版本更新如下:

- 去除了一些非典型的逻辑电路(诸如 RTL、DTL、射级耦合逻辑电路)。
- 在每章的最后加上了有关“网络搜索主题”的内容来指导学生在互联网上进行相关内容的扩展阅读。
- 每章最后对大约三分之一的问题进行了复习。
- 包含所有新的习题的解答手册。
- 有关卡诺图化简的内容更加合理。
- 增加了基本的 CMOS 技术在逻辑门上的应用。
- 附录中包含了有关半导体技术的介绍。

设计方法论

这个版本对于如何在数字系统中设计状态机来控制数据通道提供了一种比较系统的方法论。此外,这些材料的框架用来解决控制器如何处理数据通道发出的信号等实际问题,例如系

统反馈(响应)的问题。因此,我们提供了设计复杂交互数字系统的基本方法。这种方法论在人工以及基于硬件描述语言的设计中都可以得到运用。

合适的 HDL 内容

仅仅局限于介绍硬件描述语言的语法是远远不够的,书中只在需要的地方提供了这些 Verilog 语法元素,而且正确的语法并不意味着这个电路模块就能够正常实现它的功能或者顺利组合成一个物理硬件。我们希望学生能够通过生产实践,确认手工模型能够有效地被综合成物理硬件电路。如果不能做到这点会导致软件竞争问题的出现,并会造成模拟的结果与综合成物理硬件后的结果不符。同样,设计时不进行生产实践也许能够得到正确的模拟结果,但因为设计者的方法不同,从而在设计过程中会不经意地造成硬件闭锁。而工业实践会给我们提出无竞争和无闭锁的设计要求,所以对学生来说,在生产过程中学习和运用硬件描述语言模型而不是仅仅依赖于综合工具是十分重要的。

验证

在生产过程中的一个重要步骤是检验电路是否能够正常工作。现在的数字电路教学过程中并没有足够地重视验证这个环节,而是仅仅关注设计本身,验证通常被看成是第二位的。这种观点会带来一种“这个电路将会很好地工作”的不成熟的想法。同样,生产过程中一般是通过分析模型是否“可读、可携带、可回收”来对基于硬件描述语言的模型进行检验的。通过对硬件描述语言模型进行检验,可获取可观的收益。我们将对模型的建立和参数的使用进行讨论。同时本书还将提供测试题和所有练习的解决方案,用来(1)检验电路是否正常工作;(2)强调测试中的重点内容;(3)通过自测题介绍重要的概念,例如测试平台的自检。我们提倡并推荐通过测试方案的研究去指导测试平台的研制,我们会在教材中图文并茂地介绍和推荐一些测试的方法,并且在教材结尾的习题答案中扩展它们。

硬件描述语言课程的内容

我们确保教材中所有的范例和所有的解决方案符合设计数字化硬件的工业生产标准。像上一版一样,硬件描述语言内容被放置在一个单独的部分,这样可以按照教学安排进行删减,这个版本并没有减少关于手工设计的论述,也没有制定讲课的顺序。书中的论述适合同时学习数字电路和硬件描述语言的初学者。本书旨在帮助学生自主设计一个项目并且在以后的计算机体系结构课程中取得成功。

教师资源^①

教师可以在 www.pearsonhighered.com/mano 处下载课程资源,包括:

- 所有的硬件描述语言示例的源代码和测试题。

^① 相关的教师资源申请方式请参见书后的“教学支持说明”。

- 教材中所有的数据和表格。
- 所有在手工解决方案中的硬件描述语言模型源代码。
- 可下载的用于课堂教学的图形化解决方案。

HDL 模拟器

本书推荐使用两个由 SynaptiCAD(www.syncad.com)提供的模拟器。第一个是 VeriLogger Pro, 这是一个传统的能模拟硬件描述语言示例和检验硬件描述语言问题的模拟器。此模拟器符合 IEEE-1995 标准, 对旧的模型十分有用。另一个是一种交互的模拟器——Verilogger Extreme, 符合 IEEE-1995 和 IEEE-2001 标准。这个模拟器允许设计者在完成对模型的模拟之前对自己的设计方案进行模拟和分析。这种技术对学生十分有用, 它可以快速输入布尔逻辑和 D 触发器以及锁存器的表达式来校验等价性和测试触发器及锁存器。

各章摘要

下面简要介绍各章的要点。

第 1 章: 介绍了用于表达数字系统信息的各种二进计数制, 解释并说明了二进制数和二进制代码, 给出了带符号的二进制数及 BCD 十进制数的加减法举例。

第 2 章: 介绍了布尔代数的基本定理, 描述了布尔表达式与其对应的逻辑图之间的相互关系, 研究了两个逻辑变量的所有可能的逻辑运算, 在此基础上给出了数字系统设计中最有用的逻辑门。本章还介绍了基本的 CMOS 逻辑门。

第 3 章: 介绍了布尔表达式的卡诺图化简法, 这种方法也可以用于简化由“与或”门、“与非”门和“或非”门构成的数字电路; 讨论了其他所有可能的两级门电路及其实现方法, 给出了 Verilog HDL 用于简单门级建模的例子。

第 4 章: 概述了组合电路分析和设计的方法步骤。作为设计举例介绍了数字系统设计的一些基本组件, 如加法器和代码变换器等, 解释了一些经常使用的并行加法器和减法器、译码器、编码器和数据选择器等数字逻辑函数, 给出了这些数字逻辑在组合电路设计中的用法。给出了门级建模、数据流建模和行为建模的 HDL 例子, 展示了 Verilog HDL 描述组合电路的种不同的方法。介绍了如何编写一个简单的测试平台程序, 为一个 HDL 设计提供激励。

第 5 章: 概述了同步时序电路分析和设计的方法步骤。介绍了几种触发器的逻辑门结构, 讨论了电平触发与边沿触发的区别, 用几个特定的例子介绍了时序电路分析中状态表和状态图的推导, 列举了几个使用 D 触发器设计时序电路的实例, 介绍了用 Verilog HDL 对时序电路进行行为建模的方法, 给出了几个说明米利 (Mealy) 型和摩尔 (Moore) 型时序电路的 HDL 例子。

第 6 章: 描述了寄存器、移位寄存器和计数器等各种时序电路组件, 这些数字组件是构成复杂数字系统的基本构造块。本章还简要介绍了移位寄存器和计数器的 HDL 描述。

第 7 章: 描述了随机存取存储器 (RAM) 和可编程逻辑器件, 讨论了存储器的解码和纠错。简要介绍了 ROM、PLA、CPLD 和 FPGA 等组合和时序可编程元件。

第 8 章: 描述了数字系统的寄存器传输级的表示方法, 介绍了算法状态机 (ASM) 流程图, 用几个例子说明了 ASM 流程图、ASMD 流程图、RTL 表示和数字系统设计中的 HDL 描述。详细介绍了如何用有限状态机来控制数据路径, 包括状态机如何从数据路径中获取信号并加以控制。本章是本书中最重要一章, 它从一个系统的角度为学生提供了先进的设计方法。

第9章：简述了一些可以在实验室里完成的硬件实验，这些硬件在市场上很容易买到。实验用集成电路的功能可以参见前几章介绍的相关组件的原理图，这里只是给出了每个实验的内容，希望学生设计出电路图，并编制一个程序以检查实验电路的工作情况。每一项实验都可以独立完成，不仅可以通过基于传统面包板和 TTL 电路的传统方法完成，也可以通过在 FPGA 平台上基于 HDL 综合的方法完成。目前，基于 HDL 模型和 FPGA 实现的综合软件可以免费从 FPGA 供应商手里获得，在实验室中真正使用电路板和其他元件做实验之前，学生可以在自己的个人计算机上先做一些模拟和仿真。基于 FPGA 的综合电路板实验平台的价格也很适中，其中包括基本的按钮、开关、7 段译码显示器、液晶屏以及其他 I/O 设备，学生可以更好地利用它快速得到实验结果。利用这些资源，学生可以进一步锻炼他们的项目开发能力。

第10章：介绍了使用 ANSI/IEEE 标准化逻辑函数图形符号，这些图形符号用来表示一些 SSI 和 MSI 部件，以便使用户可以从唯一分配的图形符号中辨认每个逻辑函数。本章展示了实验室常用集成电路的标准图形符号。

鸣谢

我们非常感谢所有参与本书的审校者，他们的专业知识、细致的校对以及建议都对《数字设计与 Verilog 实现(第五版)》的改进起到了重要作用。

在此特别感谢：

Dmitri Donetski：纽约州立大学石溪分校

Ali Amini：加州州立大学北岭分校

Mihaela Radu：罗斯霍曼理工学院

Stephen J Kuyath：北卡罗莱纳夏洛特分校

Peter Pachowicz：乔治曼森大学

David Jeff Jackson：阿拉巴马大学

A. John Boye：内布拉斯加大学林肯分校

William H. Robinson：范德比尔特大学

Dinesh Bhatia：德州大学达拉斯分校

另外，我们同样想对 Prentice Hall/Pearson Education 的编辑以及出版团队致谢。最后，我们还要感谢我们俩人的妻子 Sandra 以及 Jerilynn 对我们无微不至的关心及支持。

M. Morris Mano

名誉教授

加州州立大学洛杉矶分校

计算机工程系

Micheal D. Ciletti

名誉教授

科罗拉多大学

电子与计算机工程系

目 录

第 1 章 数字系统与二进制数	1
1.1 数字系统	1
1.2 二进制数	2
1.3 数制的转换	4
1.4 八进制和十六进制数	6
1.5 补码	7
1.6 带符号的二进制数	10
1.7 二进制码	13
1.8 二进制存储与寄存器	19
1.9 二进制逻辑	21
习题	23
参考文献	26
网络搜索主题	26
第 2 章 布尔代数和逻辑门	27
2.1 引言	27
2.2 基本定义	27
2.3 布尔代数的公理	28
2.4 布尔代数的基本定理和性质	30
2.5 布尔函数	32
2.6 范式与标准式	36
2.7 其他逻辑运算	41
2.8 数字逻辑门	42
2.9 集成电路	46
习题	48
参考文献	51
网络搜索主题	51
第 3 章 门电路化简	52
3.1 引言	52
3.2 图形法化简	52
3.3 四变量卡诺图	55
3.4 和之积式的化简	59
3.5 无关条件	61
3.6 与非门和或非门实现	62
3.7 其他两级门电路实现	67

3.8 异或函数	71
3.9 硬件描述语言	75
习题	82
参考文献	86
网络搜索主题	87
第4章 组合逻辑	88
4.1 引言	88
4.2 组合电路	88
4.3 分析步骤	89
4.4 设计步骤	90
4.5 二进制加减器	93
4.6 十进制加法器	100
4.7 二进制乘法器	102
4.8 数值比较器	103
4.9 译码器	105
4.10 编码器	107
4.11 数据选择器	110
4.12 组合电路的 HDL 模型	114
习题	126
参考文献	131
网络搜索主题	132
第5章 同步时序逻辑	133
5.1 引言	133
5.2 时序电路	133
5.3 存储元件: 锁存器	134
5.4 存储元件: 触发器	137
5.5 钟控时序电路分析	142
5.6 时序电路的可综合 HDL 模型	150
5.7 状态化简与分配	160
5.8 设计过程	163
习题	170
参考文献	175
网络搜索主题	176
第6章 寄存器和计数器	177
6.1 寄存器	177
6.2 移位寄存器	179
6.3 行波计数器	184
6.4 同步计数器	187

6.5	其他计数器	192
6.6	寄存器和计数器的 HDL 描述	195
	习题	201
	参考文献	206
	网络搜索主题	206
第 7 章	存储器 and 可编程逻辑器件	207
7.1	引言	207
7.2	随机存取存储器	207
7.3	存储器译码	212
7.4	检纠错	215
7.5	只读存储器	217
7.6	可编程逻辑阵列	222
7.7	可编程阵列逻辑	224
7.8	时序可编程器件	227
	习题	238
	参考文献	240
	网络搜索主题	240
第 8 章	寄存器传输级设计	241
8.1	引言	241
8.2	寄存器传输级定义	241
8.3	HDL 的寄存器传输级描述	242
8.4	算法状态机(ASM)	249
8.5	设计举例(ASMD 流程图)	254
8.6	设计举例的 HDL 描述	261
8.7	时序二进制乘法器	268
8.8	控制逻辑	272
8.9	二进制乘法器的 HDL 描述	277
8.10	用数据选择器进行设计	283
8.11	无竞争设计(软竞争条件)	292
8.12	无锁存设计(为什么浪费硅片)	292
8.13	语言的其他特性	293
	习题	293
	参考文献	300
	网络搜索主题	300
第 9 章	用标准 IC 和 FPGA 进行实验	301
9.1	实验介绍	301
9.2	实验 1: 二进制和十进制数	304
9.3	实验 2: 数字逻辑门	306

9.4	实验 3: 布尔函数化简	307
9.5	实验 4: 组合电路	309
9.6	实验 5: 代码转换	310
9.7	实验 6: 使用数据选择器进行设计	311
9.8	实验 7: 加法器和减法器	312
9.9	实验 8: 触发器	314
9.10	实验 9: 时序电路	315
9.11	实验 10: 计数器	316
9.12	实验 11: 移位寄存器	317
9.13	实验 12: 串行加法	320
9.14	实验 13: 存储器单元	321
9.15	实验 14: 灯式手球	322
9.16	实验 15: 时钟脉冲发生器	325
9.17	实验 16: 并行加法器和累加器	326
9.18	实验 17: 二进制乘法器	328
9.19	Verilog HDL 模拟实验和使用 FPGA 的快速原型验证	330
第 10 章	标准图形符号	335
10.1	矩形符号	335
10.2	限定符号	336
10.3	相关符号	338
10.4	组合部件符号	339
10.5	触发器符号	341
10.6	寄存器符号	342
10.7	计数器符号	344
10.8	RAM 符号	345
	习题	345
	参考文献	346
	网络搜索主题	346
附录 A	半导体和 CMOS 集成电路	347
	部分习题解答	357

第1章 数字系统与二进制数

1.1 数字系统

人类已经进入到数字时代，数字系统在我们日常生活中起着越来越重要的作用，并广泛应用于通信、商贸、交通控制、航天器制导、医疗、天气监测、因特网等领域以及其他许多商业、工业和科研部门，人们从而拥有了数字电话、数字电视、数字通用光盘、数字相机、手持（便携式）设备，当然也包括数字计算机等。有些人喜欢将音乐下载到便携式媒体播放器（例如，iPod Touch™）和其他高分辨率显示的手持设备中。这些设备具有图形用户接口（GUI, Graphical User Interfaces）。通过接口让设备执行命令，这种方式对用户来说简便易用，但实际上这些命令涉及一系列复杂内部指令的精确执行问题。大多数这样的设备内部均嵌入了特殊用途的数字计算机。数字计算机最具挑战的特性是其通用性，它可以执行一系列的指令（也称为程序），对给定数据进行操作和处理。用户可以根据特定的要求对程序或数据进行修改。正因为有这种灵活性，通用数字计算机才可以完成各种各样的信息处理任务，从而得到非常广泛的应用。

数字系统的另一个特性是它具有描述和处理离散信息的能力。我们知道，任何一个取值数目有限的元素集都包含着离散信息，如十进制数的各个数、字母表中的26个字母、扑克牌中的52张牌以及国际象棋盘中的64个方格等。早期的数字计算机主要用于数值计算，它处理的离散信息是各种各样的数字，因此就出现了“数字计算机”这个术语。数字系统中的离散信息元素可以用一类称为“信号”的物理量表示，而最常见的信号就是电压和电流，它们一般由晶体管构成的电路产生。目前，在各种数字电子系统中的电信号只有两个离散值，因而也被称为二进制。一个二进制数又称为一个比特（bit），它有两个基本的数值：0和1。离散信息单元可以用一组比特表示，称为二进制码。例如，在数字系统中，十进制数0到9可以用一个4位码组表示（例如，0111表示十进制数7）。一组码字对应的数值取决于它所在的编码系统。为了便于说明，我们将二进制系统中的0111写成 $(0111)_2$ ，十进制系统中的0111写成 $(0111)_{10}$ ，显然 $0111_2 = 7_{10}$ ，它并不等于 0111_{10} 或一百一十一。这里，下标只是表示码字的进制数。通过使用多种技术，用一组比特表示各种离散符号（不仅是数字），从而可以用数字的方式研究系统。因此，数字系统就是处理二进制离散信息单元的系统。在当今的技术领域中，正如我们所看到的，二进制系统是最实用的，它们可以采用电子元器件来实现。

离散信息量或者来源于被处理数据的本质，或者可能来自连续过程的量化。比如，工资表就是一个自然的离散信息处理过程，它包含了雇员姓名、社会保险号、周薪和所得税等。员工工资单可以用字母（姓名）、数字（薪水）以及一些特殊符号（如\$）等离散数值来处理。再比如，进行研究的科学家在观察连续过程时，一般都是以表格形式记录特定的数值。科学家就是这样对连续数据进行量化的，并将表中的每一个数赋予离散量。在很多情况下，量化处理可以由模数转换器自动完成，通过模数转换器将模拟（连续）量转换为数字（离散）量。

通用数字计算机就是最典型的数字系统，其主要组成部分是存储器单元、中央处理单元

以及输入/输出单元。存储器单元用于存储程序、输入/输出数据以及中间数据。中央处理单元依照特定的程序执行算术运算和其他数据处理的操作。用户通过键盘这种输入设备将程序和数据输送到存储器中。打印机这种输出设备主要用于接收计算结果,并把结果打印出来提供给用户。数字计算机可以有多个输入/输出设备。通信单元是非常有用的设备,它可以通过因特网与其他用户实现互联。数字计算机功能非常强大,不仅能执行算术运算,也能执行逻辑操作。另外,用户还可以根据内部和外部条件,采用编程方式做出决策。

商用产品采用数字电路实现有其根本原因。与数字计算机一样,大多数数字设备都是可编程的。通过改变可编程设备中的程序,相同的硬件条件可以实现多种不同的用途。如此低廉的开发成本使客户群越来越广泛。随着数字集成电路技术的进步,数字设备成本得以大幅度下降。因为单个硅片上集成的晶体管数目不断增加,数字电路的功能越来越复杂,每片的成本不断下降,价格越来越便宜。由数字集成电路构成的设备每秒钟可以进行数百万次操作。通过纠错编码,数字系统的工作非常可靠。一个典型例子就是数字通用光碟(DVD, Digital Versatile Disk),它可以表示视频、音频的数字信息以及其他的一些数据毫无损失地记录并保存下来。DVD 中以此方式记录的数字信息在播放前由数字采样来检查码元,任何错误都会被自动检测出来并得到纠正。

数字系统由数字模块构成。为便于理解每个数字模块的功能,有必要介绍数字电路与逻辑功能的基础知识。本书前 7 章主要介绍数字设计的基本工具,如逻辑门结构、组合和时序电路以及可编程逻辑器件等知识;第 8 章介绍如何使用现代硬件描述语言(HDL, Hardware Description Language)在寄存器传输级(RTL, Register Transfer Level)描述数字设计;第 9 章是使用数字电路进行的实验。

数字设计方法发展的主要趋势是采用硬件描述语言(HDL)描述和模拟数字电路的功能。HDL 类似于一种编程语言,非常适合于以文本形式描述数字电路。利用 HDL 可以在硬件电路建立之前模拟和验证数字系统的功能。HDL 也可以和逻辑综合工具一起,用于数字系统的自动设计过程。因此,熟悉和掌握基于 HDL 的设计方法对于学生而言是非常重要的。数字电路的 HDL 描述将贯穿全书,书中这些例子不仅有助于描述 HDL 的特性,也是描述 HDL 工业应用的最好实践。有的情况要提醒读者不能轻视。例如, HDL 模型可以模拟一种现象,但不能被设计工具综合;建立的 HDL 模型将会造成芯片资源的浪费,综合到硬件后不能正确工作等。

如前所述,数字系统处理二进制形式表示的离散信息值。用来计算的操作数可以表示成二进制数的形式。其他离散元素,包括十进制数和字母表中的字母,也可以用二进制码来表示。数字电路(又称为逻辑电路)中的数据处理主要通过二进制逻辑单元(逻辑门)来实现,而数字量则存储在二进制(2 个数值)存储单元(触发器)中。本章主要介绍各种二进制概念,为后续章节的进一步学习提供基本参考。

1.2 二进制数

十进制数 7392 代表一个数值,该值等于 7 个千加上 3 个百加上 9 个十加上 2 个一。千、百等分别是 10 的不同幂次,幂次由各个系数所在位置确定。更确切地讲,7392 可以写成

$$7 \times 10^3 + 3 \times 10^2 + 9 \times 10^1 + 2 \times 10^0$$

然而,按照惯例一般只写系数,幂次从右到左递增,系数的位置决定对应10的幂次。总之,带小数点的十进制数可以表示成一串系数形式:

$$a_5 a_4 a_3 a_2 a_1 a_0 . a_{-1} a_{-2} a_{-3}$$

系数 a_j 是十个数字(0, 1, 2, ..., 9)中的某个数,下标值 j 为对应的幂次,系数必须要和10的幂次相乘。因此,上式可以展开成:

$$10^5 a_5 + 10^4 a_4 + 10^3 a_3 + 10^2 a_2 + 10^1 a_1 + 10^0 a_0 + 10^{-1} a_{-1} + 10^{-2} a_{-2} + 10^{-3} a_{-3}$$

这里, $a_3 = 7$, $a_2 = 3$, $a_1 = 9$, $a_0 = 2$ 。

由于只使用10个数字,每个系数均要与10的幂次相乘。因此,十进制的基数(radix或base)为10。二进制是与十进制不同的数制,其系数只有两种取值:0或1,每个系数 a_j 都要乘以基数的幂 2^j ,结果相加后就可以得到等效的十进制数。小数点(如十进制小数点)用来区分10的正幂次和10的负幂次。例如,与二进制数11010.11相对应的十进制数是26.75,系数和2的幂次相乘后再展开,结果如下:

$$1 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} = 26.75$$

数字系统的种类很多,由此可以推广到以 r 为基数的任何进制,即:

$$a_n \cdot r^n + a_{n-1} \cdot r^{n-1} + \dots + a_2 \cdot r^2 + a_1 \cdot r + a_0 + a_{-1} \cdot r^{-1} + a_{-2} \cdot r^{-2} + \dots + a_{-m} \cdot r^{-m}$$

系数 a_j 的取值范围是0到 $r-1$ 。为区分不同进制数,一般将按位置记数法所表示的数用括号括起来,并在其右下角标注该进制的下标(十进制数在明显可以看出其进制时可省略下标)。例如某个五进制数为:

$$(4021.2)_5 = 4 \times 5^3 + 0 \times 5^2 + 2 \times 5^1 + 1 \times 5^0 + 2 \times 5^{-1} = (511.4)_{10}$$

由于基数为5,各系数的取值只可能为0、1、2、3、4。八进制数的基数为8,有八个数字符号0、1、2、3、4、5、6、7。如某个八进制数为127.4,为了得到与其相等的十进制数,将其按8的幂次展开:

$$(127.4)_8 = 1 \times 8^2 + 2 \times 8^1 + 7 \times 8^0 + 4 \times 8^{-1} = (87.5)_{10}$$

注意:8和9这两个数字不能出现在八进制中。

当基数小于10时,通常是从十进制系统中借用需要的 r 个数字当系数。而当基数大于10时,就用字母表中的字母作为10个十进制数的补充。例如,在十六进制(基数为16)系统中,前十个数字(0~9)来自于十进制系统,而字母A、B、C、D、E和F分别用来表示数10、11、12、13、14和15这六个数字。例如,某个十六进制数为:

$$(B65F)_{16} = 11 \times 16^3 + 6 \times 16^2 + 5 \times 16^1 + 15 \times 16^0 = (46\ 687)_{10}$$

十六进制系统常被开发人员用来表示数字系统中长比特串的地址、指令和数据。例如,B65F表示1011011001010000。

如前所述,二进制的数字又称为比特。当某个比特等于0时,它对转换结果没有影响。因此,将二进制数转换为十进制数,就是把比特为1的那些位置所对应的2的幂数相加。例如:

$$(110101)_2 = 32 + 16 + 4 + 1 = (53)_{10}$$

该二进制数中有四个1,其对应的十进制数是四个以2为底的幂次之和。表1.1中列出了2的 n 幂次表示的24个数。在计算机系统中, 2^{10} 用K(kilo,千)来表示, 2^{20} 用M(mega,兆)表

示, 2^{30} 用 G(giga, 吉或千兆)表示, 2^{40} 用 T(tera, 梯或万兆)表示。因此, $4K = 2^{12} = 4096$, $16M = 2^{24} = 16\,777\,216$ 。计算机的存储容量通常用字节数来表示。一个字节等于八比特, 可以表示键盘上的一个字符。4G 硬盘能够容纳 $4G = 2^{32}$ 字节的数据(大约 40 亿字节)。一个 T 等于 1024 个 G, 大约一万亿字节。

表 1.1 2 的幂次

n	2^n	n	2^n	n	2^n
0	1	8	256	16	65 536
1	2	9	512	17	131 072
2	4	10	1024(1K)	18	262 144
3	8	11	2048	19	524 288
4	16	12	4096(4K)	20	1 048 576(1M)
5	32	13	8192	21	2 097 152
6	64	14	16 384	22	4 194 304
7	128	15	32 768	23	8 388 608

r 进制数的算术运算规则与十进制数相同。当采用非十进制数时, 使用 r 个允许的数字要非常小心。对两个二进制数进行加法、减法和乘法的例子如下:

被加数: 101101	被减数: 101101	被乘数: 1011
被加数: +100111	减数: -100111	乘数: × 101
和: 1010100	差: 000110	部分积: 1011
		积: 110111

两个二进制数求和的计算法则与十进制数相同, 只是和数中任一有效位置上的数字只可以为 0 或 1, 给定有效位上的任一进位可以被更高一级有效位上的一对数字使用。减法要稍微复杂一点, 但法则仍然和十进制数相同, 只是给定有效位上的借位相当于给被减数加 2(十进制中的借位相当于给被减数加 10)。乘法非常简单, 乘数不是 1 就是 0, 因此, 部分积要么等于移位后的被乘数, 要么等于 0。

1.3 数制的转换

不同基数的数如果对应相同的十进制数, 则认为它们是相等的。例如, $(0011)_2$ 和 $(1001)_2$ 均等于十进制数 9。基数为 r 的数转换为十进制数比较简单, 通常是将该数按幂次展开再求和, 这一点前面已经做了介绍。现在, 我们来介绍将十进制数转换为 r 进制数的一般操作步骤。如果这个数是带小数点的, 那么必须将整数部分和小数部分分别进行转换, 然后将它们的转换结果合并起来。整数部分的转换方法是: 把待转换的十进制整数除以 r , 取其余数, 所得之商再除以 r , 再取其余数, 如此反复。下面的例子可以很好地说明这个步骤。

例 1.1 将十进制数 41 转换为二进制数。

首先, 把 41 除以 2 得到整数商 20 和余数 1, 将这个商再继续除以 2, 得到新的商和余数, 如此重复, 直到最后的整数商变为 0, 从余数中可以得到想要的二进制数的系数, 具体步骤如下: