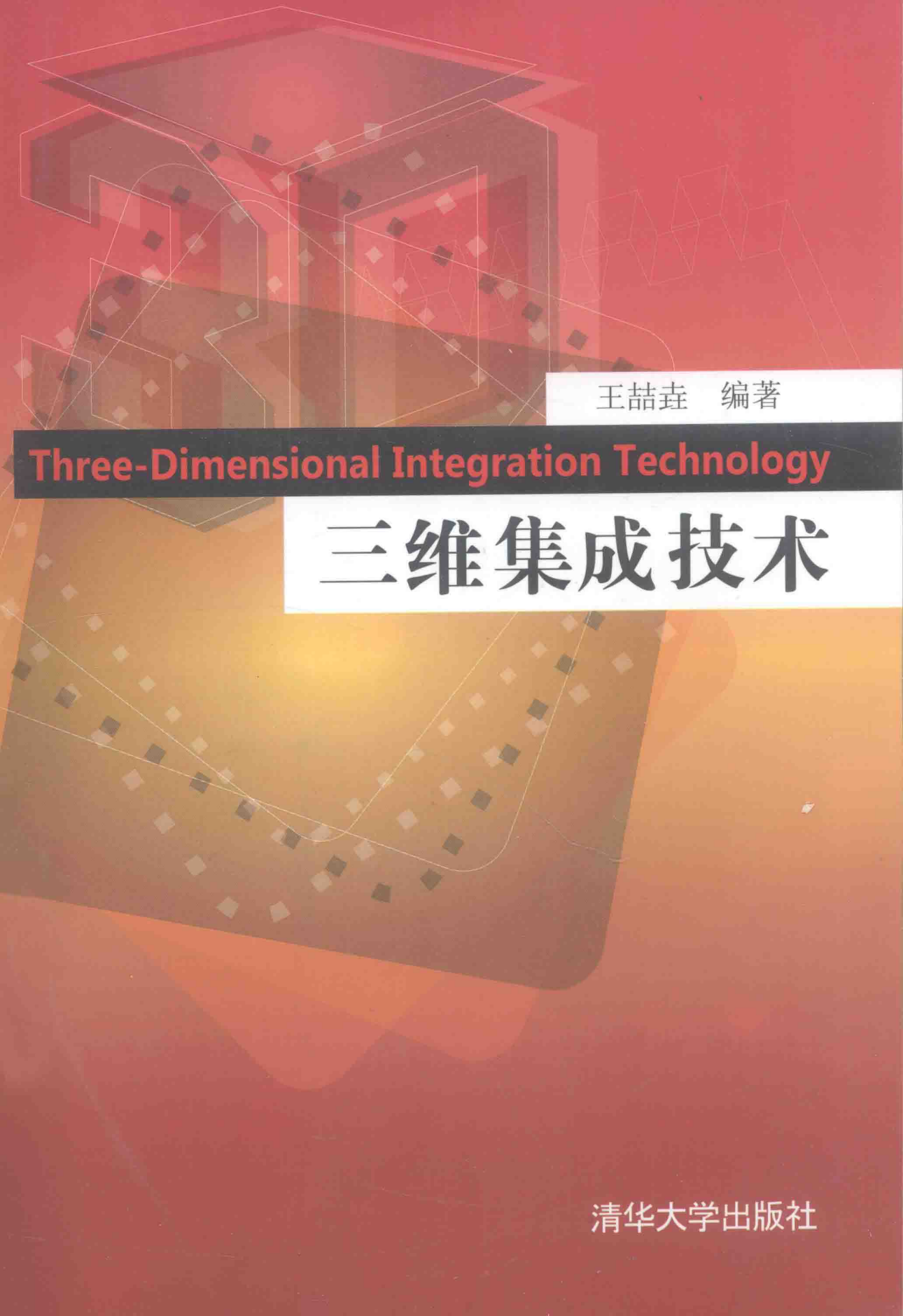




王喆垚 编著

Three-Dimensional Integration Technology

三维集成技术

清华大学出版社

王喆垚 编著

Three-Dimensional Integration Technology

三维集成技术



清华大学出版社

北京

内 容 简 介

三维集成技术将多层集成电路芯片堆叠键合,通过穿透衬底的三维互连实现多层之间的电信号连接。三维集成技术可以降低芯片功耗,减小互连延时,提高数据传输带宽,并为实现复杂功能的 SoC 提供了可能。作为与工艺节点无关的新技术,三维集成具有极为广泛的应用,近年来受到了微电子领域的高度重视。本书较为全面地介绍了三维集成技术的重点和前沿领域,包括三维集成制造技术、集成方法、集成策略、热力学理论、可靠性问题、测试技术等,并介绍了多种应用及一些新技术的发展趋势。

本书可供高等院校微电子、电子、封装、微机电系统、力学、机械工程、材料等专业的高年级本科生、研究生和教师使用,也可供相关领域的工程技术人员参考。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

三维集成技术/王喆垚编著. --北京:清华大学出版社,2014
ISBN 978-7-302-35499-4

I. ①三… II. ①王… III. ①三维—系统集成技术 IV. ①TP311.5

中国版本图书馆 CIP 数据核字(2014)第 039923 号

责任编辑:庄红权 洪 英

封面设计:傅瑞学

责任校对:赵丽敏

责任印制:王静怡

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

印 刷 者:清华大学印刷厂

装 订 者:三河市新茂装订有限公司

经 销:全国新华书店

开 本:185mm×260mm

印 张:43.5

字 数:1055 千字

版 次:2014 年 11 月第 1 版

印 次:2014 年 11 月第 1 次印刷

印 数:1~2500

定 价:98.00 元

产品编号:048697-01

序

三维集成(3D Integration)作为拓展摩尔定律(More than Moore)并实现异质器件集成和小型化、多样性高价值系统方案的热点技术,近年来已经成为集成电路领域最重要的发展方向之一。通过多层芯片堆叠并利用三维互连实现多层芯片的电信号连接,三维集成技术充分利用第三维尺度,解决目前集成电路面临的数据传输带宽、芯片功耗和速度等问题。通过多种异质芯片的集成,三维集成还为实现数字、模拟、射频、传感器、处理器和存储器等多功能系统集成提供了解决途径。三维集成技术的发展,使集成电路领域有可能不再仅仅依靠晶体管尺寸的不断缩小和巨额投资,在相当长的一段时间内仍旧可以继续按照摩尔定律(Moore's Law)的速度向前发展。

由于三维集成的广阔前景,目前,包括美国商用机器公司(IBM)、英特尔(Intel)、韩国三星(Samsung)、日本东芝(Toshiba)、台湾集成电路制造公司(TSMC)和意法半导体(STM)等世界著名半导体公司,以及麻省理工学院(MIT)、佐治亚理工学院(GIT)、德国弗兰霍夫研究所(Fraunhofer Institute)和比利时校际微电子中心(IMEC)等著名大学和研究机构在内,都在大力推进三维集成技术和产品的研发。经过近20年的发展,三维集成技术相关的制造工艺、设备、材料和设计方法学等已经初步建立,采用三维互连和三维集成技术的CMOS图像传感器、射线探测器、存储器、微电子机械(MEMS)器件和多种微型传感器产品相继推向市场,更为复杂的存储器与处理器以及多功能集成系统也在紧张地研发之中,相信不久的将来会有更多三维集成产品出现。

与世界范围内三维集成技术的高速发展相比,我国在该技术领域研究起步较晚,基础较为薄弱,相关人才和核心技术仍旧相对落后。近几年,国家973计划、国家科技重大专项和国家自然科学基金等先后资助了一批与三维集成技术相关的研究和开发,为我国在这一领域的技术发展奠定了基础。本书作者在973计划项目的资助下,在国内较早开展三维集成技术的研究,在制造工艺、集成方法、新结构和可靠性等方面取得了一些有意义的成果。在此基础上,作者结合目前三维集成技术的发展趋势,编著了这本《三维集成技术》。

作为本书作者的同事,我有幸在作者写作本书的过程中先期阅读了全部书稿。本著作将基础与前沿发展充分结合,在深入介绍三维互连制造技术、集成技术、电学模型和可靠性等基础的同时,详细介绍了目前国际上在三维集成领域所取得的最新技术、成果和应用。本书内容翔实、条理清晰、文笔流畅,对相关领域的研究人员和工程技术人员有一定的参考价值。

作为一名多年来一直工作在微电子领域第一线的学者,我很高兴看到本书的出版,也相信它的出版将对国内三维集成技术的发展起到积极的促进作用。

清华大学微纳电子学系教授、主任

魏少军 博士

2014年8月于清华大学

前 言

从 1947 年年底美国贝尔实验室发明晶体管算起,半导体技术的发展迄今已经走过了 66 年。从 1958 年美国德州仪器公司发明集成电路,1959 年仙童公司发明平面集成工艺算起,微电子技术也有超过半个世纪的历史。经过半个世纪的高速发展,微电子技术和依托于微电子技术的信息技术已经对人类社会的发展产生了革命性的影响。然而,今天我们必须面对的问题是:传统晶体管的物理极限不断逼近,更小特征尺寸的制造技术越来越困难,集成电路的功耗不断增大,晶圆厂的投资迅速攀升。在这种情况下,如何继续保持微电子技术以摩尔定律所描述的速度持续发展,已经成为今天整个行业都在努力解决的问题。

三维集成技术的出现,为半导体和微电子技术的持续发展提供了一个新的技术解决方案。所谓三维集成,广义上是指将多层集成电路芯片堆叠键合,通过穿透衬底的三维互连实现多层之间的电信号连接。三维集成能够实现更小的芯片面积、更短的芯片间互连、更高的数据传输带宽,以及不同工艺技术的异质集成,从而大幅度降低芯片功耗,减小延时,提高性能,扩展功能,并为实现复杂功能的 SoC 提供可能。三维集成是一种与器件结构和工艺无关的技术方向,不但使微电子技术在当今 CMOS 的体系下,能够不依赖于特征尺寸的不断缩小而仍旧保持摩尔定律向前发展,并极有可能继续支持未来的非 CMOS 技术。

三维集成技术的研究开始于 20 世纪 70 年代末期。由于当时解决集成度问题所依赖的光刻技术在缩小特征尺寸方面仍旧十分有效,加上当时所采用的串行三维集成制造的技术问题难以突破,三维集成技术的发展较为缓慢。直到 90 年代末期特别是 21 世纪初,微电子领域的互连瓶颈问题越来越突出,减小特征尺寸的技术难度越来越大,投资越来越高,三维集成技术作为解决这些问题的可行技术,才引起业界的广泛重视。在工业界,目前几乎所有的半导体公司都把三维集成技术作为一个重要的发展方向,并在设备、材料、设计软件等供应链的支持下,推动三维集成制造技术快速发展和应用领域不断拓宽。2008 年,东芝公司第一次采用三维集成技术批量生产 CMOS 图像传感器。在学术界,以日本东北大学,德国 Fraunhofer 研究所,比利时 IMEC,美国 MIT、RPI、GIT 等为代表的大学和研究所,在三维集成制造技术、测量测试、设计方法学、可靠性、热力学特性等方面都作出了重要贡献。

我国三维集成技术的发展相对落后。作者所参加的 2006 年启动的 973 计划项目“纳米尺度硅集成电路器件与工艺基础研究”,在“新型互连及其基础问题研究”课题下首次列入了三维互连和三维集成的研究内容。在该项目的支持下,作者开发了包括 TSV 深刻蚀、高深

宽比通孔电镀铜、圆片减薄、铜 CMP、Cu-BCB 混合键合等三维集成关键技术,于 2009 年在 IEEE International Interconnect Conference 会议上报道了三维集成芯片,并于 2010 年培养了国内第一个从事三维集成制造技术研究的博士。从 2009 年起,国家科技重大专项的启动,支持了国内多个研究机构和企业三维集成方向的研究和产业化。经过几年的努力,在条件建设、工艺开发和人才储备方面取得了长足的进步。然而必须看到,我国在三维集成相关的核心技术、专利、产业链、产品应用等方面与发达国家仍旧存在着一定的差距,特别是在三维集成人才方面,差距十分巨大。

本书的目的是提供一本具有一定深度和广度的三维集成领域的技术书籍,促进相关领域的人才培养和技术进步。与传统的 CMOS 技术相比,三维集成技术引入了更多的材料、工艺、设备、设计方法和分析测试技术。目前广泛采用的深孔刻蚀方法和芯片键合技术,最早都来源于微电子机械系统(MEMS)领域,并由三维集成推动而进一步发展;高深宽比的深孔侧壁沉积介质层、粘附层/扩散阻挡层和铜籽晶层技术,以及无空洞电镀三维互连导体技术,都需要以已有的技术为基础进行较大程度的改进;在设计方法学和设计规则等方面,需要根据三维集成的特点发展新的适用技术;而三维集成相关的可靠性、测试、散热、成品率控制等方面,基本都需要建立新的分析和测试技术。因此,三维集成将大量的新材料、设备、工艺和设计方法引入了半导体领域,充分融合了半导体制造技术和 MEMS 制造技术,但又与这二者有着很大的差异。

针对三维集成技术的这些特点,本书重点介绍了三维互连的制造技术、三维集成方法、三维集成的工艺策略、热力学理论、可靠性问题、测试技术等,并介绍了目前和潜在的应用以及新技术的发展趋势。对于与传统 CMOS 相同的制造方法和技术,本书只做简单的介绍,而对于非传统 CMOS 的技术,例如深刻蚀、高深宽比电镀、键合、集成策略、测量测试以及可靠性等,书中都深入地介绍了相关知识。本书较为全面地介绍了三维集成技术的重点和前沿领域,特别是在三维互连制造、三维集成方法和可靠性等方面,甚至包括许多技术细节,希望这些内容对相关领域的研究能够提供有益的帮助。然而,由于三维集成技术仍处于高速发展阶段,新技术不断涌现,现有技术不断进步,一些技术仍旧存在不确定性,同时新应用不断地出现,因此本书的内容难免以偏概全。

本书可供高等院校微电子、电子、封装、微机电系统、力学、机械工程、材料等专业的高年级本科生、研究生和教师使用,也可供相关领域的工程技术人员参考。

本书的出版得到了很多人的帮助。首先,作者要感谢国家 973 计划项目“纳米尺度硅集成电路器件与工艺基础研究”(2006—2010)和“超低功耗高性能集成电路器件与工艺基础研究”(2011—2015)的持续资助,以及项目首席科学家北京大学张兴教授和课题负责人复旦大学刘冉教授的长期支持。其次,作者要特别感谢已故中国科学院院士、清华大学微电子学研究所李志坚教授,是他对三维集成发展前景的远见卓识和对年轻人的鼓励,使作者能够长期坚持从事三维集成的研究,并取得了一些阶段性的成果。作者还要感谢荷兰 Delft University of Technology 的 Lina Sarro 教授,使作者于 2002 年在荷兰从事博士后研究期

间开始从事三维集成的研究工作。作者还要特别感谢清华大学微纳电子学系领导魏少军教授、王志华教授、钱鹤教授,以及刘理天教授、蔡坚博士、王谦博士,他们为作者开展三维集成的研究工作提供了诸多工作上的便利和有益的讨论。我的研究生宋崇申、陈倩文、黄翠、薛兴君、田阔、张敏等都先后从事三维集成相关方向的研究,他们的成果也是本书重要的组成部分。作者还要感谢清华大学出版社的庄红权主任为本书出版所作出的努力。

由于作者的专业水平、知识背景和研究方向的限制,书中难免有错误和遗漏之处,恳请各位读者、专家和半导体领域的技术人员不吝指正。

最后,借用美国著名物理学家、诺贝尔奖获得者 Richard Feynman 的一句话表达作者对三维集成技术发展的期待:

There is plenty of room on the TOP!

王喆焱

2014年8月于清华大学

电子邮箱: z.wang@tsinghua.edu.cn

目 录

第 1 章 三维集成电路概述	1
1.1 集成电路发展的瓶颈	2
1.1.1 互连延迟与数据传输带宽	3
1.1.2 功耗	4
1.1.3 异质芯片的 SoC 集成	5
1.2 三维集成电路	6
1.2.1 三维集成的优点	7
1.2.2 三维集成的分类	10
1.2.3 三维集成制造技术概述	13
1.2.4 三维集成的应用	16
1.3 三维集成的历史、现状及发展前景	18
1.3.1 三维集成的历史	18
1.3.2 三维集成的现状	21
1.3.3 发展前景和趋势	30
1.4 三维集成面临的挑战	36
1.4.1 制造技术	36
1.4.2 散热与热管理	38
1.4.3 可靠性	39
1.4.4 成品率及成本	39
1.4.5 模型、模拟、设计方法和设计规则	40
1.4.6 测量测试	40
参考文献	40
第 2 章 三维互连制造技术	45
2.1 三维互连制造概述	46
2.1.1 TSV 深孔刻蚀	47
2.1.2 深孔侧壁绝缘和扩散阻挡层	47
2.1.3 TSV 深孔导电填充	48
2.1.4 圆片减薄	48
2.1.5 圆片键合	49
2.2 高深宽比深孔刻蚀	49
2.2.1 等离子体刻蚀	50

2.2.2	时分复用法	54
2.2.3	低温刻蚀法	60
2.2.4	磁中性环路放电刻蚀	64
2.2.5	TSV 深孔刻蚀	68
2.2.6	激光刻蚀加工	72
2.3	介质层材料与工艺	77
2.3.1	介质层沉积	78
2.3.2	介质层材料	83
2.3.3	低介电常数介质层	86
2.4	粘附层/扩散阻挡层/种子层材料与工艺	87
2.4.1	扩散阻挡层和种子层的制造方法	89
2.4.2	扩散阻挡层	110
2.4.3	种子层	117
2.5	导电填充与电镀	122
2.5.1	铜电镀原理	123
2.5.2	TSV 盲孔电镀	131
2.5.3	TSV 通孔电镀	144
2.5.4	电镀的理论模型与模拟	147
2.5.5	其他导体材料	154
	参考文献	158
第3章	键合集成技术	173
3.1	键合技术概述	173
3.1.1	键合基本原理	173
3.1.2	键合方法	175
3.1.3	键合对象	177
3.1.4	键合强度测量	179
3.2	键合对准方法	180
3.2.1	红外对准	181
3.2.2	光学对准	184
3.2.3	倒装芯片	188
3.2.4	芯片自组装对准	189
3.2.5	模板对准	192
3.3	金属键合	196
3.3.1	微凸点技术	197
3.3.2	铜热压键合	201
3.3.3	金属共晶键合	208
3.4	二氧化硅融合键合	216
3.4.1	键合原理	216

3.4.2 键合过程和特点	217
3.5 高分子临时键合	220
3.5.1 临时键合	221
3.5.2 WaferBOND®	223
3.5.3 HD3007	225
3.5.4 其他临时键合材料	227
3.5.5 拆键合方法	228
3.6 高分子永久键合	233
3.6.1 苯并环丁烯(BCB)键合	234
3.6.2 聚酰亚胺(PI)键合	244
3.7 金属-高分子材料混合键合	250
3.7.1 Cu-BCB 混合键合	250
3.7.2 铜-聚酰亚胺混合键合	253
3.7.3 铜锡共晶混合键合	254
3.8 化学机械抛光(CMP)	255
3.8.1 化学机械抛光基本原理	256
3.8.2 单晶硅和二氧化硅化学机械抛光	259
3.8.3 铜化学机械抛光	261
3.8.4 高分子材料化学机械抛光	268
3.9 硅圆片减薄	272
3.9.1 硅圆片减薄	274
3.9.2 回刻	282
参考文献	286
第4章 三维集成策略	294
4.1 TSV 的工艺顺序	295
4.1.1 TSV 工艺顺序的分类及特点	295
4.1.2 Via First 工艺	297
4.1.3 Via Middle 工艺	299
4.1.4 Via Last 工艺	301
4.1.5 基于通孔的三维集成	303
4.1.6 SOI 圆片三维集成	305
4.2 键合方式的选择	306
4.2.1 芯片/圆片的选择	306
4.2.2 芯片方向的选择	309
4.2.3 键合方法的选择	311
4.3 典型集成方法和策略	312
4.3.1 Via First 工艺方法	312
4.3.2 Via Middle 工艺方法	318

4.3.3	Via Last 工艺方法	322
4.3.4	SOI 三维集成的工艺方法	332
4.3.5	通孔电镀 Via Last 方案	342
4.4	插入层技术	347
4.4.1	插入层的功能与特点	347
4.4.2	插入层典型结构及制造流程	351
4.4.3	玻璃插入层	354
4.4.4	插入层的应用	357
4.5	三维集成可制造性	361
4.5.1	三维集成的制造	361
4.5.2	三维集成的制造成本	365
	参考文献	367
第 5 章	三维集成的电学和热力学特性	375
5.1	三维互连的电学分析及模型	375
5.1.1	TSV 闭式参数模型	376
5.1.2	RLCG 集约模型	381
5.1.3	宽频带集约模型	388
5.1.4	TSV 的插入损耗与噪声耦合	391
5.1.5	TSV 性能的温度影响	399
5.1.6	电容调控	402
5.2	三维集成的热学特性	407
5.2.1	三维集成的温度特性及其影响	408
5.2.2	热传导模型	410
5.2.3	有限元方法	414
5.2.4	三维集成的功耗优化设计	417
5.3	三维集成的散热问题	418
5.3.1	热传导 TSV	419
5.3.2	微流体散热	423
5.3.3	键合层热导率增强	429
	参考文献	438
第 6 章	三维集成的可靠性	445
6.1	三维集成的可靠性问题	445
6.2	残余应力	447
6.2.1	残余应力的影响	448
6.2.2	TSV 残余应力	450
6.2.3	硅片减薄残余应力	455
6.2.4	键合应力	459

6.3 热应力及热学可靠性	463
6.3.1 TSV 铜柱热膨胀	463
6.3.2 铜柱热膨胀对可靠性的影响	468
6.3.3 铜柱热膨胀对衬底器件电学性能的影响	476
6.3.4 热膨胀的影响因素	486
6.3.5 退火热处理	490
6.3.6 温度冲击	499
6.3.7 热膨胀的分析方法	501
6.4 电学可靠性	508
6.4.1 电迁移	509
6.4.2 扩散阻挡层的完整性	512
6.4.3 阈值电压	514
6.4.4 介质层完整性	514
6.5 三维集成成品率	518
6.5.1 三维集成成品率估计	519
6.5.2 成品率提升	521
参考文献	524
 第7章 三维集成检测与测试	 533
7.1 电学参数测量	534
7.1.1 电阻测量	534
7.1.2 TSV 电容测量	536
7.2 电学可靠性测量	537
7.2.1 TSV 及金属凸点的电迁移	537
7.2.2 扩散阻挡层完整性	538
7.2.3 介质层完整性	540
7.2.4 TSV 电镀缺陷测量	542
7.3 几何参数测量	545
7.3.1 硅片弯曲测量	546
7.3.2 TSV 深度的测量	548
7.3.3 TSV 热膨胀测量	554
7.4 应力测量方法	555
7.4.1 Stoney 公式法	555
7.4.2 集成应力传感器	557
7.4.3 拉曼散射光谱	561
7.4.4 纳米压痕	563
7.4.5 X 射线衍射	565
7.4.6 同步辐射 X 射线衍射	568
7.4.7 TSV 铜晶粒	569

参考文献	571
第 8 章 三维集成新技术	575
8.1 同轴 TSV	575
8.1.1 同轴 TSV 的等效电路模型	576
8.1.2 电学参数提取	578
8.1.3 同轴 TSV 传输特性	579
8.1.4 同轴 TSV 的仿真	581
8.2 高分子聚合物介质层 TSV	585
8.2.1 BCB 介质层 TSV 制造技术	586
8.2.2 电学及可靠性测试	594
8.2.3 热应力仿真	598
8.3 空气介质层	601
8.3.1 热分解释放牺牲层	602
8.3.2 刻蚀释放牺牲层	607
8.3.3 热应力分析	611
8.4 碳纳米管三维互连	613
8.4.1 碳纳米管 TSV 结构及制造方法	614
8.4.2 电学特性	615
8.5 三维光互连	616
8.5.1 三维光互连的概念	616
8.5.2 三维光互连的实现	617
参考文献	619
第 9 章 三维集成的应用	624
9.1 MEMS 与传感器	625
9.1.1 图像传感器	626
9.1.2 MEMS 及传感器	637
9.2 存储器	642
9.2.1 DRAM/SRAM	642
9.2.2 NAND 非挥发存储器	648
9.3 处理器	649
9.3.1 处理器对 I/O 的需求	650
9.3.2 SRAM+CPU	651
9.3.3 DRAM+CPU	653
9.4 光电集成	657
9.4.1 光电器件集成	657
9.4.2 光互连三维集成	658
9.5 FPGA	661

9.5.1	三维集成 FPGA	661
9.5.2	硅插入层 FPGA	662
9.6	射频、微波及高功率	663
9.6.1	射频收发器前端	664
9.6.2	无源器件	664
9.6.3	SiGe 功率放大器	666
9.6.4	III-V 族化合物	667
9.7	SoC	668
9.7.1	模拟-数字集成	668
9.7.2	复杂功能系统	669
	参考文献	673

第 1 章

三维集成电路概述

集成电路由一层半导体器件和多层互连线组成。早期提高性能和扩展功能的重点都集中在晶体管层面,即通过减小特征尺寸(Critical Dimension)实现更高的速度、更低的功耗,以及更高的集成度。从 1965 年 Gordon Moore 提出摩尔定律(Moore's Law)^[1],即集成电路的集成度以每 18 个月翻一番的速度提高,目前复杂微处理器已经集成了超过 10 亿个晶体管。摩尔定律的发展是依赖光刻技术的不断进步和器件的特征尺寸不断减小而实现的,即制造更小尺寸的金属氧化物半导体场效应晶体管(Metal-Oxide Semiconductor Field-Effect Transistors, MOSFET),提高单位面积 MOSFET 数量,减小 MOSFET 的功耗,提高工作速度。除了光刻技术的进步,集成电路特征尺寸的不断减小还依赖于新的制造工艺及新材料的不断引入,如图 1-1 所示,从而维持了集成电路的集成度遵循着摩尔定律在不断发展。

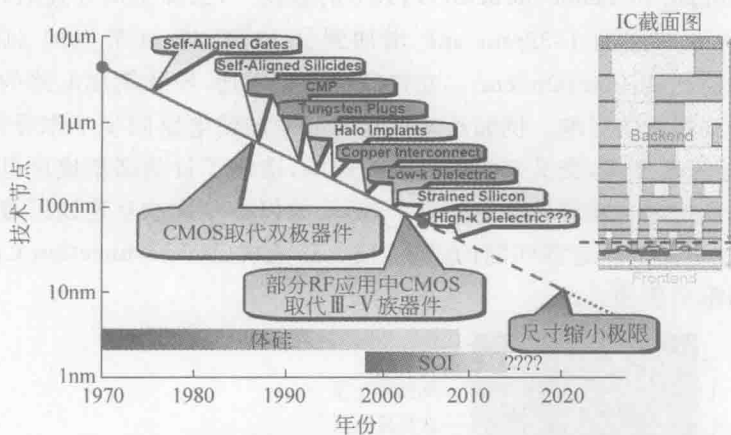


图 1-1 集成电路发展不同技术节点引入的新材料和新工艺

从集成电路的发展历史来看,每进入一个新的技术节点,集成电路的集成度和性能都会提高 50%~60%,而目前每个晶体管的成本已经下降到了 10^{-6} 美元,这一规律在 90nm 技术节点以前尤其明显。然而,随着集成电路技术的不断发展,到 45nm 以后每一个技术节点却只能将集成电路的性能提高 20%左右,而相对于 45nm 以后晶圆厂近 50 亿美元的投资,技术进步所带来的集成电路性价比的提高已经越来越小。导致这一趋势的主要原因包括以下几个方面:首先,依靠光刻技术不断进步的技术难度越来越大、成本越来越高,最终会导致通过减小特征尺寸提高性能的经济性不复存在,失去集成电路发展的源动力;其次,即使光

刻技术能够不断进步,由于其他工艺水平、材料性质和物理规律的限制,基于目前场效应原理工作的 MOSFET 有可能在特征尺寸小于一定极限以后不再有效,使集成电路的发展停滞;第三,即使 MOSFET 的特征尺寸越来越小,由于功耗的限制,器件时钟频率也会趋于稳定,性能难以持续提高。实际上,目前以处理器为代表的集成电路已经出现了时钟频率基本停滞的情况。

1.1 集成电路发展的瓶颈

早期的集成电路采用金属铝作为导电互连材料。随着特征尺寸的减小,铝在电阻率、电迁移、可靠性和制造技术等方面的问题,使其很难满足互连线宽不断减小的要求。1997 年 IBM 推出铜互连技术,并于 1998 年推出世界上第一个采用铜互连的微处理器 Power PC 750,将处理器的速度提高 33%。铜的电阻率比铝约低 40%,同时抗电迁移能力更强、更适合线宽减小的需求,通过 IBM 研发的铜大马士革(Damascene)电镀技术、扩散阻挡层和钨塞技术,解决了铜难以刻蚀和扩散等问题,使互连技术持续支持摩尔定律的发展。铜的性能优势和制造技术的解决,使铜在 2004 年基本取代了铝,成为 130nm 技术节点以后互连的唯一选择。

铜互连的复杂程度随着技术节点的进步而不断提高。1997 年 IBM 首次推出铜互连技术时,实现了 6 层铜互连。如今,复杂芯片的铜互连已经增加到 12 层甚至 15 层。按照多层铜互连的传输距离,可以将互连分为连接晶体管的钨钉层、中间层局域(局部)互连,以及顶部的多层全局互连,如图 1-2 所示。根据国际半导体技术发展蓝图(International Technology Roadmap of Semiconductor, ITRS)的数据^[2],去除全局互连后,局域互连的密度从 2007 年 65nm 节点的 $1439\text{mm}/\text{cm}^2$ 增加到 2013 年 32nm 节点的 $3125\text{mm}/\text{cm}^2$,到 2015 年 22nm 时将达到 $4545\text{mm}/\text{cm}^2$ 。互连数量迅速增加,导致集成电路的设计、制造、性能和可靠性都受到严重的影响。例如长度和延时的增加使电路同步工作异常困难,加之高频串扰增加,互连密度剧增,交叉干扰等因素的影响,造成了目前高集成度电路版图级设计的主要工作不是如何满足功能和性能的要求,而是如何排布这些互连线以避免相互交叉和干扰,导致设计过于复杂。这些问题的出现,使互连危机(Interconnection Crisis)成为限制集成电路发展的重要瓶颈^[3]。

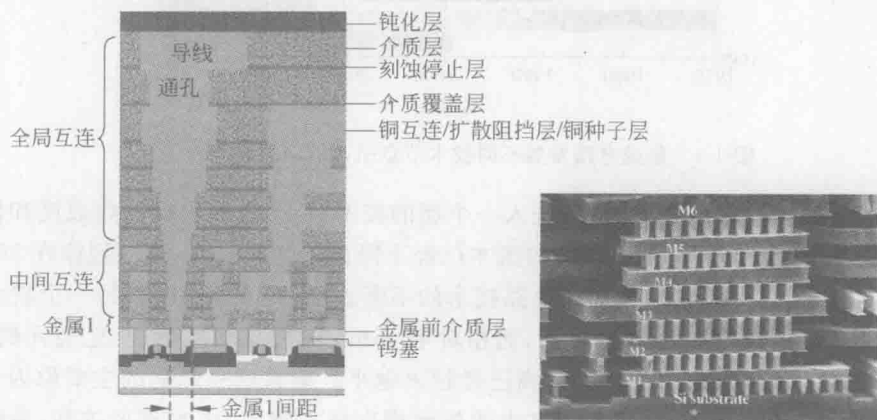


图 1-2 多层铜互连剖面示意图和 SEM 照片