

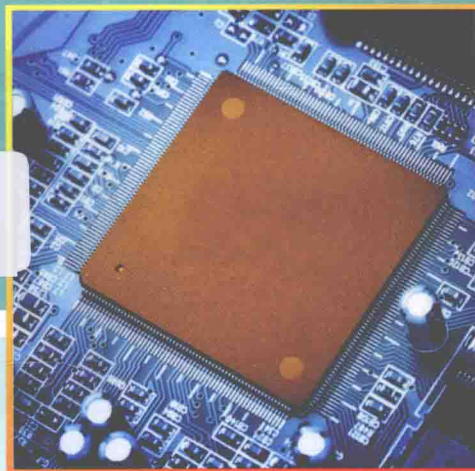
“十二五”高等职业教育电子信息类专业规划教材

VHDL语言设计基础

VHDL YUYAN SHEJI JICHU

史 萍 主编

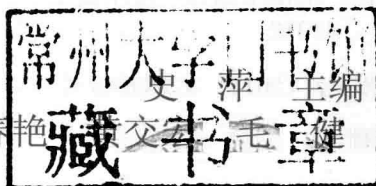
张春艳 黄文宏 毛 健 副主编



中国铁道出版社
CHINA RAILWAY PUBLISHING HOUSE

“十二五”高等职业教育电子信息类专业规划教材

VHDL 语言设计基础



张春艳

副主编

中国铁道出版社
CHINA RAILWAY PUBLISHING HOUSE

内 容 简 介

本教材以任务为导向,讲述了用 VHDL 硬件描述语言进行 Altera 公司的 CPLD/FPGA 开发的一般过程及方法。开发环境采用了国内较为通用的 MAX+plus II 和 Quartus II。

本教材兼顾了两种开发软件的一般操作方法和设计步骤。在为学生提供更多新知识的同时,注重学生创造力的培养。书中大部分章节都安排了针对性较强的习题,使学生对每一章的教学效果都能及时得以强化。

本书适合电子信息类相关专业的学生使用,也可作为电路爱好者的自学用书。

图书在版编目(CIP)数据

VHDL 语言设计基础 / 史萍主编. — 北京: 中国铁道出版社, 2014. 6

“十二五”高等职业教育电子信息类专业规划教材

ISBN 978-7-113-17880-2

I. ①V… II. ①史… III. ①VHDL 语言—程序设计—
高等职业教育—教材 IV. ①TP312

中国版本图书馆 CIP 数据核字 (2014) 第 089638 号

书 名: VHDL 语言设计基础

作 者: 史 萍 主 编

策 划: 王春霞

读者热线: 400-668-0820

责任编辑: 王春霞 贾淑媛

封面设计: 付 巍

封面制作: 白 雪

责任校对: 汤淑梅

责任印制: 李 佳

出版发行: 中国铁道出版社 (100054, 北京市西城区右安门西街 8 号)

网 址: <http://www.51eds.com>

印 刷: 三河市兴达印务有限公司

版 次: 2014 年 6 月第 1 版

2014 年 6 月第 1 次印刷

开 本: 720 mm×960 mm 1/16 印张: 10.5 字数: 174 千

印 数: 1~2 000 册

书 号: ISBN 978-7-113-17880-2

定 价: 21.00 元

版权所有 侵权必究

凡购买铁道版图书, 如有印制质量问题, 请与本社教材图书营销部联系调换。电话: (010) 63550836

打击盗版举报电话: (010) 51873659

EDA 技术是高职高专应用电子技术专业和微电子专业的一门专业课程。随着 EDA 技术的发展,我国高职教育越来越注重学生的工程实践能力与自主创新能力的培养。本教材根据高职高专的培养目标,结合高职高专的教学改革和课程改革,本着“工学结合、项目引导、‘教学做’一体化”的原则编写而成。

本教材以任务为导向,讲述了用 VHDL 硬件描述语言进行 Altera 公司的 CPLD/FPGA 开发的一般过程及方法。开发环境采用了国内较为通用的 MAX+plus II 和 Quartus II。本教材兼顾了两种开发软件的一般操作方法和设计步骤。在为学生提供更多新知识的同时,注重学生创造力的培养。书中大部分章节都安排了针对性较强的习题,使学生对每一章的教学效果都能及时得以强化。

本书中的任务一通过二四译码器的制作和调试介绍了 MAX+plus II 开发软件,任务二通过 4 选 1 数据选择器的制作和调试介绍了 Quartus II 开发软件。以上两个任务采用了大量的图片引导学生学会软件操作方法。在任务三中,通过 5 位加法器的制作和调试,引导学生了解可编程器件的硬件结构,学会 VHDL 语法规则和常用语句。任务四采用由浅到深的顺序,引导学生调试多功能计数器。通过该项目的调试,可以强化、复习 VHDL 语言的基本语法和应用技能。任务五介绍数码管显示的十进制加法计数器,强化进程语句、case 语句和加法计数器的使用。任务六为制作和调试 40 秒定时器,突出减法计数器的活学活用。任务七通过制作和调试 LED 流水灯,以强化 if 语句和 case 语句的使用。任务八的内容是制作和调试 24 小时数字钟,用以引导学生掌握 VHDL 语言的基本应用技巧。任务九采用状态机实现了交通灯控制器制作。任务十的内容是实现键盘接口电路的调试。通过这任务九和任务十的训练,可以提高学生 VHDL 的

综合应用能力。

本书由无锡科技职业学院史萍任主编，负责制订编写课程原则并统稿。任务一、二、五、七由史萍编写；任务四、九由史萍和无锡赛克特信息科技有限公司毛健编写；任务三、八由无锡科技职业学院张春艳编写。任务六、十由无锡城市职业技术学院黄交宏编写。

在本书的编写过程中，借鉴了许多参考文献的宝贵经验，在此谨向这些作者表示诚挚的感谢。

由于编者水平有限，本书难免有疏漏和不足之处，望广大读者和业内专家同行批评指正。

编 者

2014年4月

任务一 制作和调试二四译码器	1
学习目标	1
任务描述	1
任务分析	1
相关知识	2
一、VHDL 概述	2
二、MAX+plusII 开发环境	3
三、原理图编辑	8
任务实施	16
综合评价	19
思考与练习	19
任务二 制作和调试 4 选 1 数据选择器	20
学习目标	20
任务描述	20
任务分析	20
相关知识	21
一、Quartus II 软件特点	21
二、Quartus II 的基本设计流程	22
任务实施	23
综合评价	33
思考与练习	34
任务三 制作和调试 5 位加法器	35
学习目标	35
任务描述	35



任务分析.....	35
相关知识.....	36
一、PLD 简介.....	36
二、VHDL 语言的程序结构及语法.....	45
三、半加器和全加器.....	67
任务实施.....	69
综合评价.....	71
思考与练习.....	71

任务四 制作和调试多功能计数器..... 74

学习目标.....	74
任务描述.....	74
任务分析.....	75
相关知识.....	75
一、描述时钟 CLK 的上升沿.....	75
二、十六进制加法计数器.....	76
三、十进制加法计数器.....	77
四、同步清零计数器.....	78
五、异步清零计数器.....	79
六、可逆计数器.....	80
七、多进制计数器.....	81
任务实施.....	82
综合评价.....	84
思考与练习.....	84

任务五 制作和调试数码管显示的十进制加法计数器..... 89

学习目标.....	89
任务描述.....	89
任务分析.....	89
相关知识.....	90
一、数码管结构.....	90

二、数码显示驱动程序	90
任务实施.....	91
综合评价.....	93
思考与练习.....	93
任务六 制作和调试 40 秒定时器	94
学习目标.....	94
任务描述.....	94
任务分析.....	94
相关知识.....	95
一、基本减法计数器	95
二、带异步清零、使能端的十六进制减法计数器.....	96
三、带异步清零、使能端的十进制减法计数器.....	98
任务实施.....	100
综合评价.....	102
思考与练习.....	103
任务七 制作和调试 LED 流水灯	105
学习目标.....	105
任务描述.....	105
任务分析.....	105
相关知识.....	106
一、实现 1 个 LED 灯的等间隔循环亮灭	106
二、实现 2 个 LED 灯的循环亮灭	107
任务实施.....	109
综合评价.....	111
思考与练习.....	112
任务八 制作和调试 24 小时数字钟	114
学习目标.....	114
任务描述.....	114
任务分析.....	114



相关知识.....	115
一、设计二进制数分频电路	115
二、设计偶数分频电路	116
任务实施.....	117
综合评价.....	126
思考与练习.....	126
任务九 制作和调试交通灯控制器	127
学习目标.....	127
任务描述.....	127
任务分析.....	128
相关知识.....	128
一、状态机的基本概念	128
二、状态机的分类和结构	130
任务实施.....	139
综合评价.....	145
思考与练习.....	145
任务十 制作和调试矩阵式键盘接口电路	146
学习目标.....	146
任务描述.....	146
任务分析.....	146
相关知识.....	148
一、独立式键盘原理	148
二、分解独立式键盘接口电路	148
任务实施.....	151
综合评价.....	158
思考与练习.....	158
参考文献.....	159

任务一

制作和调试二四译码器

译码就是将二进制代码转换成不同的输出状态。二四译码器包含 2 位二进制输入，输入代码有 00、01、10、11 共四种不同的状态组合，因而可译出 4 位输出信号，简称 2 线 - 4 线译码器。对应输入代码的每种组合，4 位输出信号的逻辑电平某位为 1，其他位为 0。二四译码器的设计方法很多，本项目采用 EDA 设计方法，在 MAX+plus II 集成开发环境中利用 VHDL 语言输入法来设计，并完成编辑、编译和仿真。



学习目标

- (1) 了解常用的 HDL 语言特点。
- (2) 熟悉 MAX+plus II 软件开发环境。
- (3) 掌握 MAX+plus II 软件的原理图编辑工具使用方法。
- (4) 掌握 MAX+plus II 软件的原理图编辑流程。
- (5) 熟悉 MAX+plus II 软件的函数库和程序包功能。
- (6) 掌握 VHDL 语言的编辑规则。
- (7) 熟悉 MAX+plus II 软件的 VHDL 编辑工具使用方法。
- (8) 掌握 MAX+plus II 软件的 VHDL 编辑流程。



任务描述

本任务要求利用 MAX+plus II 软件的 VHDL 输入法完成二四译码器的编辑、编译和仿真。



任务分析

在本任务的实施过程中，可以参照数字电路中二四译码器的设计思路，完成 VHDL 程序设计，在可编程逻辑器件上实现其功能。首先，采用数字电



路的设计方法,依据二四译码器的功能列出真值表,由真值表推导出逻辑表达式,完成电路原理图的设计。其次,将电路原理图“翻译”成 VHDL 程序,经过编辑和编译之后,得到了可编程器件的网络表,通过软件功能仿真,进行电路验证。完成任务的步骤如图 1-1 所示。



图 1-1 完成任务步骤



相关知识

一、VHDL 概述

目前,国际上越来越多的 EDA 工具都接受 HDL 语言作为设计输入,现应用最为广泛的语言有 VHDL、Verilog-HDL。进入 20 世纪 80 年代后期,硬件描述语言向着标准化、集成化的方向发展。最终,VHDL 和 Verilog-HDL 语言适应了这种趋势的要求,先后成为 IEEE 标准。

VHDL 的英文全称是 Very-High-Speed Integrated Circuit Hardware Description Language,诞生于 1982 年,是随着可编程逻辑器件(PLD)的发展而发展起来的一种硬件描述语言。1987 年底,VHDL 被 IEEE 和美国国防部确认为标准硬件描述语言。1994 年 IEEE 对 VHDL 进行了修订,增加了部分新的 VHDL 命令与属性,增强了系统的描述能力,并公布了新版本的 VHDL,即 IEEE 标准版本 1046—1994。VHDL 作为一种硬件设计采用的标准语言,除了含有许多具有硬件特征的语句外,VHDL 的语言形式、描述风格及语法类似于一般的计算机高级语言。已得到众多 EDA 公司的支持,越来越多的硬件设计者使用 VHDL 描述系统的行为。

VHDL 是一种面向设计、多层次、多领域的标准硬件描述语言,它主要有如下特点:行为描述能力强,能用简洁明确的代码描述复杂控制逻辑;采用 Top-down 的设计方法,支持三个层次的描述,即行为描述、寄存器传输级(RTL)描述、门级描述(逻辑综合);能实现非依赖器件地设计,设计者可以不懂硬件的结构,也不必考虑最终实现的目标器件是什么而进行独立地设计,与实现的工艺无关;可进行系统的早期仿真以保证设计的正确性,而且还具备性能评估能力;可实现 ASIC 移植,如果一个设计被综合到 CPLD 或 FPGA,可以促使产品的上市时间短、成本低,而且采用 VHDL 可以很容易实现一个设计从可编程器件向 ASIC 的转换。

Verilog-HDL 简称 Verilog, 是一种硬件描述语言, 主要用于数字系统的设计。设计者可以用它来进行各种级别的逻辑设计, 可以用它进行数字逻辑系统的仿真验证、时序分析、逻辑综合等。

Verilog 是在 1983 年由 GDA (Gateway Design Automation) 公司的 Phil Moorby 首创的。Phil Moorby 后来成为 Verilog-XL 的主要设计者和 Cadence 公司的第一个合伙人。20 世纪 80 年代中期, Moorby 设计出了第一个关于 Verilog-XL 的仿真器, 他对 Verilog-HDL 的另一个巨大贡献是于 1986 年提出了用于快速门级仿真的 XL 算法。随着 Verilog-XL 算法的成功, Verilog-HDL 语言得到了迅速发展。1989 年, Cadence 公司收购了 GDA 公司, Verilog-HDL 语言成为 Cadence 公司的私有财产。1990 年, Cadence 公司决定公开 Verilog-HDL 语言, 于是成立了 OVI (Open Verilog International) 组织来负责 Verilog-HDL 语言的发展。基于 Verilog-HDL 语言的优越性, IEEE 于 1995 年制定了 Verilog-HDL 的 IEEE 标准, 即 Verilog-HDL 1364—1995。

Verilog-HDL 是专为 ASIC 设计而开发的, 本身即适合 ASIC 设计。在亚微米和深亚微米 ASIC 已成为电子设计主流的今天, Verilog-HDL 的发展前景是非常远大的。Verilog-HDL 较为适合算法级 (Algorithm)、寄存器传输级 (RTL)、逻辑级 (Logic) 和门级 (Gate) 设计, 而对于特大型的系統级设计, 则 VHDL 更为适合。VHDL 和 Verilog HDL 的区别如下:

(1) 数据类型: VHDL 允许使用者自定义数据类型, 如抽象数据类型, 这种特性使得系统层级的建模较为容易。Verilog-HDL 的主要数据类型较简单, 其数据类型的定义完全从硬件的概念出发, 这使得它系统级建模能力较弱。

(2) 可维护性: 对于大型设计而言, VHDL 支持如 Generate Package 及 Generic 的语法, 这有助于大型设计的维护, 在这方面 Verilog-HDL 也提供了 Generate 的语法。

(3) 可扩充性: Verilog-HDL 语言因其可程序化的接口可以无限扩充而成为功能强大的硬件设计语言。VHDL 有所欠缺, 它采用 Package 扩充功能。

二、MAX+plus II 开发环境

1. 显示原理图编辑窗口

使用原理图编辑器可快速建立简单或复杂的设计, 图 1-2 所示为原理图编辑窗口。

(1) 选择 File→New→Graphic edit file 命令, 则出现原理图编辑器窗口。

(2) 在窗口中输入原理图, 如图 1-2 所示, 选择 File→Save as 命令, 保存的文件格式为*.gdf。

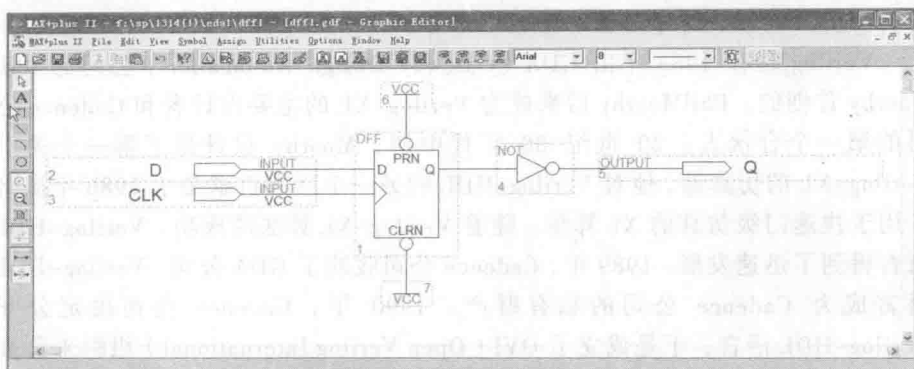


图 1-2 原理图编辑窗口

2. 显示文本编辑窗口

使用文本编辑器可快速建立简单或复杂的设计, 图 1-3 所示为文本编辑窗口。

```

halfadd.vhd - Text Editor
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY halfadd IS
    PORT (a,b: IN bit;
          sum,hcarry: OUT bit);
END halfadd;
ARCHITECTURE ha OF halfadd IS
    BEGIN
        sum<=a XOR b;
        hcarry<=a AND b;
    END ha;

```

图 1-3 文本编辑窗口

(1) MAX+plus II 软件的文字编辑器是一种弹性工具, 它支持多种硬件描述语言的文字编辑和综合功能, 如支持 AHDL、VHDL 和 Verilog-HDL 三种环境。

(2) 以 VHDL 语法编写的文件保存格式为*.vhd, 以 AHDL 语法编写的文件保存格式为*.tdf, 而以 Verilog-HDL 语法编写的文件保存格式为*.v。

(3) 选择 File→New→Text edit file 命令, 则出现文本编辑器窗口, 输入程序, 如图 1-3 所示, 保存文件名为 halfadd.vhd。

3. 显示仿真波形窗口

MAX+plus II 软件的波形编辑器既可用于设计电路, 又可用来观察仿真波形, 图 1-4 所示为仿真波形窗口。

(1) 选择 File→New→Waveform edit file 命令, 则出现仿真波形窗口。

(2) 在窗口中对输入信号预置波形, 经仿真后, 出现图 1-4 所示为的仿真波形窗口, 选择 File→Save as 命令, 保存的文件格式为*.scf。

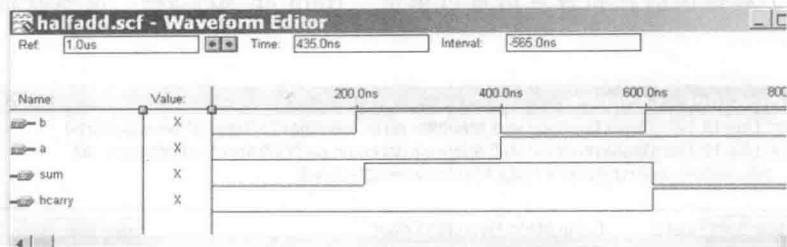


图 1-4 仿真波形窗口

4. 显示编译窗口

MAX+plus II 编译器可以检查项目中的错误并进行逻辑综合, 将项目最终设计结果加载到 Altera 器件中去, 并为模拟和编程产生输出文件, 图 1-5 所示为编译窗口。

(1) 选择 MAX+plus II → Compiler 命令, 出现图 1-5 所示的编译窗口。

(2) 编译窗口包括编译器网表提取器、数据库建库器、逻辑综合器、设计规则检查器、分配器、适配器、时序模拟的模拟器网表文件生成器和装配器。

(3) 设计文件经 MAX+plusII 软件的编译成功后将产生一些文件名相同但扩展名不同的文件, 如*.hex、*.snf、*.pof、*.sof、*.pin、*.rpt 等文件。

(4) 所有设计的程序经过编译后才能进行仿真、时序分析与烧写工作。

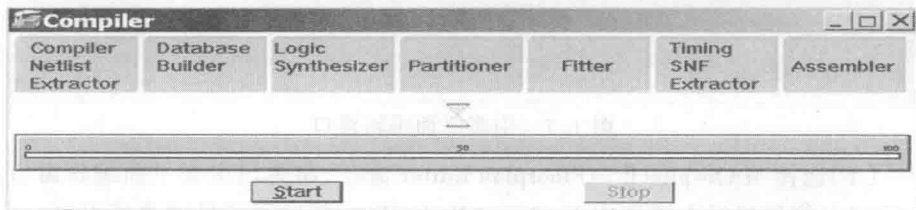


图 1-5 编译窗口

5. 显示编译信息窗口

设计文件经 MAX+plus II 软件编译后将呈现一些信息提示, 图 1-6 所示为编译信息窗口。

(1) 单击编译窗口中的“Start”按钮, 将出现图 1-6 所示的编译信息窗

口。对错误信息和警告信息，设计师须进行处理，双击“Error”，光标将出现在错误处，设计师根据错误提示进行修改。

(2) 对错误信息和警告信息可单击“Help on Message”按钮获得帮助信息。

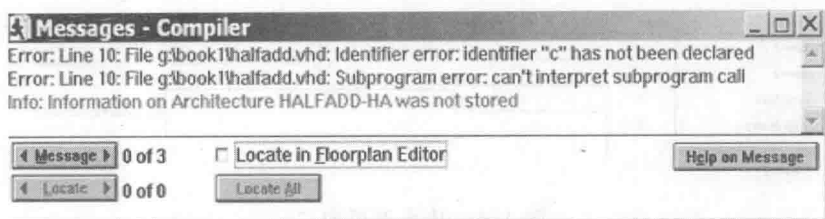


图 1-6 编译信息窗口

6. 显示引脚平面编辑器

MAX+plus II 的引脚平面编辑功能可以如同实际器件配线般配置电路输出/输入引脚，也可观看或修改编译后计算机自动配置引脚的结果，图 1-7 所示为引脚平面编辑窗口。

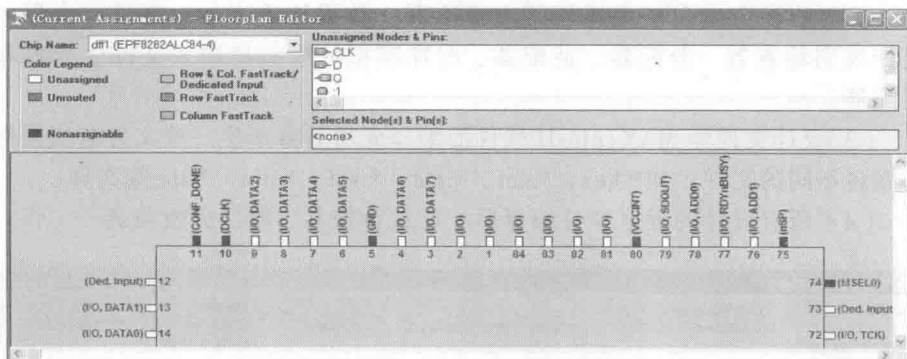


图 1-7 引脚平面编辑窗口

(1) 选择 MAX+plus II → Floorplan Editor 命令，将弹出引脚平面编辑窗口。

(2) 按住鼠标左键选中 Unsigned Nodes/Pins 拖动至器件的真实引脚。

7. 显示定时分析窗口

MAX+plus II 的定时分析工具 (Timing Analyzer) 可用来分析和预测器件的时延性质。借助时间分析的功能可达到最佳布局规划，加快所设计器件的处理速度，图 1-8 所示为定时分析窗口。

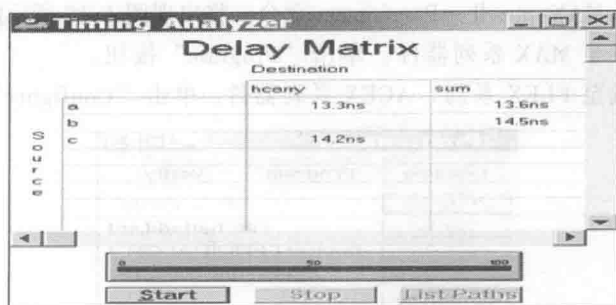


图 1-8 定时分析窗口

(1) 选择 MAX+plus II → Timing Analyzer 命令, 将出现图 1-8 所示的定时分析窗口。

(2) 图中 a、b、c 为输入信号, hcarry、sum 为输出信号, 定时分析窗口显示输出信号相对输入信号的时延。

8. 选择菜单显示仿真窗口

MAX+plus II 的波形编辑器的仿真功能非常强大, 可以测试所设计电路的逻辑与时序, 图 1-9 所示为仿真窗口。

(1) 选择 MAX+plus II → Simulator 命令, 将出现图 1-9 所示的仿真窗口。

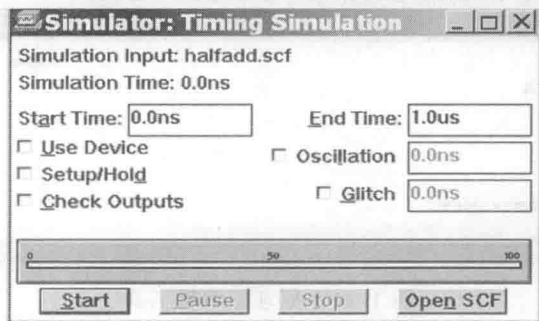


图 1-9 仿真窗口

(2) 单击 “Start” 按钮开始仿真。

(3) 单击 “Open SCF” 按钮显示仿真波形。

9. 显示烧写窗口

MAX+plus II 的烧写功能是将电路设计文件转换后的输出文件 (例如 *.pof 文件与 *.sof 文件) 烧写至 MAX 系列器件或下载至 FLEX 系列、ACEX 系列器件, 亦可用来检验与测试器件或转换烧写文件格式。



- (1) 选择 MAX+plus II → Programmer 命令, 将出现图 1-10 所示的烧写窗口。
- (2) 烧写至 MAX 系列器件, 单击“Program”按钮。
- (3) 下载至 FLEX 系列、ACEX 系列器件, 单击“Configure”按钮。

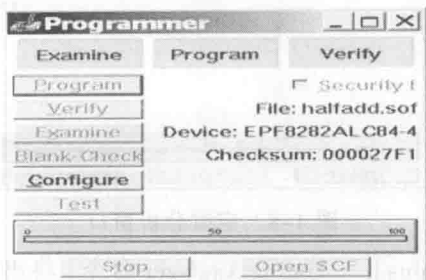


图 1-10 烧写窗口

三、原理图编辑

1. 了解原理图编辑工具

原理图编辑工具如图 1-11 所示。

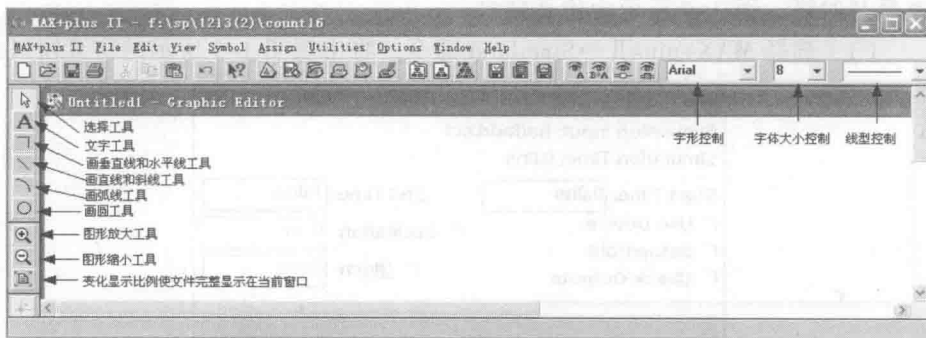


图 1-11 原理图编辑工具

常用功能叙述如下所述:

- (1) 选择工具用于选取、移动、复制对象, 为最基本且常用的功能。
- (2) 文字工具用于输入或编辑文字。
- (3) 画垂直线和水平线工具用于画正交线。
- (4) 画直线和斜线工具用于画直线、斜线。
- (5) 画弧线工具用于画弧形。
- (6) 画圆工具用于画圆。