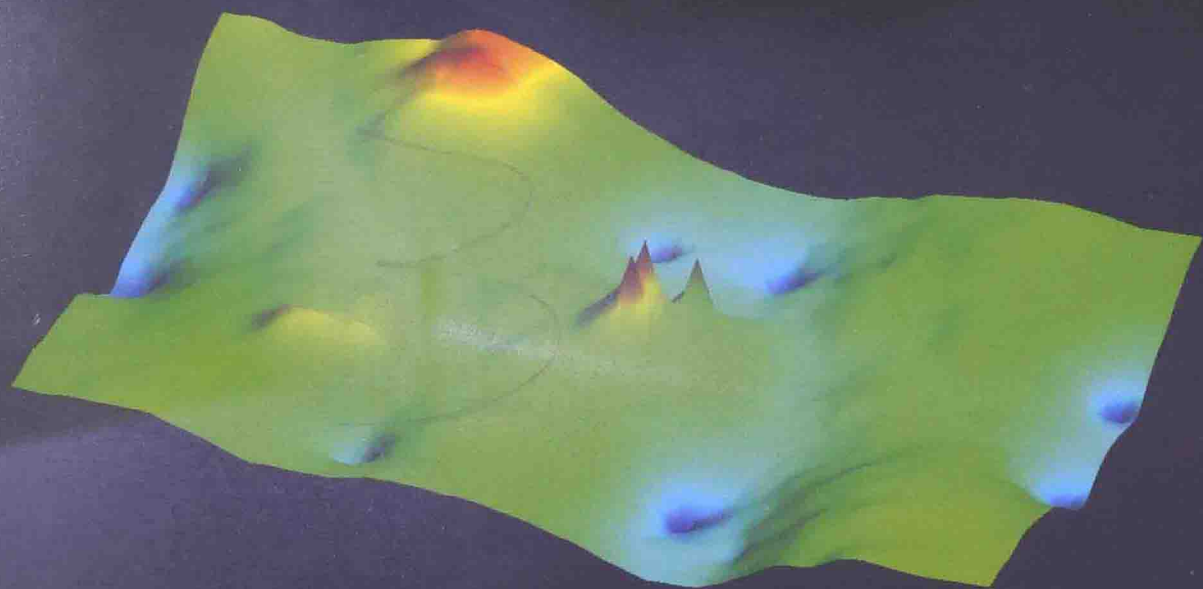
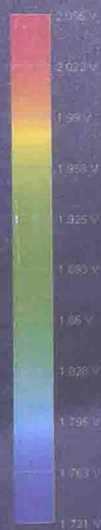


# Cadence 高速电路设计

Allegro Sigrity SI/PI/EMI设计指南

陈兰兵 主编

钟章民 肖定如 王辉 等 编著



# Cadence 高速电路设计

Allegro Sigrity SI/PI/EMI设计指南

陈兰兵 主编

钟章民 肖定如 王辉 等 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本书主要介绍信号完整性、电源完整性和电磁兼容方面的基本理论和设计方法，并结合实例，详细介绍了如何在 Cadence Allegro Sigrity 仿真平台完成相关仿真并分析结果。同时，在常见的数字信号高速电路设计方面，本书详细介绍了同步系统、DDR<sub>x</sub>（源同步系统）和高速串行传输的特点，以及运用 Cadence Allegro Sigrity 仿真平台的分析流程及方法。本书还介绍了常用的信号完整性和电源完整性的相关测试手段及方法，简要介绍了从芯片、封装到电路板的系统级仿真设计方法。

本书特点是理论和实例相结合，并且基于 Cadence Allegro Sigrity 的设计平台，使读者可以在软件的实际操作过程中，理解各方面的高速电路设计理念，同时熟悉仿真工具和分析流程，发现相关的问题并运用类似的设计、仿真方法去解决。

本书适合从事芯片、封装、电路板设计及数字电路硬件设计的人员参考学习。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有，侵权必究。

### 图书在版编目（CIP）数据

Cadence 高速电路设计：Allegro Sigrity SI/PI/EMI 设计指南 / 陈兰兵主编；钟章民等编著.  
北京：电子工业出版社，2014.9  
（电子设计自动化丛书）  
ISBN 978-7-121-24114-7

I. ①C… II. ①陈… ②钟… III. ①印刷电路—计算机辅助设计 IV. ①TN410.2

中国版本图书馆 CIP 数据核字（2014）第 188926 号

策划编辑：孙学瑛

责任编辑：徐津平

印 刷：三河市双峰印刷装订有限公司

装 订：三河市双峰印刷装订有限公司

出版发行：电子工业出版社

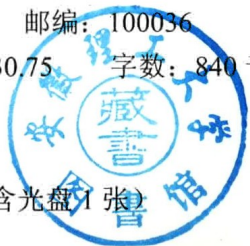
北京市海淀区万寿路 173 信箱 邮编：100036

开 本：787×1092 1/16 印张：30.75 字数：840 千字

版 次：2014 年 9 月第 1 版

印 次：2014 年 9 月第 1 次印刷

印 数：3000 册 定价：79.00 元（含光盘 1 张）



凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 [zlt@phei.com.cn](mailto:zlt@phei.com.cn)，盗版侵权举报请发邮件至 [dbqq@phei.com.cn](mailto:dbqq@phei.com.cn)。

服务热线：（010）88258888。

---

# 编委会

丛书主编：陈兰兵

编著人员：（以姓氏拼音排序）

代文亮	郭叙海	胡劲松	李 丽
蒙玉宝	莫道春	秦祖立	孙灯亮
王 辉	王海三	文艺潼	吴 均
肖定如	徐宝书	晏 志	杨 丹
钟晓辉	钟章民	朱顺临	庄哲民

---

# 丛书序

随着计算机、通信和消费类电子的发展，电子产品遍及了我们生活的方方面面，电子工业在全球得到了长足的发展，电子工业的发展也带动了电子设计自动化技术。电子设计自动化技术（EDA）是在电子 CAD 技术基础上发展起来的计算机软件系统，是指以计算机为工作平台，融合了应用电子技术、计算机技术、信息处理及智能化技术的最新成果，进行电子产品的自动设计。利用电子设计自动化工具，电子工程师可以从概念、算法、协议等开始设计电子系统，大量工作可以通过计算机完成，并可以将电子产品从系统设计、电路设计、性能分析到设计出 IC 版图、封装或 PCB 版图的整个过程在计算机上自动处理完成。新的工艺决定了电子设计自动化工具的发展，同时，电子设计自动化工具也决定了电子设计的周期和设计的复杂度。好的设计工具可以帮助客户节约大量的时间，帮助客户减少产品成熟的周期。

对今天的电子设计来说，电子产品朝着小型化、绿色设计和更加时尚的方式在发展。iPhone 4S、iPad、云计算、4G 等产品的出现，带来了更多的技术挑战。USB 3.0 的传输速率是 4.8Gbps，USB 2.0 的传输速率是 480Mbps，可见新技术发展之快是难以想象的，采用 USB 3.0 传输同样大小的数据速度是 USB 2.0 的 10 倍。新产品、新技术的出现，带动了电子工业的发展。随着电子工业的发展，整个电子工业向小型化、低功耗、高性能的方向转变，对电子自动化设计工具要求越来越高。如何培养电子工程师，能够满足电子设计各个环节的需要是当前电子设计领域的迫切任务。“电子自动设计化丛书”丛书，主要通过实例、设计的流程的介绍和 Cadence EDA 工具的应用，来说明封装和印刷电路板电子设计的整个过程，帮助读者快速进入系统级封装和 PCB 设计领域。

本系列丛书的主要特点如下。

- 内容完整，体系性强。本系列丛书包括从封装设计到原理图设计、印刷电路板设计的整个硬件开发流程，并包括信号完整性分析、企业硬件设计流程数据库管理平台的建设，以及 FPGA 的协同设计。
- 理论与实践相结合。本系列丛书不仅包括实际工具的应用、设计案例和相关基础理论的论述，还结合实际的制造工艺要求、实际工程进行针对性的介绍。

邱善勤博士

---

# 作者简介

代文亮，苏州芯禾电子科技有限公司创始人，在上海交通大学获得工学博士学位，主要负责高速电路分析设计如信号完整性、电源完整性、电磁兼容、高速射频电路设计等软件产品的研究与开发，已在电磁建模分析领域获得美国专利 4 项，中国专利 6 项。

郭叙海，展讯通信有限公司协同设计副总监，负责芯片封装系统的协同设计与协同仿真 SI/PI 仿真分析、On-die 电源网络的压降分析、IBIS Modeling、芯片封装散热等方面的工作，拥有 12 年芯片设计与半导体行业的工作经验，是国内最早从事跨平台（芯片、封装、板级系统）设计与仿真分析的专家，目前在芯片封装领域申请 3 项专利，并已在期刊与杂志发表 10 余篇文章。

胡劲松，Cadence 公司 Principal 应用工程师，主要负责 Allegro Sigrity 仿真工具的技术支持工作，曾在 Intel、Sigrity 公司从事多年 SI 和 PI 仿真工作，拥有超过 10 年的 SI/PI/EMI 仿真经验。

李丽，Cadence 公司应用工程师，主要负责封装、PCB 电源完整性和信号完整性仿真工具的技术支持。

蒙玉宝，Cadence 公司产品验证主任工程师，主要负责电磁场解析器如三维仿真引擎等相关产品测试，在加入 Cadence 公司之前曾在中兴通讯股份有限公司工作，熟悉业界多种仿真分析工具，擅长精细化结构的三维场分析。

莫道春，毕业于北京广播学院电磁场与微波技术专业，一直在著名的通信公司从事高速硬件设计与验证工作，曾经担任高速实验室主任，从事高速领域的关键技术研发和应用，对高速领域的测试技术，包括阻抗测试、眼图、误码测试，以及高速设计和仿真等有较深入的研究。

秦祖立，Cadence 公司高级应用工程师，主要负责高速 PCB 和封装设计的信号完整性、电源完整性、电热协同及 IC/封装/板级协同仿真分析的技术支持工作，曾先后就职于 Apache 和 Sigrity 等公司，擅长芯片 PDN 建模、I/O 电路建模、系统级 SI/PI 分析及优化等。

孙灯亮，是德科技（中国）有限公司（Keysight Technologies）技术专家，主要负责电子测量仪器、测量技术和方案的技术咨询工作，在加入安捷伦之前曾在华为技术和联想电脑从事技术研究和产品开发工作。

王辉，Cadence SPB 平台中国区技术经理，负责 Cadence 公司封装、PCB、信号完整性工具的技术支持，拥有 19 年的 EDA 工具使用经验。

王海三，Cadence 公司高级应用工程师，主要负责 Cadence Allegro Sigrity 服务项目的 SI/PI/EMC 仿真设计及相关 SI/PI/EMC 仿真工具的技术支持，曾在 Sigrity、华为公司从事 SI/PI/EMC 相关工作。

文艺潼，Cadence 公司产品应用工程师，主要负责模型和高速数字电路信号完整性和电源完整性仿真分析，曾在 ZTE、UT 斯达康、华为等工作，从事 EDA 工作 12 年。

吴均，深圳市一博科技有限公司副总经理兼研发总监，主要负责公司前沿技术方面的研究，包括高速、高密、新材料、新工艺等，拥有 16 年高速 PCB 设计与仿真经验，曾先后在南方通信、华为技术、UT 斯达康和 Cadence 等工作，现任 IPC 中国设计师理事会副主席。

肖定如，Cadence 公司资深产品技术专家，拥有超过 25 年的电子产品设计、开发和应用经验，在 Cadence 公司工作超过 12 年，所涉及的主要领域包括 SI、PI、EMI 和 RF 的相关产品。

徐宝书，思科研发（中国）有限公司技术专家，负责上海研发中心有线接入产品的信号完整性设计，曾就职于华为、英特尔，在信号完整性领域有十多年经验。

晏志，Cadence 公司产品验证主任工程师，主要负责 Allegro 总线和通道仿真、SystemSI 系统仿真、T2B IBIS 建模，曾先后在英业达、IOMeth 工作 5 年，现在 Cadence 公司工作 5 年。

杨丹，华为技术有限公司电源专家，现主要从事电源系统和电源完整性设计，擅长电路、单板和部件的建模仿真、优化设计。

钟章民，Cadence 公司服务部门经理，主要负责 Cadence 公司封装、电路板设计和高速产品的仿真分析服务，拥有 15 年高速设计及 SI/PI/EMC 仿真经验，曾在 Sigrity、华为等多家公司从事相关工作，曾承担许多国内外电子设计公司的服务和培训项目。

朱顺临，中兴通讯股份有限公司 EDA 部技术总工，IPC 中国设计师理事会委员，公司 EDA 技术专家与可靠性技术专家，拥有 25 年通信产品硬件研发经验，在高速串行通道的信号完整性分析、高速 PCB 的电源完整性分析及电磁兼容性设计方面有较深的技术背景。

庄哲民，Cadence 公司高级应用工程师，主要负责 Allegro Sigrity 产品的技术支持和信号完整性/电源完整性仿真项目。曾先后在 Sigrity、华为等工作，擅长芯片-封装-系统级联合仿真，以及 DDR 设计分析。

---

# 推荐序一

由多个芯片组成的电子系统往往包含信号互连系统及电源互连系统。

对于低速电路的设计，芯片间信号的互连通常可看作没有寄生参数的理想连接。随着信号速度的提高，其主要表现为信号上升沿的减小及电平翻转的加快，芯片间信号的互连逐渐不能再看作理想导线的连接，其对系统整体性能的影响也越来越重要。高速信号的互连系统呈传输线特性，设计时需考虑信号的延时、传输线特性阻抗、端口所接阻抗及反射、导体及介质的损耗等，尤其要注意信号的返回路径，包括信号参考平面的不连续性、过孔电流的返回路径等。布线时还应注意信号的走线、过孔与其他信号的间隔，以避免过大的电磁耦合。电源噪声尤其是电源谐振所产生的噪声会耦合到信号中，因此信号完整性要求良好的电源系统的设计。

电源互连系统提供芯片及器件的直流供电。电压的幅值往往通过安装于适当位置的传感器来调整。布线工程师在布线时并不知道导体面及过孔通过多大的电流，需要在布线后通过软件检查电源互连系统各处的电流以避免局部电流过大。电源互连系统的交流特性通常由其阻抗特性所描述。电源互连系统的阻抗特性主要由导体叠层结构、导体平面间介质特性、过孔的位置及数量，以及去耦电容的特性、位置和数量来决定。如何确定电源互连系统的设计指标即阻抗特性，是设计实践和软件工具均未很好解决的课题。对于给定的芯片电流波动，可通过软件计算出电源互连系统各处的电压波动，从而验证阻抗设计的合理性。电源互连系统需特别检查及防止谐振，不同结构间的谐振如芯片与封装之间的谐振，往往需要考虑改变封装结构和增加芯片上的电容来消减。对于印制电路板级的谐振，软件工具可有效地帮助设计者在合适的位置放置合适的电容来消除。

在过去的 20 年里，高速电路的发展对电路设计及软件工具提出了很多要求。软件设计及开发人员做出了很多创新，研制了很多软件工具以满足高速电路的设计要求。在软件工具所采用的技术中，有些是从其他领域移植过来的，有些是从其他领域借鉴过来并做适当改变的，还有些是由自身领域开创出来的。由高速电路的信号及电源互连系统的分析软件领域自身开创的主要技术如下。

- 多层电路板间电磁场模式分解及计算技术。该技术使得分析实用多层电路板(及封装)成为可能。在过去的十多年中，该技术成为分析电路板电源完整性及信号与电源相互作用的主要手段。
- 电路与电磁场的时域联合仿真求解技术。此技术使得电磁场分析工具不只是电磁模型的提取工具，更可对结构及与结构相连的任意电路直接进行时域仿真。
- 晶体管电路的行为模型，例如，IBIS 模型及目前仍不断出现的各种改进模型。此类模型使得系统级的信号完整性仿真得以普及。
- S 参数的等效电路模型。很多信号和电源互连系统均由 S 参数表示。此技术使得含有 S 参数的电路的时域仿真较易收敛。
- 串行线的快速仿真技术。串行线的性能往往由出错率来衡量。通常的电路时域仿真技



术无法满足计算量的要求。串行线的快速仿真技术使得仿真百万及以上的信号翻转成为可能。该技术还有可能用于未来高速并行线的仿真。

这里没有提及的创新技术还有很多。在可预见的未来，高速电路系统的信号和电源完整性分析仍然是个持续高速增长领域，业界对软件的开发会提出更多、更高的要求。我们相信会有更多、更好的软件工具即将面世，以帮助广大的设计人员推出更好的产品来美化和充实人类的未来。

本书结合实例对上述主要技术进行了阐述，是一本难得的关于高速电路设计的参考书。

方家元

2014年8月

---

## 推荐序二

高速电路是高速信号的物理载体，主要功能是产生、收发和处理高速脉冲信号。现在单信道的信号速度已达每秒几十吉位，高速脉冲的频谱已进入微波、毫米波波段，与之相应的高速电路的设计面临许多新的问题，主要包括以下几点。

- 对于低速电路，电路特性只取决于单元电路的开关特性和布线网连接后的逻辑特性，但随着集成电路工作速度的提高，信号高频部分的波长已与电路尺寸相当，信号在互连上传输时将产生时延、畸变、反射和串扰等电磁场微波效应，信号的完整性受到破坏，成为制约微电子技术发展的瓶颈之一。
- 在高速电路中由于在电子器件高速开关状态下瞬态交变电流过大，在电流回路上存在寄生电感和损耗，以及谐振及边缘效应，将会产生同步开关噪声等电源完整性问题，使电路系统供电不稳定。
- 在高速情况下通过辐射产生电路系统中各个部分之间的电磁干扰（即电磁兼容问题），以及系统对外部环境（或相反）的电磁干扰（即电磁干扰问题）。
- 因上述问题，高速电路时钟系统及总线系统的设计变得越来越困难。
- 芯片、封装协同设计，以及电、热、应力多物理特性协同设计问题。

微电子工艺越先进，电路工作速度越高，上述问题就越严重。在一些高速电路设计开发公司，超过三分之一的工程师都在进行信号/电源完整性和电磁兼容设计。在这样的背景下，本书的出版非常及时、有用。该书由在高速电路设计工具开发领域的旗舰公司 Cadence 工作多年的陈兰兵先生主编，由数十位富有高速电路设计研究或实践经验的学者、工程技术人员编著，其显著特点是理论分析、商用软件处理与设计实践三者有机结合，对上述新问题产生的背景及解决方案都进行了精准阐述。该书对高速电路设计人员及相关专业的教师、学生将有很好的使用价值或参考意义，对提高我国高速电路的设计水平将发挥积极的作用。

毛军发

2014年8月

---

# 前言

随着大数据时代的来临和云计算的兴起，“处理速度要求快，时效性要求高”是大数据区别于传统数据最显著的特征。如何实现高效传输，以及如何处理如此海量的数据，让这头笨重的大象舞动起来，这对人类的数据驾驭能力提出了新的挑战，也迫使我们不断努力来提高高速电路设计的能力。

高速电路设计是一门综合学科，包括信号完整性与电源完整性设计、EMI/EMC 设计，以及供电系统与热设计等，涉及集成电路与封装设计、硬件原理图与 PCB 设计、结构设计及制造工艺和测试的每一个环节。回顾中国高速电路设计的历史，从最初的简单依赖经验规则设计到严格的工程设计规范；从简单的信号完整性仿真到 SI/PI 的协同仿真；从单板的高速电路设计到芯片/封装/电路板及多板的协同系统设计；从第一块 1.25Gbps 高速背板设计到现在的 25Gbps/56Gbps 系统设计；从 Dr. Johnson 的红宝书和到处拜师学艺到 IBIS 中国峰会和 DesignCon；从简单的示波器阻抗测试到投资上千万的专业高速实验室；从最初购买 EDA 仿真工具获取新技术到本地工具研发团队的壮大，我们用了 15 年就赶上了世界同行在高速印制电路和封装设计上的先进水平，无数同行为此付出了艰辛的努力。当然这一切离不开国内高速发展的宏观背景和本土以通信行业为代表的迅速崛起。相信在国内大力发展集成电路产业的大环境下，国内高速集成电路设计的水平也会随着本土的迫切需求成为一个关键环节而得到快速发展；同时随着超高速电路的发展，高速电路设计的核心环节也将从印制电路板、封装设计转移到集成电路设计环节，这对我们这些同行是一次新的挑战，也是赶上国际先进水平的又一个契机。

本书通过组织业内专家的编写和经验方法分享、实例剖析，并基于 Cadence Allegro Sigrity 最新发布的分析平台，详细介绍了以印制电路板设计为基础的高速电路设计的各个环节，以及 Sigrity 所有相关工具的具体操作流程和步骤；同时介绍了芯片、封装、印制电路板的协同系统设计方法；也涵盖了当今主要的高速测试技术和测试方法。本书可用于一般电子工程师进行高速电路设计的启蒙和提升，也可供广大 SI/PI/EMI 设计工程师参考。在此特别对 Cadence 和参与此书编写的同行专家的大力支持表示衷心的感谢！

陈兰兵

2014 年 8 月

# 目 录

第 1 章 信号完整性基础	1
1.1 信号完整性问题	2
1.1.1 什么是信号完整性	2
1.1.2 数字信号的时域和频域	2
1.1.3 信号的质量	6
1.2 信号完整性分析的传输线理论	10
1.2.1 传输线的定义	10
1.2.2 传输线理论基础与特征阻抗	11
1.2.3 无损耗传输线模型	12
1.2.4 有损耗传输线模型	13
1.2.5 微带线和带状线	15
1.2.6 S 参数简介	17
1.2.7 电磁场求解方法简介	19
1.3 传输线分析	22
1.3.1 反射	22
1.3.2 码间干扰	27
1.3.3 传输线与串扰	28
1.3.4 同步开关噪声	34
1.4 信号质量控制	35
1.4.1 阻抗匹配	35
1.4.2 差分线阻抗和差分线阻抗匹配	39
1.4.3 走线拓扑	45
1.5 信号完整性分析所用器件模型简介	48
1.6 信号完整性仿真分析	51
1.6.1 传输线阻抗与反射分析	52
1.6.2 匹配和传输线层叠结构	57
1.6.3 多负载菊花链	59
1.6.4 串扰	60
1.6.5 DDR3 信号质量问题及仿真解决案例	61
1.6.6 走线阻抗/耦合检查	67
参考文献	73
第 2 章 电源完整性设计原理与仿真分析	74
2.1 电源完整性基本原理	74
2.1.1 电源噪声形成机理及危害	75

2.1.2	电源分配系统构成部件	81
2.1.3	去耦电容特性	82
2.1.4	VRM 模块	89
2.1.5	电源/地平面	92
2.1.6	PDN 的频域分析	95
2.1.7	时域分析方法	100
2.1.8	直流压降与通流问题	104
2.1.9	电热混合仿真	108
2.2	电源分配网络交流分析	112
2.2.1	板级电源完整性设计分析工具及案例	112
2.2.2	板级电源阻抗分析	115
2.2.3	平面谐振分析	121
2.2.4	利用 SPEED2000 进行时域电源噪声分析	124
2.3	电源分配网络去耦电容优化	127
2.3.1	去耦电容的回路电感	127
2.3.2	优化方案示例——成本最低	129
2.3.3	早期去耦方案规划	132
2.3.4	去耦方案 What-if 分析	137
2.4	电源分配网络直流分析	138
2.4.1	直流仿真分析	139
2.4.2	电热混合仿真分析	145
2.5	用 Allegro Sigrity PI Base 进行电源设计和分析	149
2.5.1	直流设计和分析	149
2.5.2	规则驱动的去耦电容设计方法	153
	参考文献	156
<b>第 3 章</b>	<b>高速时钟同步系统设计</b>	<b>157</b>
3.1	共同时钟系统原理介绍	157
3.1.1	共同时钟系统工作原理	157
3.1.2	时序参数	158
3.1.3	共同时钟系统时序分析	163
3.2	用 SigXplorer 进行共同时钟系统时序仿真	166
3.2.1	飞行时间仿真分析	167
3.2.2	计算时序裕量	172
3.2.3	保持时间时序裕量分析	173
	参考文献	173
<b>第 4 章</b>	<b>高速 DDRx 总线系统设计</b>	<b>174</b>
4.1	高速 DDRx 总线概述	174
4.1.1	DDRx 发展简介	174
4.1.2	Bank、Rank 及内存模块	176

4.1.3	接口逻辑电平	178
4.1.4	片上端接 ODT	181
4.1.5	Slew Rate Derating	185
4.1.6	Write Leveling	187
4.1.7	DDR4 的 VrefDQ Training	188
4.2	源同步时钟、时序	188
4.2.1	什么是源同步时钟	188
4.2.2	源同步时序计算方法	189
4.2.3	影响源同步时序的因素	194
4.3	DDR <sub>x</sub> 信号电源协同仿真和时序分析流程	196
4.3.1	DDR <sub>x</sub> 接口信号的时序关系	196
4.3.2	使用 SystemSI 进行 DDR3 信号仿真和时序分析实例	197
4.4	DDR <sub>x</sub> 系统常见问题案例分析	228
4.4.1	DDR3 拓扑结构规划: Fly-by 拓扑还是 T 拓扑	229
4.4.2	容性负载补偿	231
4.4.3	Fly-by 的 Stub 评估	235
	参考文献	238
<b>第 5 章 高速串行总线</b>		<b>239</b>
5.1	常见高速串行总线标准一览	239
5.1.1	芯片到芯片的互连通信	240
5.1.2	通用外设连接总线标准——USB 3.0 总线/接口	246
5.1.3	存储媒介总线/接口	248
5.1.4	高清视频传输总线	249
5.1.5	光纤、以太网高速串行总线	252
5.2	高速串行通道之技术分析	256
5.2.1	高速收发 I/O 口	257
5.2.2	均衡器及预加重/去加重	258
5.2.3	AMI 模型接口	263
5.2.4	码型编码及 DC 平衡	263
5.2.5	判决指标: 眼图分析、误码率、浴盆曲线	265
5.3	通道传输指标分析	267
5.3.1	通道混模 S 参数分离	268
5.3.2	通道冲击响应	271
5.3.3	通道信噪比分析	272
5.3.4	通道储能特性分析 (码间干扰 ISI)	274
5.4	高速串行通道精细化建模	276
5.4.1	过孔建模	276
5.4.2	特殊角度走线	281
5.4.3	长度 (相位) 偏差控制	285

5.5	高速串行通道系统仿真案例	287
5.5.1	芯片封装及 PCB 板上信号模型提取	288
5.5.2	建立信号链路拓扑	295
5.5.3	时域通道分析	301
5.5.4	统计通道分析	303
5.6	高速串行通道系统设置调节	306
5.6.1	滤波电容效应	306
5.6.2	电源噪声注入有无影响分析	307
5.6.3	电源噪声强弱影响扫描分析	308
5.6.4	抖动和噪声影响扫描分析	311
5.7	高速串行通道工程实例	312
	参考资料	316
<b>第 6 章</b>	<b>电磁兼容设计原理和方法</b>	<b>317</b>
6.1	EMC/EMI 概述	317
6.1.1	电磁兼容的基本概念	317
6.1.2	电磁兼容相关标准概要	323
6.1.3	接地设计原理	324
6.1.4	屏蔽设计原理	326
6.1.5	滤波设计原理	328
6.2	板级和系统级 EMC 设计基本方法	330
6.2.1	板级 EMC 设计的重要性	330
6.2.2	板级 EMC 与 SI/PI 的关系	330
6.2.3	板级 EMC 控制的常用方法	330
6.2.4	系统级 EMC 设计基本方法	333
6.2.5	EMC 仿真算法简介	334
6.3	Cadence/Sigrity 仿真工具在 EMI 分析中的应用	335
6.3.1	SI/PI/EMI 仿真分析工具介绍	335
6.3.2	Cadence 的 EMI 仿真分析实例	336
6.3.3	SPEED2000 在 EMI 仿真中的应用	338
6.3.4	PowerSI 在 EMI 仿真中的应用	348
6.3.5	OptimizePI 在 EMI 仿真中的应用	352
	参考文献	358
<b>第 7 章</b>	<b>信号完整性与电源完整性测试</b>	<b>359</b>
7.1	10Gbps 以上数字系统中信号完整性测量综述	359
7.1.1	背景	359
7.1.2	10Gbps 以上高速背板测量	362
7.1.3	10Gbps 以上 SerDes 信号品质测量	364
7.1.4	工业标准总线测试	366
7.1.5	供电网络的测量	367

7.1.6	时钟测量	369
7.1.7	其他测试	369
7.1.8	小结	370
7.2	抖动测量	371
7.2.1	测量背景简介	371
7.2.2	抖动的定义及抖动与相位噪声、频率噪声的关系	371
7.2.3	周期抖动、周期间抖动和 TIE	372
7.2.4	抖动成分的分解及各个抖动成分的特征及产生原因	373
7.2.5	使用浴盆曲线和双狄拉克模型预估总体抖动	379
7.2.6	高级抖动溯源分析方法	379
7.2.7	抖动传递函数及其测量	381
7.2.8	50fs 级参考时钟抖动的测量技术	382
7.2.9	抖动测量仪器总结	386
7.3	眼图测量	386
7.3.1	眼图概念	386
7.3.2	眼图模板	388
7.3.3	眼图测试对仪器的要求	389
7.3.4	眼图测试中的时钟恢复	390
7.3.5	眼图参数的定义	391
7.3.6	有问题眼图的调试	395
7.4	PCB 阻抗测量	397
7.4.1	PCB 阻抗测试方案及原理	397
7.4.2	TDR 测量仪器系统的校准	404
7.4.3	TDR 分辨率的概念	406
7.4.4	PCB 阻抗测量操作流程	407
7.4.5	TDR 测量仪器静电防护	416
7.4.6	对 TDR 测量的其他说明	419
7.5	电源完整性测量	422
7.5.1	电源完整性测量对象和测量内容	422
7.5.2	电源纹波和噪声测量	422
7.5.3	PDN 输出阻抗和传输阻抗测量	424
7.5.4	消除电缆屏蔽层环路误差	425
7.5.5	校准过程和参考件	427
7.5.6	电路板系统级 PDN 测量	428
7.5.7	小结	430
7.6	DDR 总线一致性测量	430
7.6.1	工业标准总线一致性测量概述	430
7.6.2	DDR 总线概览	433
7.6.3	DDR 时钟总线的一致性测试	433
7.6.4	DDR 地址、命令总线的一致性测试	435



7.6.5	DDR 数据总线的一致性测试	436
7.6.6	DDR 总线一致性测试对示波器带宽的要求	439
7.6.7	自动化一致性测试	440
7.6.8	DDR 一致性测试探测和夹具	441
7.6.9	小结	441
7.7	参考文献	441
<b>第 8 章</b>	<b>芯片级全流程仿真分析</b>	<b>444</b>
8.1	芯片级全流程仿真的意义	444
8.2	芯片级系统仿真的要点	445
8.3	模型的准备	447
8.3.1	晶体管模型和 IBIS 模型	447
8.3.2	芯片金属层模型	448
8.3.3	封装模型	454
8.3.4	PCB 模型	458
8.4	并行总线和串行信道的仿真	458
8.4.1	并行总线仿真	458
8.4.2	信道仿真	460
8.5	芯片封装 PCB 的电源完整性	460
8.5.1	芯片-封装-PCB 的直流压降	463
8.5.2	芯片-封装-PCB 的交流阻抗分析	466
8.6	芯片-封装-PCB 热设计	466
	参考文献	475