



卓越工程师培养计划

▪ EDA ▪

<http://www.phei.com.cn>

戴 澜 陈铨颖 尹飞飞 范 军 主编



CMOS

模拟集成电路 EDA设计技术



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY



卓越工程师培养计划

▪ EDA ▪

<http://www.phei.com.cn>

戴 澜 陈铨颖 尹飞飞 范 军 主编



CMOS

模拟集成电路 EDA设计技术

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

电子设计自动化 (Electronic Design Automation, EDA) 工具主要是指以计算机为工作平台, 融合应用电子技术、计算机技术、智能化技术最新成果而研制成的电子辅助软件包。该软件包可以使设计者在虚拟的计算机环境中进行早期的设计验证, 有效缩短了电路实体迭代验证的时间、提高了集成电路芯片设计的成功率。一款成功的集成电路芯片源于无数工程师成功的设计, 而成功的设计在很大程度上又取决于有效、成熟的集成电路 EDA 设计工具。

本书主要介绍目前广泛应用的 CMOS 模拟集成电路、版图设计及物理验证 EDA 工具平台。主要包括电路设计工具 Cadence Spectre 和 Synopsys Hspice, 版图设计工具 Cadence Virtuoso 和物理验证工具 Mentor Calibre。内容涵盖 CMOS 模拟集成电路设计 EDA 工具的发展、现状及基础理论和设计实例。本书通过基础和实例结合的方式, 由浅入深、系统地介绍了以上四类 CMOS 模拟集成电路 EDA 工具的基础知识和设计仿真方法, 覆盖范围广, 工程实用性强。

本书内容对初学 CMOS 模拟集成电路设计与仿真的读者, 特别是高等院校电路系统、微电子专业学生及进行 CMOS 模拟集成电路设计的工程师, 都会提供有益的帮助。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有, 侵权必究。

图书在版编目 (CIP) 数据

CMOS 模拟集成电路 EDA 设计技术 / 戴澜等主编. —北京: 电子工业出版社, 2014.8

(卓越工程师培养计划)

ISBN 978-7-121-24103-1

I. ①C… II. ①戴… III. ①模拟集成电路-电路设计 IV. ①TN431.102

中国版本图书馆 CIP 数据核字 (2014) 第 188914 号

策划编辑: 张 剑 (zhang@phei.com.cn)

责任编辑: 徐 萍

印 刷: 涿州市京南印刷厂

装 订: 涿州市京南印刷厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 12.5 字数: 320 千字

版 次: 2014 年 8 月第 1 版

印 次: 2014 年 8 月第 1 次印刷

印 数: 3 000 册 定价: 35.00 元



凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

反侵权盗版声明

电子工业出版社依法对本作品享有专有出版权。任何未经权利人书面许可，复制、销售或通过信息网络传播本作品的行为；歪曲、篡改、剽窃本作品的行为，均违反《中华人民共和国著作权法》，其行为人应承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。

为了维护市场秩序，保护权利人的合法权益，本社将依法查处和打击侵权盗版的单位和个人。欢迎社会各界人士积极举报侵权盗版行为，本社将奖励举报有功人员，并保证举报人的信息不被泄露。

举报电话：(010) 88254396; (010) 88258888

传 真：(010) 88254397

E-mail: dbqq@phei.com.cn

通信地址：北京市海淀区万寿路 173 信箱

电子工业出版社总编办公室

邮 编：100036

前 言

随着信息产业的迅猛发展,进入 21 世纪以来,人类社会在信息领域正面临着一场巨大的变革,其先导因素和决定性力量正是微电子集成电路技术。集成电路(Integrated Circuit, IC)作为当今信息时代的核心技术产品,在国民经济建设、国防建设及人民日常生活中发挥着越来越重要的作用。

随着 CMOS 集成电路技术的日益进步,计算机辅助设计工具——电子设计自动化(Electronic Design Automation, EDA)工具也日趋成熟。各类电路、版图设计、物理验证 EDA 工具的推出,有效提高了电路设计效率,缩短了产品设计周期。依据 CMOS 模拟集成电路设计、验证的基本流程,编者结合实例详细介绍了电路设计工具 Cadence Spectre、Synopsys Hspice、版图设计工具 Cadence Virtuoso 和物理验证工具 Mentor Calibre 四大类 EDA 工具,以供学习 CMOS 模拟集成电路设计与仿真的读者参考讨论之用。

本书分章介绍了目前广泛应用的 CMOS 模拟集成电路设计 EDA 工具,共 7 章。

第 1 章 主要介绍 CMOS 模拟集成电路 EDA 技术的基本概况,包括发展历史、特点、现状及未来趋势,使读者对该领域有一个概括性的了解。同时分步骤介绍了 CMOS 模拟集成电路的基本设计流程,并依据该流程中最重要的三个部分——电路设计及仿真模拟、版图实现、版图物理验证及参数提取后仿真,分类讨论了目前主流的 EDA 设计工具。

第 2 章~第 3 章 通过实例介绍利用 Cadence Spectre 进行 CMOS 模拟集成电路设计的仿真方法。

第 2 章首先对 Spectre 仿真环境进行了总体说明,包括 Spectre 软件的基本介绍和特点,以及 Spectre 的仿真设计方法、与其他 EDA 软件的连接;然后介绍了 Spectre 启动的配置和几个主要窗口,包括主窗口、设计库管理窗口、电路图编辑器窗口、模拟设计环境窗口、波形显示窗口和波形计算器;最后详细介绍了 analogLib 库中的基本器件和激励源,作为读者学习 Spectre 的知识储备。

第 3 章通过两个电路实例——与非门电路和两级密勒补偿运算放大器电路来讨论利用 Spectre 进行 CMOS 模拟集成电路设计的方法和仿真技巧。

第 4 章~第 5 章 通过实例介绍利用 Synopsys Hspice 进行 CMOS 模拟集成电路设计的仿真方法。

第 4 章首先对 Hspice 进行了概括性介绍,包括基本介绍、特点、仿真方法等,之后对 Hspice 操作的主要窗口——主窗口、波形显示窗口和 Result Brower 窗口进行了详细介绍,尤其是这些窗口中的一些重要菜单项和工具栏项;然后讨论了 Hspice 中电路描述的相关语句,包括元件描述语句、激励源描述语句、元件模型描述语句、子电路描述语句和库文件描述语句几大类;最后对电路结果输出语句、电路控制仿真语句和三类仿真分析语句进行了描述。

第 5 章同样通过与非门电路和两级密勒补偿运算放大器电路来讨论利用 Hspice 进行 CMOS 模拟集成电路设计的方法和仿真技巧。

第 6 章~第 7 章 通过两级密勒补偿运算放大器的版图设计和物理验证,介绍物理版图设计工具 Cadence Virtuoso Layout Editor 和版图验证与参数反提工具 Mentor Calibre 的基础知

识和操作技巧。

本书内容丰富，具有很强的实用性。

本书由北方工业大学微电子系副教授戴澜主持编写，陈铖颖、尹飞飞、范军和刘海南一同参与完成。其中，戴澜完成了第1章和第2章的编写，陈铖颖完成第3章的编写，尹飞飞完成第4章和第5章的编写，第6章由范军编写，刘海南副研究员完成第7章的编写。其余参加编写的还有胡晓宇、辛卫华、蒋见花、王晶、周璇、王海欣、王洪祥、余嘉晗、荆有波、王鑫、石宇。中国科学院微电子研究所胡晓宇副研究员、辛卫华高级工程师、蒋见花副研究员参与了全书的策划和审定。同时，感谢北京立博信荣科技有限公司高级工程师王晶，北京诺基亚移动通信高级工程师周璇，三星电子高级工程师王海欣、余嘉晗、王洪祥、荆有波、石宇、王鑫等在文稿审校、章节架构确定、资料查找和文档整理方面付出的辛勤劳动，正是有了大家的共同努力，才使本书得以顺利完成。

由于本书涉及知识面较广，时间和编者水平有限，书中难免存在不足和局限，恳请读者批评指正。

编 者

目 录

第 1 章	CMOS 模拟集成电路 EDA 技术	1
1.1	CMOS 模拟集成电路 EDA 技术概述	1
1.2	CMOS 模拟集成电路设计流程	3
1.3	CMOS 模拟集成电路 EDA 工具分类	5
1.4	CMOS 晶体管 EDA 仿真模型	7
1.5	小结	8
第 2 章	电路设计及仿真工具 Cadence Spectre	9
2.1	Spectre 的特点	9
2.2	Spectre 的仿真设计方法	10
2.3	Spectre 与其他 EDA 软件的连接	11
2.4	Spectre 的基本操作	12
2.5	Spectre 库中的基本器件	31
2.6	小结	34
第 3 章	Cadence Spectre 设计应用	35
3.1	Spectre 仿真基本流程	35
3.2	运算放大器的设计与仿真	39
3.3	小结	58
第 4 章	电路设计及仿真工具 Synopsys Hspice	59
4.1	Hspice 简介	59
4.2	Hspice 仿真窗口简介	60
4.3	Hspice 仿真网表描述	66
4.4	元件语句描述	68
4.4.1	无源元件语句描述	68
4.4.2	有源元件语句描述	71
4.4.3	激励源元件语句描述	75
4.5	元件模型语句描述	82
4.6	子电路语句描述	83
4.7	库文件语句描述	85
4.8	电路分析结果输出语句	86
4.9	常用仿真控制语句	88
4.10	电路基础仿真分析语句	91
4.10.1	直流仿真分析语句	91
4.10.2	瞬态仿真分析语句	94
4.10.3	交流仿真分析语句	96
4.11	小结	100

第 5 章	Synopsys Hspice 设计应用	101
5.1	Hspice 的基本设计流程	101
5.2	运算放大器的 Hspice 的设计与仿真	104
5.3	小结	124
第 6 章	物理版图设计工具 Virtuoso Layout Editor	125
6.1	Virtuoso 界面介绍	125
6.2	Virtuoso 基本操作	138
6.3	运算放大器版图设计实例	152
6.3.1	NMOS 晶体管版图设计	153
6.3.2	运算放大器版图设计	159
6.4	小结	164
第 7 章	版图验证及参数反提工具 Mentor Calibre	165
7.1	Calibre DRC 检查	165
7.2	Calibre LVS 检查	173
7.3	Calibre 参数提取	180
7.4	Calibre 与 Hspice 的后仿真验证	185
7.5	小结	193

第1章 CMOS 模拟集成 电路 EDA 技术

随着信息产业的迅猛发展,进入 21 世纪以来,人类社会的在信息领域正面临着一场巨大的变革,其先导因素和决定性力量正是微电子集成电路技术。自微电子集成电路诞生之日起,其发展经历了若干阶段。首先是 20 世纪 50 年代末发展起来的小规模集成电路 (Small Scale Integrated circuits, SSI),集成度仅上百个元件;之后,是 60 年代发展起来的中规模集成电路 (Medium Scale Integrated circuits, MSI),集成度上升至约 1 000 个元件;70 年代发展的大规模集成电路 (Large Scale Integrated circuits, LSI),集成度已达数千个元件;70 年代末进一步发展为超大规模集成电路 (Very Large Scale Integrated circuits, VLSI),集成度达到 10^5 个元件;80 年代更是发展了特大规模集成电路 (Ultra Large Scale Integrated circuits, ULSI),集成度比 VLSI 又提高了一个数量级,达到 10^6 个元件以上。

在集成电路工艺领域,历史上陆续出现了 p 沟硅栅金属-氧化物半导体 (MOS) 工艺、p 沟铝栅金属-氧化物半导体工艺、n 沟硅栅金属-氧化物半导体工艺、高性能短沟道金属-氧化物半导体 (HMOS) 工艺等,它们各具优劣势,在不同时期、不同领域得到了应用。随着集成电路集成度的日益提高,普通 MOS 工艺已不能满足大规模和超大规模集成系统制造的需要,于是互补金属-氧化物半导体 (Complementary Metal Oxide Semiconductor, CMOS) 工艺应运而生,在数字 LSI 和 VLSI 集成电路的制造中首先得到广泛应用,并得到快速发展。特别是自 20 世纪 80 年代以来,CMOS 工艺更是成为了 CPU、RAM、ROM 等 VLSI 的主导制造工艺。

伴随着 CMOS 集成电路工艺的不断成熟和进步,CMOS 集成电路设计方法也发生了巨大的转变,从最初的手工设计到现在的电子设计自动化 (Electronic Design Automation, EDA)。目前,EDA 技术已经成为微电子集成电路设计的基本途径,广泛应用于 CMOS 模拟、数字、混合信号及射频集成电路、系统设计中。本书重点关注 EDA 技术在 CMOS 模拟集成电路领域的应用和方法,依据设计流程详细介绍几大类 CMOS 模拟集成电路设计 EDA 工具,为初学 CMOS 模拟集成电路设计的高等院校学生和工程师提供参考。

本章主要介绍 CMOS 模拟集成电路 EDA 技术的基本概况、特点、发展趋势和主流工具,为之后的层次化学习打下基础。



1.1 CMOS 模拟集成电路 EDA 技术概述

微电子集成电路产业是一个集工艺制造、电路/系统设计、市场营销、消费应用为一体

的复杂系统工程。其中, 电路/系统设计是连接集成电路工艺制造和市场、应用的桥梁, 是集成电路芯片产品开发的决定性一步。一款成功的集成电路芯片源于无数工程师成功的设计, 而成功的设计在很大程度上又取决于有效、成熟的集成电路 EDA 设计工具。

集成电路 EDA 设计工具主要是指以计算机为工作平台, 融合应用电子技术、计算机技术、智能化技术最新成果而研制成的电子辅助软件包。该软件包可以使设计者在虚拟的计算机环境中进行早期的设计验证, 有效缩短了电路实体迭代验证的时间、提高了集成电路芯片设计的成功率。迄今为止, 应用于集成电路设计的 EDA 工具从诞生到现在, 经历了三个主要的发展阶段。

第一阶段: 在 20 世纪 70 年代的集成电路产业发展初期, 人们开始使用计算机辅助进行集成电路版图编辑, 取代了以往的手工设计操作, 产生了计算机辅助设计的概念。该阶段称为 CAD (Computer Aided Design) 阶段。

第二阶段: 20 世纪 80 年代初, 除了版图编辑和验证功能, 出现了以 Mentor、Daisy、Valid 为代表的 CAE (Computer Aided Engineering) 系统, 为工程师提供了较为便捷的电路原理图输入、功能模拟、分析验证功能, 标志着集成电路 EDA 工具发展进入正轨, 成为集成电路产业链中重要的一环。因此该阶段称为 CAE 阶段。

第三阶段: 20 世纪 90 年代进入 ESDA (Electronic System Design Automation) 阶段, 尽管 CAD/CAE 技术取得了巨大的成功, 但并没有把工程师从繁重的设计工作中彻底解放出来。在整个设计过程中, 自动化和智能化程度还不高, 各种 EDA 工具界面千差万别, 学习使用困难, 并且互不兼容, 直接影响到设计环节间的衔接。基于以上不足, 人们开始追求能够贯彻整个设计过程的自动化, 这就是 ESDA 即电子系统设计自动化, 其中的代表是 Cadence、Synopsys、Avanti 等公司推出的 EDA 工具。

进入 21 世纪以来, 第四代 EAD 工具正沿着 ESDA 的途径继续演进。由于集成电路的工艺水平已经进入深亚微米 ($<20\text{nm}$), 短沟道效应、连线延迟成为制约集成电路发展的重要瓶颈, 因此必须大幅度提高 EDA 工具的设计能力, 才能适应集成电路工艺的快速发展。

利用 EDA 技术进行集成电路设计主要具有以下几方面特点:

- (1) 采用计算机软件平台完成虚拟的电路、系统设计。
- (2) 用软件方式设计的电路、系统到硬件电路、系统的转换是由相应开发软件来自动完成的。
- (3) 设计过程可使用 EDA 软件对电路、系统进行功能及性能仿真, 即虚拟测试, 提前修改电路、系统中的错误和不足, 优化电路。EDA 技术使电子工程师在实际的电子系统产生前, 就可以全面地了解电路、系统的功能特性和物理特性, 从而将开发风险消灭在设计阶段, 缩短了开发时间, 降低了开发成本。
- (4) 采用 EDA 技术的设计方法, 可将一个庞大的系统设计在一块芯片上完成, 即通称的 SoC (System on Chip), 使系统具有体积小、集成度高的优势。

作为 EDA 技术的一个主要分支, CMOS 模拟集成电路 EDA 技术在硬件方面融合了大规模集成电路制造技术, 模拟集成电路、版图设计技术, 专用集成电路测试和封装技术等; 在计算机辅助工程方面融合了计算机辅助设计 CAD、计算机辅助制造 CAM、计算机辅助测试 CAT 技术及多种计算机语言的设计概念; 而在现代电子学方面则容纳了模拟、数字集成电路设计理论、数字信号处理技术、系统建模和优化技术等。

CMOS 模拟集成电路 EDA 技术的核心是利用计算机实现 CMOS 模拟集成电路设计的

自动化,因此基于计算机环境下的 EDA 工具软件的支持是必不可少的。CMOS 模拟集成电路 EDA 软件经历了 20 年的发展,目前广泛应用的主要有 Cadence、Mentor、Synopsys 三家公司的 EDA 软件。这些软件功能很强,可以进行电路设计与仿真,输出多种网表文件 (Netlist),与其他厂商的软件共享数据等。

目前 CMOS 模拟集成电路 EDA 软件开发方面,主要集中在美国。但各国也正在努力开发相应的工具。日本、韩国都有自主开发的专用集成电路设计工具,但不对外开放。中国华大集成电路设计中心,也提供设计软件,但性能不是很强。

总之,CMOS 模拟集成电路 EDA 技术为现代模拟集成电路理论和设计的表达与应用提供了可能性,它已不是某一学科的分支,而是一门综合性学科,打破了计算机软件与硬件间的壁垒,使计算机的软件技术与硬件实现、设计效率和产品性能合二为一,它代表了模拟集成电路设计技术和应用技术的发展方向。



1.2 CMOS 模拟集成电路设计流程

CMOS 模拟电路设计技术作为工程技术中最为经典和传统的艺术形式,仍然是许多复杂高性能系统中不可替代的设计方法。CMOS 模拟集成电路设计与传统分立元件模拟电路设计最大的不同在于,所有的有源和无源器件都是制作在同一块硅衬底上,尺寸极其微小,无法再用电路板进行设计验证。因此,设计者必须采用 EDA 软件仿真和模拟的方法来验证电路功能及性能。模拟集成电路设计包括若干阶段,图 1.1 表示的是 CMOS 模拟集成电路设计的一般的流程。

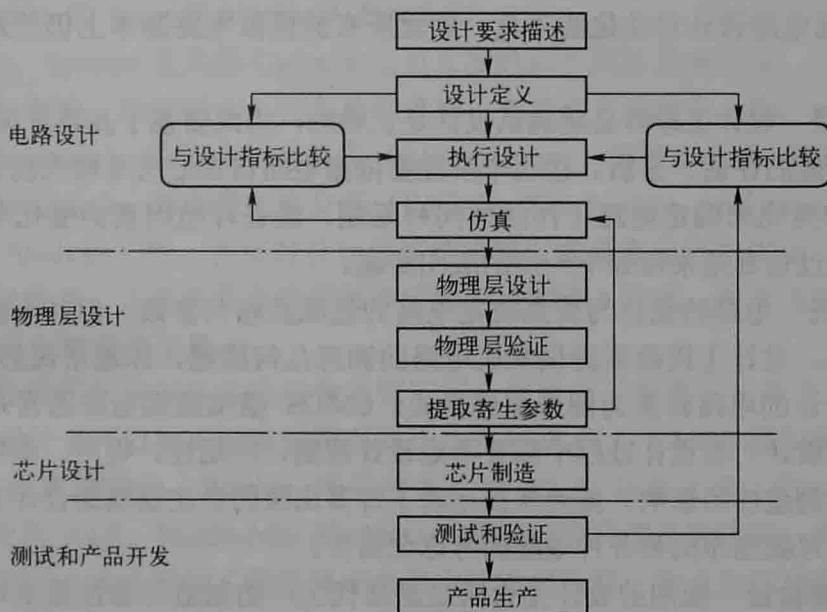


图 1.1 CMOS 模拟集成电路设计流程

- (1) 系统规格定义;
- (2) 电路设计;
- (3) 电路仿真模拟;
- (4) 版图实现;

- (5) 物理验证;
- (6) 参数提取后仿真;
- (7) 导出设计文件, 流片;
- (8) 芯片制造;
- (9) 测试和验证。

一个设计流程是从系统规格定义开始的, 设计者在这个阶段就要明确设计的具体要求和性能参数。下一步就是对电路应用模拟仿真的方法评估电路性能。这时可能要根据仿真结果对电路做进一步改进, 反复进行仿真。一旦电路性能的仿真结果满足设计要求, 就需要进行另一项主要设计工作——电路的版图设计。版图完成并经过物理验证后需要将布局、布线形成的寄生效应考虑进去, 再次进行计算机仿真。如果仿真结果也满足设计要求, 就可以进行制造了。

与用分立器件设计模拟电路不同, 集成化的模拟电路设计不能用搭建线路板的方式进行。随着现在发展起来的 EDA 技术, 以上的设计步骤都是通过计算机辅助进行的。通过计算机模拟, 可在线路中的任何节点监测信号; 可将反馈回路打开; 可比较容易地修改线路。但是计算机模拟也存在一些限制。例如, 模型的不完善, 程序求解由于不收敛而得不到结果等。下面将详细讲述设计流程中的各个阶段。

1) 系统规格定义 这个阶段系统工程师把整个系统和其子系统看成是一个个只有输入输出关系的“黑盒子”, 不仅要对其每一个进行功能定义, 而且还要提出时序、功耗、面积、信噪比等性能参数的范围要求。

2) 电路设计 设计者根据设计要求, 首先要选择合适的工艺库, 然后合理地构架系统。由于 CMOS 模拟集成电路的复杂性和多样性, 目前还没有 EDA 厂商能够提供完全解决 CMOS 模拟集成电路设计自动化的工具, 因此所有的模拟电路基本上仍然通过手工设计来完成。

3) 电路仿真 设计工程师必须确认设计是正确的, 为此要基于晶体管模型, 借助 EDA 工具进行电路性能的评估、分析。在这个阶段要依据电路仿真结果来修改晶体管参数, 依据工艺库中参数的变化来确定电路工作的区间和限制、验证环境因素的变化对电路性能的影响, 最后还要通过仿真结果指导下一步的版图实现。

4) 版图实现 电路的设计与仿真决定电路的组成及相关参数, 但并不能直接送往晶圆代工厂进行制作。设计工程师需提供集成电路的物理几何描述, 即通常说的“版图”。这个环节就是要把设计的电路转换为图形描述格式。CMOS 模拟集成电路通常是以全定制方法进行手工的版图设计。在设计过程中需要考虑设计规则、匹配性、噪声、串扰、寄生效应等对电路性能和可制造性的影响。虽然现在出现了许多高级的全定制辅助设计方法, 但仍然无法保证手工设计对版图布局和各种效应的考虑全面性。

5) 版图物理验证 版图的设计是否满足晶圆代工厂的制造可靠性需求? 从电路转换到版图是否引入了新的错误? 物理验证阶段将通过设计规则检查 (Design Rule Check, DRC) 和版图网表与电路原理图的比对 (Layout Versus Schematics, LVS) 解决上述两类验证问题。几何规则检查用于保证版图在工艺上的可实现性。它以给定的设计规则为标准, 对最小线宽、最小图形间距、孔尺寸、栅和源漏区的最小交叠面积等工艺限制进行检查。版图网表与电路原理图的比对用来保证版图的设计与其电路设计的匹配。LVS 工具从版图中提取包含电气连接属性和尺寸大小的电路网表, 然后与原理图得到的电路网表进行比较, 检查两者

是否一致。

6) 参数提取后仿真 在版图完成之前的电路模拟都是比较理想的仿真,不包含来自版图中的寄生参数,被称为“前仿真”;加入版图中的寄生信息进行的仿真被称为“后仿真”。CMOS 模拟集成电路相对数字集成电路来说对寄生参数更加敏感,前仿真的结果满足设计要求并不代表后仿真也能满足。在深亚微米阶段,寄生效应愈加明显,后仿真分析将显得尤为重要。与前仿真一样,当结果不满足要求时需要修改晶体管参数,甚至某些地方的结构。对于高性能的设计,这个过程是需要多次反复的,直至后仿真满足系统的设计要求。

7) 导出流片数据 通过后仿真后,设计的最后一步就是导出版图数据(GDSII)文件,将该文件提交给晶圆厂,就可以进行芯片的制造了。



1.3 CMOS 模拟集成电路 EDA 工具分类

从 1.2 节中可以知道,在 CMOS 模拟集成电路设计中,电路设计及仿真模拟、版图实现、版图物理验证及参数提取后仿真是工程师需要完成的最重要的三个步骤。本节就依据该设计流程介绍目前广泛应用的几类 EDA 设计工具。

1. 电路设计及仿真模拟工具

电路设计及仿真模拟的传统工具主要有 Cadence 公司的 Spectre、Synopsys 公司的 Hspice 和 Mentor 公司的 Eldo 三大类。此外,基于上述工具,为了满足大规模、快速仿真的需求,三大公司又分别开发了相应的快速电路仿真工具,分别是 Cadence 的 Spectre ultrasim、Synopsys 的 hsim 和 Mentor 的 Premier。

1) Spectre Spectre 是美国 Cadence 公司开发的用于模拟集成电路、混合信号电路设计和仿真的 EDA 软件,功能强大,仿真功能多样,包含有直流仿真(DC Analysis)、瞬态仿真(Transient Analysis)、交流小信号仿真(AC Analysis)、零极点分析(PZ Analysis)、噪声分析(Noise Analysis)、周期稳定性分析(Periodic Steady-state Analysis)和蒙特卡罗分析(Mento Carlo Analysis)等,并可对设计仿真结果进行成品率分析和优化,大大提高了复杂集成电路的设计效率。尤其是其具有图形界面的电路图输入方式,使其成为目前最为常用的 CMOS 模拟集成电路设计工具。

Cadence 公司还与全球各大半导体晶圆厂家合作建立了仿真工艺库文件 PDK(Process Design Kit),设计者可以很方便地使用不同尺寸的 PDK 进行 CMOS 模拟集成电路设计和仿真。除了上述仿真功能外,Spectre 还提供与其他 EDA 仿真工具,如 Synopsys 公司的 Hspice、安捷伦的 ADS、Mathworks 的 Matlab 等进行协同仿真的功能,再加上自带的丰富的元件应用模型库,大大增加了模拟集成电路设计的便捷性、快速性和精确性。

2) Hspice Hspice 是原 Meta-Software(现属于 Synopsys 公司)研发的模拟及混合信号集成电路设计工具。与 Cadence 公司的 Spectre 图形界面输入不同,Hspice 通过读取电路网表及电路控制语句的方式进行仿真,是目前公认仿真精度最高的模拟集成电路设计工具。

与 Spectre 类似,Hspice 也包含直流仿真、瞬态仿真、交流小信号仿真、零极点分析、噪声分析、傅里叶分析、最坏情况分析和蒙特卡罗分析等功能。早期的 Hspice 存在电路规模较大或比较复杂时,仿真矩阵不收敛的情况,在被 Synopsys 收购后,通过多个版本的升

级, 这个问题逐渐得到改善。到了 2007sp1 版本后, Hspice 已经有了质的飞跃, 仿真收敛问题也基本得到解决。

3) **Eldo** Eldo 是 Mentor 公司开发的模拟集成电路 EDA 设计工具, Eldo 可以使用与 Hspice 相同的命令行方式进行仿真, 也可以集成到电路图编辑工具环境中, 如 Mentor 的 DA_IC, 或者 Cadence 的 Spectre 中。Eldo 的输入文件格式可以是标准的 spice, 也可以是 Hspice 的格式。

Eldo 通过基尔霍夫电流约束进行全局检查, 对收敛严格控制, 保证了与 Hspice 相同的精度。且与早期的 Hspice 相比, 仿真速度较快。在仿真收敛性方面, Eldo 采用分割概念, 在不收敛时对电路自动进行分割再组合, 更改了仿真矩阵, 使得电路收敛性大大提升。

Eldo 可以方便地嵌入到目前其他的模拟集成电路设计环境中, 并可以扩展到混合仿真平台 ADMS, 进行数字、模拟混合仿真。Eldo 的输出文件可以被其他多种波形观察工具查看和计算, Eldo 自身提供的 Xelga 和 EZWave 更是功能齐全和强大的两个波形观察与处理工具。

由于大规模混合信号电路、SoC 的出现, 使得传统的模拟集成电路仿真工具出现瓶颈: 主要表现为速度慢、容量有限 (一般最大支持 50~100kb/s 的器件)。因此各大公司相继开发了新一代的快速仿真工具。通常这类仿真工具为了提高仿真速度主要采用的技术有: 模型线性化、模型表格化、多速率仿真、矩阵分割、事件驱动技术等。Cadence 的 Spectre ultrasim、Synopsys 的 hsim 及 Mentor 的 Premier 就是其中的佼佼者。限于篇幅, 本书不再展开介绍。

2. 版图实现工具

版图实现工具方面目前是 Cadence 公司的 Virtuoso Layout Editor 一家独大的局面, 唯有 Synopsys 公司旗下的 Laker 工具具有一定的竞争力。

1) **Virtuoso Layout Editor** 作为 Cadence 公司在物理版图工具方面的重要产品, Virtuoso Layout Editor 是目前应用最为广泛的版图实现工具。它与各大晶圆厂商合作, 可以识别不同的工艺层信息, 支持定制专用集成电路、单元与模块级数字、混合信号与模拟设计。并采用 Cadence 公司的空间型布线技术, 与其他软件组件配合, 快速而精确地完成版图设计工作。

Virtuoso Layout Editor 主要具有以下几方面特点:

- ☉ 在器件、单元及模块级加快定制的模拟集成电路设计版图布局;
- ☉ 支持约束与电路原理图驱动的物理版图实现;
- ☉ 在设计者提交原理图或者需要对标准单元进行评估、改动等活动时, 快速标准单元功能可以将布局性能提高 10 倍;
- ☉ 提供高级节点工艺与设计规则的约束驱动执行。

2) **Laker** Laker 是原台湾 SprintSoft 公司开发的新一代版图编辑工具, 在 2012 年被 Synopsys 公司收购, 如今成为 Synopsys 旗下的 EDA 版图工具。相比传统的 Virtuoso 版图工具, Laker 最大的亮点在于创造性地引入电路图驱动版图技术 (Schematic Driven Layout), 即实现了与印制电路板 EDA 工具类似的电路图转换版图功能。设计者可以通过电路图直接导入, 形成版图, 并得到器件之间互连的预拉线, 大幅度减少了人为进行版图连线造成的错误, 提高了版图编辑效率。此外, Laker 还具有以下特点:

- ☉ 电路图窗口和版图窗口同时显示, 方便设计者实时查看器件和连接关系;
- ☉ 自动版图布局模式, 将电路图上的器件快速布置到较为合适的位置;

◎ 实时的电气规则检查, 高亮正在操作的版图元件, 避免了常见的短路和断路错误。

3. 版图物理验证及参数提取后仿真工具

版图物理验证主要包含三部分的工作, 即 DRC (Design Rule Check)、LVS (Layout Versus Schematics) 和 PEX (Parasitic Extraction)。DRC 主要进行版图设计规则检查, 也可以进行部分 DFM (Design For Manufacture) 的检查 (如金属密度、天线效应), 确保工艺加工的需求; LVS 主要进行版图和原理图的比较, 确保后端设计同前端设计的一致性; PEX 则主要进行寄生参数的提取, 由于在前端设计时并没有或者未充分地考虑金属连线及器件的寄生信息, 而这些在设计中 (特别是对于深亚微米设计) 会严重影响设计的时序、功能, 现在要把这些因素考虑进来, 用仿真工具进行后仿真, 确保设计的成功。

与电路设计及仿真模拟工具类似, 版图物理验证及参数提取后仿真工具也出现了 Cadence、Synopsys 和 Mentor 三家公司分庭抗礼的局面。Assura、Hercules 和 Calibre 分别是 Cadence、Synopsys 和 Mentor 旗下用于版图物理验证和参数反提的模拟集成电路 EDA 工具。在早期工艺中, Cadence 公司还有另一款命令行版图物理验证工具 Dradula, 目前已基本淘汰; 而且相比 Assura 和 Calibre, Hercules 在 CMOS 模拟集成电路版图验证中的应用不是十分广泛, 在此也不做介绍。

1) **Assura** Assura 可以看作是 Spectre 中自带版图物理验证工具 Diva 的升级版, 通过设定一组规则文件, 支持较大规模电路的版图物理验证、交互式 and 批处理模式。但在进行验证前, 设计者需要手动导出电路图和版图的网表文件。新版本的 Assura 环境可以在同一界面中打开电路图和版图界面, 极大地方便了设计者定位、修改版图中的 DRC 和 LVS 错误。参数反提支持 Spectre、Hspice 和 Eldo 环境中的网表格式, 由设计者自行选择仿真工具进行仿真。

2) **Calibre** Calibre 是目前应用最为广泛的深亚微米及纳米设计和半导体生产制造中版图物理验证的 EDA 工具, 可以很方便地嵌入到版图实现工具 Virtuoso 和 Laker 中。Calibre 采用图形化的可视界面, 并提供了快速准确的设计规则检查 (DRC)、电气规则检查 (ERC) 及版图与原理图对照 (LVS) 功能。

Calibre 中的层次化架构有效简化了复杂 ASIC/SoC 设计物理验证的难度。设计者不需要针对芯片设计的类型进行特殊设置。同时也可以根据直观、方便的物理验证结果浏览环境, 迅速而准确地定位错误, 并且与版图设计工具之间紧密集成, 实现交互式修改、验证和查错。Calibre 的并行处理能力支持多核 CPU 运算, 能够显著缩短复杂设计验证的时间。



1.4 CMOS 晶体管 EDA 仿真模型

在利用 CMOS 模拟集成电路 EDA 工具进行设计时, 需要调用精确的 CMOS 晶体管计算机模型才能完成设计任务。作为计算机仿真模型发展和模拟应用领域的领导者, 加州大学伯克利分校于 1984 年开发出了 BSIM1 模型, 基本满足了亚微米 MOS 管模型的需要。BSIM1 模型以多参数曲线拟合实验的方式研究建模问题。模型用 60 个参数描述 MOS 管的直流性能。1991 年, 经过改进的 BSIM2 模型, 主要考虑了输出电阻与热电子效应、源漏寄生电阻和反型层电容的关系, 该模型有 99 个直流参数。1994 年, BSIM3 模型推出, 这个模型使用简单, 只有 40 个直流参数, 但却可以对模拟电路实现很好的仿真性能。目前, 第三

版 BSIM3V3 已经成为工业界标准的 MOS 管计算机仿真模型。下面对 BSIM 和 BSIM3V3 模型进行简要介绍。

1. BSIM 模型

该模型的建立是以小几何构型 MOS 晶体管物理特性为基础，它同时兼顾了弱反型和强反型两种状态。BSIM 有 60 多个参数，其主要特性如下：

- ☺ 载流子迁移率与垂直电场的关联；
- ☺ 源极和漏极的电荷共享；
- ☺ 沟道变窄；
- ☺ 亚阈值导电；
- ☺ 离子注入器件的非均匀掺杂；
- ☺ 几何构型关联。

BSIM 模型以数量较少的一些参数为基础，其数值均从具体的加工特征中获取。

2. BSIM3V3 模型（Level 49 模型）

BSIM3V3 模型（在 Spice 工具中为 Level 49 模型）的一个显著提高是建立了统一的 I/V 模型，该模型可以描述从亚阈值直到强反型区的各个工作区域内，以及线性到饱和的各个状态下的电流和输出电导特性，这一增强确保了电流电导率及它们的导数在所有过渡区域内均能保持连续。并且 BSIM3V3 更加关注深亚微米 MOS 管在工作状态中才可能出现的重要影响，主要包括以下 9 个方面：

- ☺ 阈值电压下降；
- ☺ 非均匀掺杂效应；
- ☺ 垂直电场引起的迁移率退化；
- ☺ 载流子极限漂移速度引起的沟道电流饱和影响；
- ☺ 漏极感应势垒降低；
- ☺ 沟道长度调制；
- ☺ 亚阈值导通；
- ☺ 漏区和源区的寄生电阻效应；
- ☺ 输出电阻的热电子效应。



1.5 小结

本章首先介绍了 CMOS 模拟集成电路 EDA 技术的基本概况，包括发展历史、特点、现状及未来趋势，使读者对该领域有一个概括性的了解。然后分步骤介绍了 CMOS 模拟集成电路的基本设计流程，并依据该流程中最重要的三个部分——电路设计及仿真模拟、版图实现、版图物理验证及参数提取后仿真，分类讨论了目前主流的 EDA 设计工具。

最后分析了 CMOS 模拟集成电路 EDA 工具中所需要的计算机仿真模型——BSIM 系列模型，因为该模型是进行 CMOS 模拟集成电路设计的重要基础，这一点读者在之后的仿真介绍中可有所体会。

第2章 电路设计及仿真工具

Cadence Spectre

Spectre 是美国 Cadence 公司开发的模拟、混合信号及射频集成电路设计自动化仿真软件，功能强大，仿真功能多样，包含直流仿真（DC Analysis）、瞬态仿真（Transient Analysis）、交流小信号仿真（AC Analysis）、零极点分析（PZ Analysis）、噪声分析（Noise Analysis）、周期稳定性分析（Periodic Steady-state Analysis）和蒙特卡罗分析（Mento Carlo Analysis）等多种仿真功能。

Cadence 公司还与全球各大半导体晶圆厂家合作，建立了适用于 Spectre 的仿真工艺库文件 PDK（Process Design Kit），设计者可以很方便地使用不同工艺尺寸的 PDK 进行 CMOS 模拟集成电路设计和仿真。除了上述仿真功能外，Spectre 还可以与其他 EDA 仿真工具，如 Synopsys 公司的 Hspice、安捷伦的 ADS、Mathworks 的 Matlab 等进行协同仿真，再加上自带的丰富的元件应用模型库，大大增加了集成电路设计的便捷性、快速性和精确性。



2.1 Spectre 的特点

1. 简洁易用的仿真环境和界面

Spectre 提供的仿真功能可以让所有电路设计者快速完成模拟设定、环境建立与模拟结果分析，环境中包含了 Virtuoso Spectre Circuit Simulator、Virtuoso Ultrasim Full-chip Simulator 及其他业界标准的仿真器，如图 2.1 所示。设计者在设计流程中可以快速且容易地通过视觉化的图形界面了解模拟集成电路中特定参数对电路产生的影响，内建 OCEAN 程序语言更加速了 bash 运算，而通过 OASIS（Open Artwork System Interchange Standard）整合套件，Spectre 可轻松地与 Cadence 或业界使用的其他仿真器整合使用，加速电路设计。



图 2.1 Spectre 中包含的各种仿真器