

计算机 组成原理实验

JISUANJI ZUCHENG YUANLI SHIYAN

主编/田 祎 樊景博 刘爱军



天津大学出版社
TIANJIN UNIVERSITY PRESS

计算机组成原理实验

主 编 田 祎 樊景博 刘爱军



 天津大学出版社
TIANJIN UNIVERSITY PRESS

内容提要

“计算机组成原理实验”课程是计算机相关专业本科生的重要基础课程,具有较强的理论性和实践性。本书作为理论教材的延伸,从教学需求角度出发,在充分考虑相关课程理论体系结构的基础上,依托实验平台相关实验。

本书主要分为四部分内容,第一部分为实验预备知识,主要介绍了各种基本逻辑、组合逻辑、计数器和定时器,为后续实验的顺利进行奠定基础;第二部分为基本原理类实验,主要介绍了实验平台的使用,并设计了6个实验项目,使学生通过实验进一步掌握计算机各个组成部件的工作原理;第三部分为综合设计类实验,包括6个实验项目,学生可以系统地掌握计算机中各部件是如何协调工作的;第四部分为基于EDA平台的综合设计类实验,主要介绍了相关实验基础知识,并设计了15个实验项目,以更好地培养学生的动手能力、工程意识和创新能力。本书的每个实验相互独立,使用者可根据课时进行选择,本书也可作为课程设计参考书。

图书在版编目(CIP)数据

计算机组成原理实验/田祎,樊景博,刘爱军主编. —天津:天津大学出版社,2014.8

ISBN 978-7-5618-5154-8

I. ①计… II. ①田… ②樊… ③刘… III. ①计算机—组成原理—实验—教材 IV. ①TP301-33

中国版本图书馆CIP数据核字(2014)第183161号

出版发行	天津大学出版社
出 版 人	杨欢
地 址	天津市卫津路92号天津大学内(邮编:300072)
电 话	发行部:022-27403647
网 址	publish.tju.edu.cn
印 刷	北京京华虎彩印刷有限公司
经 销	全国各地新华书店
开 本	185mm×260mm
印 张	16
字 数	399 千
版 次	2014年9月第1版
印 次	2014年9月第1次
定 价	32.00 元

凡购本书,如有缺页、倒页、脱页等质量问题,烦请向我社发行部门联系调换

版权所有 侵权必究

前 言

“计算机组成原理实验”是计算机科学与技术、网络工程等计算机相关专业的一门主干课程。它主要讲述了计算机系统各大部件的组成和工作原理,各大部件集成整机的工作机制,并建立计算机工作的整体概念,具有理论性强、知识涵盖面广、更新快、与其他计算机课程联系紧密等特点,因此也是计算机相关专业的基础课程和核心课程之一。其实验环节在教学中占有很重要的地位。通过实验教学,可以使學生进一步融会贯通理论教材内容,更好地掌握计算机各功能模块的组成及工作原理,掌握各模块之间的相互联系,完整地從时间上和空间上建立计算机的整机概念,掌握计算机硬件系统的分析、设计、组装和调试的基本技能。

本門课程的实验往往要与具体的实验环境相结合,实验环境不同,开设的课程及实验的内容也不同。本书从教学需求角度出发,采用西安唐都科教仪器开发有限责任公司生产的 TD-CMA 计算机组成原理与系统结构教学实验系统,针对计算机专业本科教学需求,设计了计算机各组成部件的原理类实验、整机测试的综合实验和基于 EDA 平台的设计类实验。原理类实验和整机测试综合实验的目的是使學生通过实验进一步掌握计算机各个组成部件的工作原理,并真正系统地掌握计算机中各部件是如何协调工作的。除此之外,本书根据应用型院校特点,设计了基于 EDA 平台的设计类实验,學生在掌握 VHDL 或 Verilog HDL 后,进一步学习本书介绍的 Altera 公司系列设计软件 Quartus II 和 TD-CMA 综合实验平台,能更好地培养学生的动手能力、工程意识和创新能力。

本书由田祎、樊景博、刘爱军团主编,田祎统稿。其中第一部分、第四部分、附录由田祎老师编写,第二部分由刘爱军副教授编写,第三部分由樊景博教授编写。刘爱军副教授对全书进行了统编,樊景博教授对全书进行了审查。在编写过程中,充分吸纳、借鉴了西安唐都科教仪器开发有限责任公司和 Altera 公司的经验和资料,同时参考了大量书籍和技术文献。在此,向这些资料的作者表示衷心的感谢。

由于作者水平有限,加之计算机技术飞速发展,新的理念和技术层出不穷,本书难免有不足之处,恳请广大读者批评、指正。

编者

2014 年 5 月

目 录

第一部分 实验预备知识	1
1.1 数字电路基础	1
1.2 集成 555 定时器	35
第二部分 基本原理类实验	37
2.1 实验系统介绍	37
2.2 软件操作说明	40
实验一 系统总线和具有基本输入输出功能的总线接口实验	47
实验二 基本运算器实验	52
实验三 静态随机存储器实验	57
实验四 微程序控制器实验	62
实验五 具有中断控制功能的总线接口实验	71
实验六 具有 DMA 控制功能的总线接口实验	73
第三部分 综合设计类实验	76
实验一 CPU 与简单模型机设计实验	76
实验二 硬布线控制器模型机设计实验	83
实验三 复杂模型机设计实验	88
实验四 带中断处理能力的模型机设计实验	103
实验五 带 DMA 控制功能的模型机设计实验	118
实验六 典型 I/O 接口 8253 扩展设计实验	125
第四部分 基于 EDA 平台的综合设计类实验	129
4.0 可编程器件介绍	129
4.1 VHDL 语言基础知识	130
4.2 Quartus II9.0 基本使用方法	145
实验一 基本门电路设计	154
实验二 基本组合逻辑电路的 VHDL 模型	157
实验三 基本时序逻辑电路的 VHDL 模型	163
实验四 有限状态机的设计	173
实验五 1 对 4 解多任务器设计	177
实验六 全加器	180
实验七 四位加减法器	182
实验八 状态机	185
实验九 十进制计数器	188
实验十 具有控制线的串行输入移位寄存器	191
实验十一 综合电路设计	193
实验十二 基于 RISC 技术的模型计算机设计实验	195

实验十三 基于重叠技术的模型计算机设计实验.....	201
实验十四 基于流水技术的模型计算机设计实验.....	213
实验十五 基于流水技术的模型计算机设计实验.....	215
附录.....	222
附录一 系统实验单元电路.....	222
附录二 系统使用集成电路元件及功能介绍.....	235
附录三 74LS 系列芯片简介	239
参考文献.....	248

第一部分 实验预备知识

1.1 数字电路基础

1.1.1 基本逻辑

1.1.1.1 与逻辑

决定某事件结果的所有条件都具备,事件才发生;而只要其中一个条件不具备,结果就不能发生,这种逻辑关系称为与逻辑关系。

(1)电路示意图如图 1-1 所示。

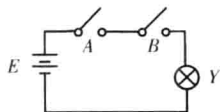


图 1-1 与逻辑电路示意图

开关:“1”表示闭合,“0”表示断开。

灯:“1”表示灯亮,“0”表示灯灭。

(2)真值表如表 1-1 所示。

把输入所有可能的组合与输出取值对应,列成真值表。

表 1-1 与逻辑真值表

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

由表 1-1 可以得出,与逻辑功能为“有 0 出 0,全 1 出 1”。

(3)逻辑表达式: $Y = A \cdot B$ (逻辑乘)。

(4) 逻辑符号如图 1-2 所示。

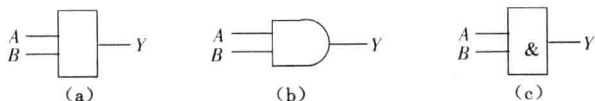


图 1-2 逻辑符号

(a) 常用符号 (b) 国外流行符号 (c) 国标

1.1.1.2 或逻辑

在多个条件中,只要具备一个条件,事件就会发生;只有所有条件均不具备时,事件才不发生,这种逻辑关系称为或逻辑关系。

(1) 电路示意图如图 1-3 所示。

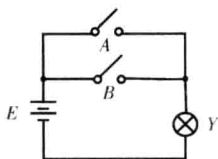


图 1-3 或逻辑电路示意图

(2) 真值表如表 1-2 所示。

经分析可以列出或逻辑真值表。

表 1-2 或逻辑真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

由表 1-2 可以得出,或逻辑功能为“有 1 出 1,全 0 出 0”。

(3) 逻辑表达式: $Y = A + B$ (逻辑加)。

(4) 逻辑符号如图 1-4 所示。

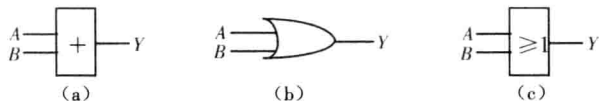


图 1-4 或逻辑符号

(a) 常用符号 (b) 国外流行符号 (c) 国标

1.1.1.3 非逻辑

(1) 电路示意图如图 1-5 所示。

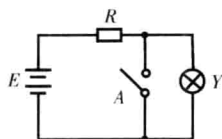


图 1-5 非逻辑电路示意图

(2) 真值表如表 1-3 所示。

经分析可以列出非逻辑真值表。

表 1-3 非逻辑真值表

A	Y
0	1
1	0

由表 1-3 可以得出,非逻辑功能为“是 0 出 1,是 1 出 0”。

(3) 逻辑表达式: $Y = \bar{A}$ 。

(4) 逻辑符号如图 1-6 所示。

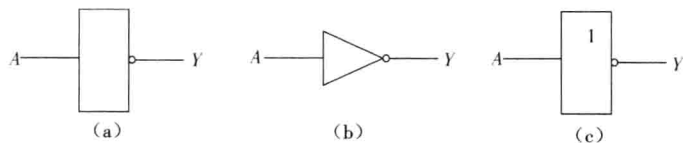


图 1-6 非逻辑符号

(a) 常用符号 (b) 国外流行符号 (c) 国标

1.1.2 组合逻辑门电路

1.1.2.1 与非门电路

(1) 逻辑符号如图 1-7 所示。

(2) 真值表如表 1-4 所示,电路示意图如图 1-8 所示。

(3) 逻辑函数表达式: $Y = \overline{A \cdot B}$ 。

1.1.2.2 或非门电路

(1) 逻辑符号如图 1-9 所示。

(2) 真值表如表 1-5 所示,电路示意图如图 1-10 所示。

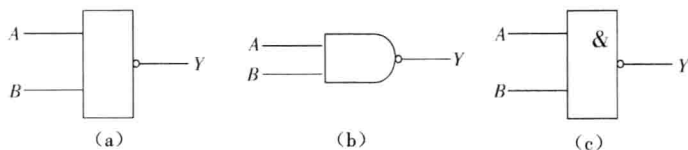


图 1-7 与非逻辑符号

(a) 常用符号 (b) 国外流行符号 (c) 国标

表 1-4 与非门真值表

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

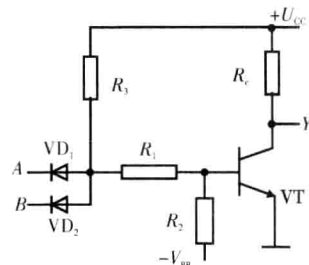


图 1-8 电路示意图

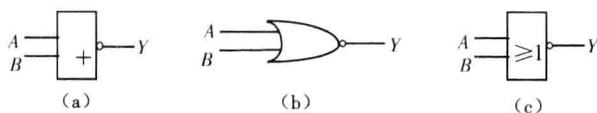


图 1-9 或非逻辑符号

(a) 常用符号 (b) 国外流行符号 (c) 国标

表 1-5 或非门真值表

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

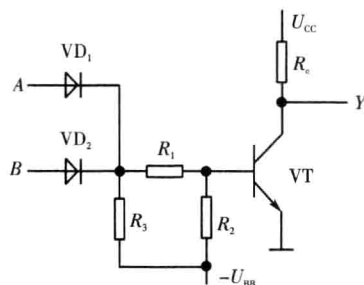


图 1-10 电路示意图

(3) 逻辑函数表达式: $Y = \overline{A + B}$ 。

1.1.2.3 异或门与同或门

1. 异或门的逻辑电路

(1) 逻辑符号如图 1-11 所示。

(2) 异或门真值表如表 1-6 所示, 逻辑电路示意图如图 1-12 所示。

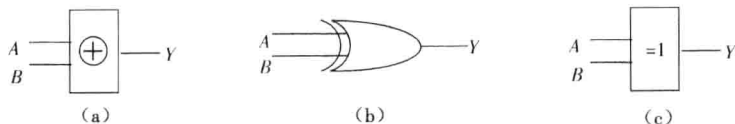


图 1-11 异或逻辑符号

(a) 常用符号 (b) 国外流行符号 (c) 国标

表 1-6 异或门真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

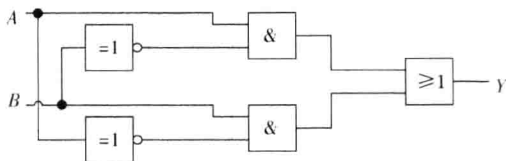


图 1-12 逻辑电路示意图

(3) 逻辑函数表达式: $Y = \bar{A}B + A\bar{B} = A \oplus B$ 。

2. 同或门的逻辑电路

(1) 逻辑符号如图 1-13 所示。

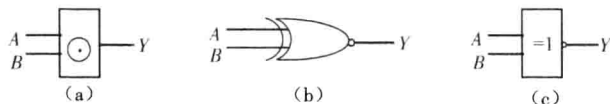


图 1-13 同或逻辑符号

(a) 常用符号 (b) 国外流行符号 (c) 国标

(2) 同或门真值表如表 1-7 所示, 逻辑电路示意图如图 1-14 所示。

表 1-7 同或门真值表

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

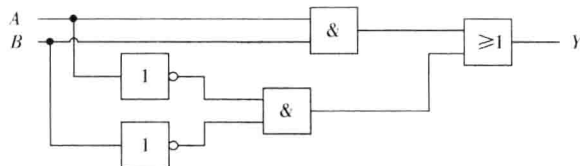


图 1-14 逻辑电路示意图

(3) 逻辑函数表达式: $Y = \bar{A}\bar{B} + AB = A \odot B$ 。

1.1.2.4 三态输出门(TSL 门)

1. 三态输出门

三态输出门电路及符号如图 1-15 所示。图中, $\overline{EN}$ 为控制端, 又称使能端。 $\overline{EN} = 0$ 时, 三态门开门, 执行与非门功能; $\overline{EN} = 1$ 时, 三态门关闭, 呈高阻状态。还有一种 $\overline{EN} = 1$ 有效的三态门, 当 $\overline{EN} = 1$ 时三态门开门, 执行与非门功能; 若 $\overline{EN} = 0$, 三态门关闭, 呈高阻状态, 其真值表如表 1-8 所示。



(a) 电路 (b) 符号

表 1-8 $EN = 0$ 有效的三态输出与非门真值表

EN	A	B	Y
1	$\times$	$\times$	高阻状态
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0

(1) 用三态输出门构成单向总线,如图 1-16(a)所示。

(2) 用三态输出门构成双向总线,如图 1-16(b)所示。

(2) 用三态输出门构成双向总线,如图 1-16(b)所示。



(a) 单向总线 (b) 双向总线

1.1.2.5 译码器

译码:将表示特定意义信息的二进制代码翻译成对应的输出信号,以表示其原来含意。

译码器:实现译码功能的电路。

二进制译码原则:用 n 位二进制代码可以表示 2^n 个信号,则对 n 位二进制代码译码时,应由 $2^n \geq N$ 来确定译码信号位数 N 。

二进制译码器:将输入二进制代码译成相应输出信号的电路。它有 2 个输入端、4 个输出端,因此又称 2 线—4 线译码器。

(1) 逻辑电路示意图如图 1-17 所示。

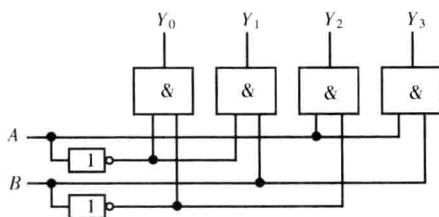


图 1-17 逻辑电路示意图

输入端: A 、 B 为二进制代码。

输出端: Y_3 、 Y_2 、 Y_1 、 Y_0 , 高电平有效。

(2) 真值表如表 1-9 所示。

表 1-9 真值表

A	B	Y_0	Y_1	Y_2	Y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

(3) 输出逻辑函数式:

$$Y_0 = \overline{A}\overline{B} \quad Y_1 = \overline{A}B$$

$$Y_2 = A\overline{B} \quad Y_3 = AB$$

(4) 典型集成电路产品及应用: 2 线—4 线译码器的典型产品有 74LS139、74LS155、74LS156。74LS139 是 2 线—4 线译码器, 其外引线功能如图 1-18 所示。

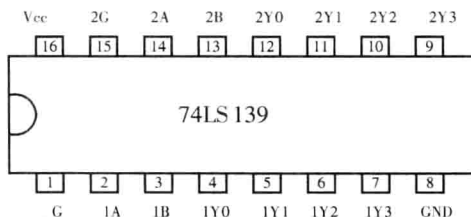


图 1-18 74LS139 外引线功能示意图

2 线—4 线译码器可以用于工业自动化控制。将两个信号 A 、 B 作为输入, 输入 2 线—4 线译码器时, 其输入代码 00、01、10、11 将被译码成为表 1-9 中的四种状态输出, 在四种状态下,

Y_0 、 Y_1 、 Y_2 、 Y_3 各只有一个输出为高电平,其余为低电平。高、低电平状态分辨出了机械的控制要求,从而实现了机械工作过程的控制。

1.1.2.6 数据选择器

在多路数据传输过程中,经常需要将其中一路信号挑选出来进行传输,这就需要用到数据选择器。

在数据选择器中,通常用地址输入信号来完成挑选数据的任务。如一个 4 选 1 的数据选择器,应有两个地址输入端,它共有 $2^2 = 4$ 种不同的组合,每一种组合可选择对应的一路输入数据输出。同理,对一个 8 选 1 的数据选择器,应有 3 个地址输入端,其余类推。

而多路数据分配器的功能正好和数据选择器相反,它根据地址码的不同,将一路数据分配到相应的一个输出端上输出。

根据地址码的要求,从多路输入信号中选择其中一路输出的电路,称为数据选择器。其功能相当于一个受控波段开关。多路输入信号 N 个,输出 1 个,地址码 n 位。应满足 $2^n \geq N$ 。

1.4 选 1 数据选择器

(1) 逻辑电路: D_3 、 D_2 、 D_1 、 D_0 为数据输入端, A_1 、 A_0 为地址信号输入端, Y 为数据输出端, $\overline{ST}$ 为使能端(又称选通端),输入低电平有效。

(2) 真值表:4 选 1 数据选择器的真值表如表 1-10 所示。

表 1-10 4 选 1 数据选择器的真值表

输入							输出	
使能端	A_1	A_0	D_3	D_2	D_1	D_0	Y	
1	×	×	×	×	×	×	0	
0	0	0	×	×	×	0	0	1 D_0
0	0	0	×	×	×	1	1	
0	0	1	×	×	0	×	0	1 D_1
0	0	1	×	×	1	×	1	
0	1	0	×	0	×	×	0	1 D_2
0	1	0	×	1	×	×	1	
0	1	1	0	×	×	×	0	1 D_3
0	1	1	1	×	×	×	1	

2.8 选 1 数据选择器

以 MSI 器件 TTL 8 选 1 数据选择器 CT74LS151 为例。

(1) 逻辑电路: D_7 、 D_6 、 D_5 、 D_4 、 D_3 、 D_2 、 D_1 、 D_0 为数据输入端, A_2 、 A_1 、 A_0 为地址信号输入端, Y 和 $\overline{Y}$ 为互补输出端, $\overline{ST}$ 为使能端(又称选通端),输入低电平有效。

(2) 真值表数据选择器 CT74LS151 的真值表如表 1-11 所示。

表 1-11 数据选择器 CT74LS151 的真值表

输入				输出	
使能端	A_2	A_1	A_0	Y	$\bar{Y}$
1	$\times$	$\times$	$\times$	0	1
0	0	0	0	D_0	D_0
0	0	0	1	D_1	D_1
0	0	1	0	D_2	D_2
0	0	1	1	D_3	D_3
0	1	0	0	D_4	D_4
0	1	0	1	D_5	D_5
0	1	1	0	D_6	D_6
0	1	1	1	D_7	D_7

3. 数据分配器

数据分配是数据选择的逆过程。

根据地址信号的要求,将一路数据分配到指定输出通道上去的电路,称为数据分配器。其示意图如图 1-19 所示。

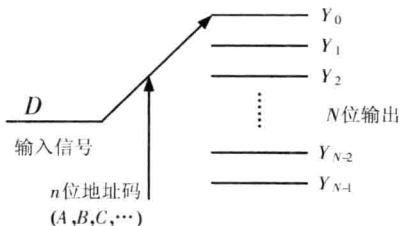


图 1-19 数据分配器示意图

如将译码器的使能端作为数据输入端,二进制代码输入端作为地址信号输入端使用时,则译码器便成为一个数据分配器。

3 线—8 线译码器 CT74LS138 构成的 8 路数据分配器,示意图如图 1-20 所示。

1.1.2.7 数值比较器

用于比较两个数大小或相等与否的电路,称为数值比较器。

1.1 位数值比较器

1 位数值比较器是一位二进制数 A 和 B 进行比较的电路。比较结果有三种情况:

$$A > B; \quad A = B; \quad A < B$$

2. 多位数值比较器

多位二进制数比较大小的方法:如两个 4 位二进制数 $A = A_3A_2A_1A_0$ 和 $B = B_3B_2B_1B_0$ 进行比较时,则需从高位到低位逐位进行比较。只有在高位相等时,才能进行低位的比较。当比较到

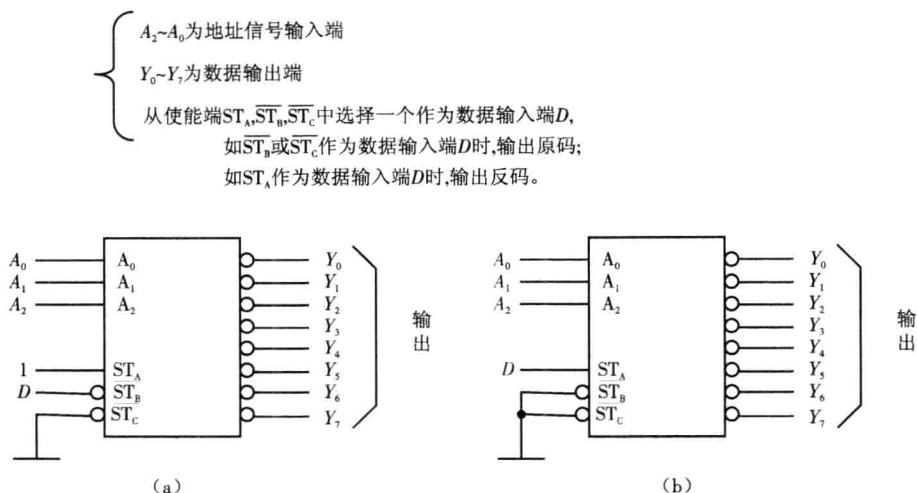


图 1-20 8 路数据分配器示意图
(a) 输出原码的接法 (b) 输出反码的接法

某一位数值不等时, 其结果便为两个 4 位数的比较结果。

1) 引脚图

MSI 器件: CMOS 4 位数值比较器 CC14585 引脚图如图 1-21 所示。

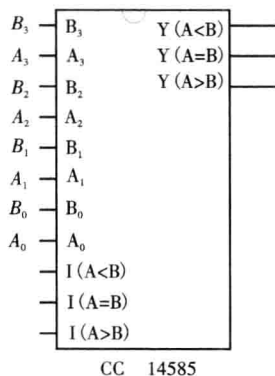


图 1-21 引脚图

A_3, A_2, A_1, A_0 和 B_3, B_2, B_1, B_0 : 两个 4 位二进制数输入端。 $I_{(A>B)}, I_{(A<B)}, I_{(A=B)}$: 扩展端, 供超过 4 位数比较时片间级连。 $Y_{(A>B)}, Y_{(A<B)}, Y_{(A=B)}$: 比较结果输出端, 高电平有效。

2) 逻辑函数式

$$\begin{cases}
 Y_{(A<B)} = A_3 \odot B_3 + (A_3 \odot B_3)A_2B_2 + (A_3 \odot B_3)(A_2 \odot B_2)A_1B_1 + (A_3 \odot B_3)(A_2 \odot B_2) \\
 \quad A_0B_0 + (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)(A_0 \odot B_0)I_{(A<B)} \\
 Y_{(A=B)} = (A_3 \odot B_3)(A_2 \odot B_2)(A_1 \odot B_1)(A_0 \odot B_0)I_{(A=B)} \\
 Y_{(A>B)} = \overline{Y_{(A<B)} + Y_{(A=B)}}
 \end{cases}$$

3) 使用方法

(1) 只比较两个 4 位二进制数时,用一片 CC14585 即可,将扩展端 $I_{(A < B)}$ 接低电平, $I_{(A > B)}$ 和 $I_{(A = B)}$ 接高电平。

(2) 当比较两个 4 位以上、8 位以下的二进制数时,需两片 CC14585,要用扩展端。应先比较两个高 4 位的二进制数,在高 4 位数相等时,才能比较低 4 位数。只有在两个 4 位二进制数相等时,输出才由 $I_{(A < B)}$ 、 $I_{(A > B)}$ 、 $I_{(A = B)}$ 决定。图 1-22 所示为用两片 CC14585 组成的 8 位数值比较器。

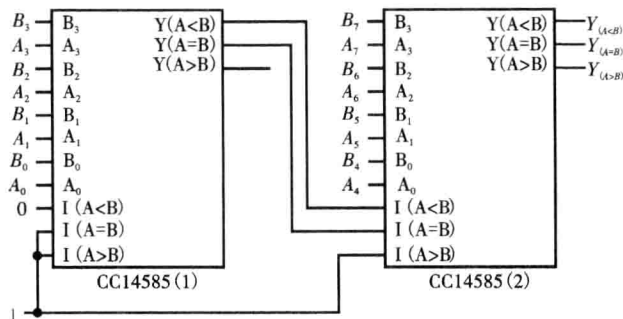


图 1-22 8 位数值比较器

将低位片的 $I_{(A < B)}$ 接低电平 0, $I_{(A > B)}$ 和 $I_{(A = B)}$ 接高电平 1; 将低位片的输出比较结果 $Y_{(A < B)}$ 和 $Y_{(A = B)}$ 与高位片的扩展端 $I_{(A < B)}$ 和 $I_{(A = B)}$ 相连。

1.1.2.8 加法器

1. 半加器

1) 定义

只考虑两个一位二进制数的相加,不考虑来自低位进位数的运算电路,称为半加器。

如在第 i 位的两个加数 A_i 和 B_i 相加,它除产生本位和数 S_i 之外,还有一个向高位的进位数。

输入信号:加数 A_i ,被加数 B_i 。

输出信号:本位和 S_i ,向高位的进位 C_i 。

2) 真值表

根据二进制加法原则(逢二进一),得真值表如表 1-12 所示。

表 1-12 真值表

A_i	B_i	S_i	C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1