

构建数字通信技术理论知识与工程实践之间的桥梁

数字通信同步技术的 MATLAB与FPGA实现


Altera/Verilog版

· 杜勇 编著 ·

着眼工程设计，精解设计实例
分解实现步骤，注重实现细节
完整仿真测试，详细性能分析
提供完整代码，迅速提升实力



· 程序源代码 ·
· FPGA工程文件 ·

 中国工信出版集团

 电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

数字通信同步技术的 MATLAB 与 FPGA 实现

——Altera/Verilog 版

杜 勇 编著

電子工業出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 简 介

本书以 Altera 公司的 FPGA 器件为开发平台, 采用 MATLAB 及 Verilog HDL 语言为开发工具, 详细阐述数字通信同步技术的 FPGA 实现原理、结构、方法和仿真测试过程, 并通过大量工程实例分析 FPGA 实现过程中的具体技术细节。主要包括 FPGA 实现数字信号处理基础、锁相环技术原理、载波同步、自动频率控制、位同步、帧同步技术的设计与实现等内容。本书思路清晰、语言流畅、分析透彻, 在简明阐述设计原理的基础上, 主要追求对工程实践的指导性, 力求使读者在较短的时间内掌握数字通信同步技术的 FPGA 设计知识和技能。本书的配套光盘收录了完整的 MATLAB 及 Verilog HDL 实例工程代码, 有利于工程技术人员进行参考学习。

本书适合从事数字通信和数字信号处理领域的设计工程师、科研人员, 以及相关专业的研究生、高年级本科生使用。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目(CIP)数据

数字通信同步技术的 MATLAB 与 FPGA 实现: Altera/Verilog 版 / 杜勇编著. —北京: 电子工业出版社, 2015.3

ISBN 978-7-121-25584-7

I. ①数… II. ①杜… III. ①Matlab 软件—应用—数字通信系统 ②可编程序逻辑器件—应用—数字通信系统 IV. ①TN914.3

中国版本图书馆 CIP 数据核字 (2015) 第 036558 号

责任编辑: 田宏峰

印 刷: 北京天来印务有限公司

装 订: 北京天来印务有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 19.5 字数: 490 千字

版 次: 2015 年 3 月第 1 版

印 次: 2015 年 3 月第 1 次印刷

印 数: 3000 册 定价: 68.00 元 (含光盘 1 张)

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

为什么要写这本书

为什么要写这本书？或者说，为什么要写数字通信的 MATLAB 与 FPGA 实现技术相关内容的书？记得 2013 年在电子工业出版社首次出版《数字滤波器的 MATLAB 与 FPGA 实现》这本书时，我在前言中提到写作的原因主要有三条：其一是 FPGA 技术在电子通信领域得到了越来越广泛的应用，并已逐渐成为电子产品实现的首选方案；其二是国内市场上专门讨论如何采用 FPGA 实现数字通信技术的书籍相对欠缺；其三是数字通信技术本身十分复杂，关键技术较多，在一本书中全面介绍数字通信技术的 FPGA 实现难免有所遗漏，且内容难以翔实。因此，根据作者从业经验，将数字通信技术的关键技术大致分为滤波器技术、同步技术和解调技术三种，并尝试着先写滤波器技术，再逐渐完成其他两种关键技术的写作。在广大读者的支持和鼓励下，先后又出版了《数字通信同步技术的 MATLAB 与 FPGA 实现》和《数字调制解调技术的 MATLAB 与 FPGA 实现》两本书，并且前不久刚出版了《数字滤波器的 MATLAB 与 FPGA 实现（第 2 版）》。这样，关于数字通信的 MATLAB 与 FPGA 实现的系列著作总算完成，三年前的构想总算得以成为现实！

数字通信的 MATLAB 与 FPGA 实现的系列著作出版后，陆续通过邮件或博客的方式收到广大读者的反馈意见。一些读者直接通过邮件告知书中的内容对工作中提供的直接或间接的帮助；一些读者提出了很多中肯的有建设性的意见和建议；更多的读者通过邮件交流书中的相关设计问题。在《数字滤波器的 MATLAB 和 FPGA 实现》一书第 1 版出版后，不少读者就建议出版采用 Verilog HDL 语言作为设计平台的版本。这是很好的建议。其实，虽然在初次写数字滤波器一书时已规划过要完成这一系列的著作，但还没有想到要编写 Altera/Verilog HDL 版本，否则就会在前面三本书的书名中都加上“Xilinx/VHDL 版本”的字样了。时间过得很快，三年多的时间过去了，在用 Xilinx/VHDL 平台写完这个系列著作之后，终于可以开始用 Altera/Verilog HDL 平台将这三本著作重新写一遍，以满足不同读者的需求。

本书的内容安排

第 1 章首先对数字通信同步技术的概念及 FPGA 基础知识进行简要介绍。通信技术的实现方法和平台很多。其中，FPGA 因其强大的运算能力，以及灵活方便的应用特性，在现代通信、数字信号处理等领域得到越来越广泛的应用，并大有替代 DSP 等传统数字信号处理平台的趋势。为更好地理解本书后续章节的内容，本章简要介绍了 Altera 公司的 FPGA 器件，以及 Quartus II 开发环境、MATLAB 软件等内容。如果读者已经具备一定的 FPGA 设计经验，也可以跳过本章，直接阅读本书后续章节的内容。

第2章介绍FPGA中数的表示方法、数的运算、有限字长效应及常用的数字信号处理模块。数字信号在FPGA等硬件系统中实现时，因受寄存器长度的限制，不可避免地会产生有效字长效应。设计工程师必须了解字长效应对数字系统可能带来的影响，并在实际设计中通过仿真来确定最终的量化位数、寄存器长度等内容。本章最后对几种常用的运算模块IP核进行介绍，详细阐述各IP核控制参数的设置方法。IP核的应用在FPGA设计中十分普遍，尤其在数字信号处理领域，采用设计工具提供的IP核进行设计，不仅可以提高设计效率，而且可以保证设计的性能。因此，在进行FPGA工程设计时，工程师可以先浏览一下选定的目标器件所能提供的IP核，以便于通过使用IP核来减少设计工作量并提高系统性能。当然，工程师也可以根据设计需要，根据是否具有相应的IP核来选择目标器件。这一章讨论的都是一些非常基础的知识，但正因为基础，所以显得尤其重要。其中讨论的有效数据位运算，以及字长效应等内容在后续的工程实例讲解中都会多次涉及，建议读者不要急于阅读后续章节的工程实例讲解，先切实练好基本功，才可以达到事半功倍的效果。

第3章主要讨论锁相环技术的基本理论，这大概也是本书阅读起来最为乏味的章节。阅读理论和一大堆公式，很容易让人感到厌烦。对于数字通信技术来说，锁相环技术的工作原理大概是最难以弄清的知识点之一。但是，要想设计出完美的同步环路，对理论的透彻理解是必须具备的能力，而一旦理解透了，工程设计时就会有得心应手的感觉。本章的大部分内容均参考自张厥盛等老师编著的《锁相技术》一书，只是更为注重从工程应用的角度，全面介绍锁相环的原理、组成，以及工程应用中需要经常使用的公式和参数设计方法。建议读者先耐心地对本章所介绍的内容进行深入的推敲理解，因为在后续章节讲解同步技术的FPGA实现时，可能需要反复翻阅本章的内容。通过在各次工程设计实践中反复体会锁相技术的原理及工作过程，当读者真正理解锁相环的基本理论及分析方法后，就会发现设计出性能优良的锁相环电路也不是一件多么困难的事。

第4章开始讨论载波同步技术的FPGA实现。这一章仍然有一些概念及工作原理的介绍，主要在于讲清数字化载波锁相环的参数设计及计算方法。实现数字锁相环的关键步骤在于构造合适的数字化实现结构及模型。本章重点内容在于以一个完整的载波环路工程设计实例，详细讲解数字载波锁相环系统的设计步骤、方法，并进行比较全面的性能仿真测试。载波同步环路的数字化设计与实现，本身比较复杂，初学者往往难以理解数字化模型与模拟电路之间的对应关系。数字化实现方法中各组成部件、参数的设计比较灵活，本章最后对载波环路的一般设计步骤、环路参数对系统性能的影响进行归纳整理。读者可以完全按照本章所讨论的流程进行系统的设计及仿真，并反复理解载波同步技术的数字化实现方法，以及Verilog HDL编程的思路，必要时可以重复阅读第3章的内容，切实掌握锁相环路的工作原理及设计过程。同时，本章用较大的篇幅详细讲解了工程设计时的仿真测试步骤，读者尤其要切实掌握Quartus II环境与MATLAB联合应用的方法，以便提高设计效率。

第5章首先简要介绍三种抑制载波同步环的工作原理，随后对三种同步环路的FPGA设计方法、结构、仿真测试过程进行详细讨论。从抑制载波环的FPGA实现过程可以看出，三种环路设计所采用的环路模型、参数设计方式均十分相似，其中的环路滤波器只需简单修改即可通用。平方环与同相正交环的性能是等价的，但同相正交环（Costas环）显然在解调BPSK等抑制载波调制信号时更具优势。判决反馈环比其他两种环路的噪声性能更好，

环路锁定后的稳态相差更低，但载波环路同步需要以位同步作为前提条件，从而影响了环路的稳定性。因此，对于抑制载波调制信号来讲，工程上通常采用同相正交环来实现信号的载波同步及数据解调。

第 6 章首先介绍自动频率控制的基本概念，然后分别对最大似然频偏估计及 FFT 载频估计两种算法的原理、MATLAB 仿真进行了讨论，并详细阐述了 FFT 载频估计算法的 FPGA 实现方法。FSK 是现代数字通信中常用的一种通信调制方式，本章对数字频率调制的原理及信号特征进行介绍，并采用 MATLAB 对 FSK 信号进行了仿真。FSK 信号的解调方法很多，非相干解调法因为实现简单，性能优良而得到更为广泛的应用。为便于读者更好地理解锁相环与 AFC 环的差别，本章对常规二阶锁相环无法实现 FSK 信号解调的原因进行分析，并采用与锁相环类似的分析方法，对 AFC 环的模型进行讨论。这也进一步说明，读者在进行 FPGA 工程设计之前，必须充分理解系统的工作原理等理论知识，才能更好地把握 FPGA 实现过程中的参数设计、数据截位、时序控制等工程设计细节。本章最后详细阐述采用相乘微分型 AFC 环路实现 FSK 解调的原理、方法、步骤及仿真测试过程。

第 7 章主要讨论采用数字锁相环实现位同步的原理、方法、步骤及仿真测试过程。数字锁相法实现位同步是数字通信中使用最为广泛的方法，其基本工作原理与载波锁相环类似，均是通过鉴相器提取输入信号与本地位同步信号的相位差，并据此对本地位同步信号的相位进行调整。微分型位同步环是最简单的数字锁相环路，其他位同步环均是在其基础上进行改进和完善的，以增加其抗干扰性能及稳定性能。本章以工程实例讲解的方法，对微分型、积分型和改进型位同步环的各个功能部件均进行详细的讨论，尤其对环路各节点的信号波形进行说明。读者在阅读本章时，需要切实弄清各环路、各节点波形的时序关系，当完全理解环路的工作过程及实现方法后，采用 Verilog HDL 代码进行实现就比较容易了。读者可以将本章所讨论的实例以独立模块的形式嵌入前面章节的实例中，以完成基带解调后的位同步功能。

第 8 章首先介绍同步传输及异步传输的概念，并对两种传输方式的同步原理、方法、步骤及仿真测试过程进行详细讨论。异步传输的速率及效率都比较低，典型的应用是串口通信，本章对 RS-232 串口传输的收/发端均进行 FPGA 实现。RS-232 串口传输协议定义了较多的握手信号，有兴趣的读者可以在实例 8-1 的基础上对串口通信进行完善。本章的重点是帧同步系统的 FPGA 实现，完整的帧同步包括搜索、校核和同步状态。一个看似复杂的系统，只要合理划分功能模块，在编写程序之前理清编程思路，最终的代码实现反而变得比较简单。读者在阅读帧同步系统的程序代码时，重点在于理解各模块之间的信号接口关系，以及接口信号之间的时序关系，进而深刻理解程序的编写思路和方法，以提高复杂系统的 Verilog HDL 程序编写水平。

本书的目标

通常来讲，一名电子通信专业的技术人员，在从业之初都会遇到类似的困惑：如何将教材中所学的理论与实际中的工程设计结合起来？如何能够将这些教材中的理论转换成实际的电路？绝大多数数字通信类教材对通信的原理讲解十分透彻，但理论与实践之间显然需要有一些可以顺利通过的桥梁。一个常用的方法是通过采用 MATLAB 等工具进行软件仿

真来加深对理论的理解，但更好的方法显然是直接参与工程的设计与实现。FPGA 技术因其快速的并行运算能力，以及独特的组成结构，在电子通信领域已成为必不可少的实现平台之一。本书的目的正是架起这样一座桥梁，通过具体的设计实例，详细讲解从理论到工程实现的方法、步骤和过程，以便于工程技术人员尽快掌握和利用 FPGA 平台实现通信同步技术的方法。

目前，市场上已有很多介绍 ISE、Quartus II 等 FPGA 开发环境，以及 VHDL、Verilog HDL 等硬件编程语言的书籍。如果我们仅仅是使用 FPGA 来实现一些数字逻辑电路，或者理论性不强的控制电路设计，那么掌握 FPGA 开发工具及 Verilog HDL 语法就可以开始工作了。数字通信同步技术的理论性要强得多，采用 FPGA 平台实现通信同步技术的前提条件是对理论知识首先要有深刻的理解。在理解理论知识的基础上，关键的问题是根据这些通信理论或公式，利用 FPGA 的特点，找到合适的算法实现结构，理清工程实现的思路，并采用 Verilog HDL 等硬件编程语言对其进行正确的实现。显然，要顺利地读懂本书，掌握用 FPGA 实现数字通信同步技术的知识和技能，读者还需要对 FPGA 的开发环境和设计语言有一定的了解。

在写作过程中，本书兼顾数字通信同步技术的理论，以及工程设计过程的完整性，重点突出 FPGA 设计方法、结构、实现细节，以及仿真测试方法。在讲解理论知识时，重点从工程应用的角度进行介绍，主要介绍工程设计时必须掌握和理解的知识，并且结合 FPGA 的特点进行讨论，便于读者尽快地找到理论与工程实现之间的结合点。在讲解实例的 FPGA 实现时，不仅绝大多数实例给出完整的 Verilog HDL 程序代码，并且从思路和结构上对每段代码均进行详细的分析和说明。根据自己的理解，针对一些似是而非的概念，结合工程实例的仿真测试加以阐述，希望能够对读者提供更多有用的参考。相信读者在按照书中讲解的步骤完成一个个工程实例时，会逐步感觉到理论与工程实现之间完美结合的畅快。随着读者掌握的工程实现技能的提高，对通信理论知识的理解也必将越来越深刻，如果重新阅读以前学过的通信原理，头脑中就更容易构建起理论与工程实现之间的桥梁。

关于 FPGA 开发环境的说明

众所周知，目前两大厂商 Xilinx 和 Altera 的产品占据全球 90% 的 FPGA 市场。可以说，在一定程度上正是由于两家 FPGA 公司的相互竞争态势，有力地推动了 FPGA 技术的不断发展。虽然 HDL 的编译及综合环境可以采用第三方公司所开发的产品，如 Modelsim、Synplify 等，但 FPGA 器件的物理实现必须采用各自公司开发的软件平台，无法通用。Xilinx 公司目前的主流开发平台是 ISE 系列套件，Altera 公司目前的主流开发平台是 Quartus II 系列套件。与 FPGA 开发平台类似，HDL 也存两种难以取舍的选择：VHDL 和 Verilog HDL。

如何选择开发平台以及 HDL 语言呢？其实，对于有志于从事 FPGA 技术开发的技术人员，选择哪种平台及 HDL 语言并不重要，因为两种平台具有很多相似的地方，精通一种 HDL 语言后，再学习另一种 HDL 语言也不是一件困难的事。通常来讲，可以根据周围同事、朋友、同学或公司的主要使用情况进行选择，这样在学习的过程中，可以很方便地找到能够给你指点迷津的专业人士，从而加快学习进度。

本书采用的是 Altera 公司的 FPGA 器件作为开发平台，采用 Quartus II 12.1 作为开发环境，采用 Verilog HDL 语言作为实现手段。由于 Verilog HDL 语言并不依赖于某家公司的 FPGA 产品，因此本书的 Verilog HDL 程序文件可以很方便地移植到 Xilinx 公司的 FPGA 产品上。如果程序中应用了 IP 核资源，两家公司的 IP 核通常是不能通用的，这就需要根据 IP 核的功能参数，在另外一个平台上重新生成 IP 核，或编写 Verilog HDL 代码来实现。

有人曾经说过，“技术只是一个工具，关键在于思想。”将这句话套用过来，对于本书来讲，具体的开发平台和 HDL 语言只是实现通信同步技术的工具，关键在于设计的思路和方法。因此，读者完全不必过于在意开发平台的差别，相信只要掌握本书所讲述的设计思路和方法，加上读者已经具备的 FPGA 开发经验，采用任何一种 FPGA 平台都可以很快地设计出满足用户需求的产品。

如何使用本书

本书讨论的是数字通信同步技术的 MATLAB 与 FPGA 实现。相信大部分工科院校的学生和电子通信的从业人员对 MATLAB 软件都会有一个基本的了解。由于它的易用性及强大的功能，已经成为数学分析、信号仿真、数字处理必不可少的工具。由于 MATLAB 具有大量专门针对数字信号处理的常用函数，如滤波器函数、傅里叶分析函数等，十分有利于对一些通信的概念及信号进行功能性仿真，因此，在具体讲解某个实例时，通常会采用 MATLAB 作为仿真验证工具。虽然书中的 MATLAB 程序相对比较简单，主要应用一些数字信号处理函数进行仿真验证，如果读者没有 MATLAB 的知识基础，建议最好还是先简单学习一下 MATLAB 的编程概念及基本语法。考虑到程序及函数的兼容性，书中所有 MATLAB 程序的开发验证平台均为 MATLAB 7.0 版软件。

在讲解具体的 FPGA 工程应用实例时，通常会先采用 MATLAB 对所需设计的工程进行仿真，一方面仿真算法过程及结果，另一方面生成 FPGA 仿真所需要的测试数据；然后在 Quartus II 平台上编写 Verilog HDL 程序对实例进行设计实现，为便于讲述，通常会先讨论程序的设计思路，或者先给出程序清单，再对程序代码进行分析说明；完成程序编写后，需要编写 TestBench 测试激励文件，根据所需产生输入信号的种类，可以直接在 TestBench 文件中编写代码来产生输入信号，也可以通过读取外部文本文件的方式来产生输入信号；接下来就可以采用 ModelSim 工具对 Verilog VHDL 程序进行时序或行为仿真，查看 ModelSim 仿真波形结果，并根据需要将仿真数据写入外部文本文件中，通常还会对仿真波形进行讨论，分析仿真结果是否满足要求；如果 ModelSim 波形不便于精确分析测试结果，则需要再次编写 MATLAB 程序，对 ModelSim 仿真结果数据进行分析处理，最终验证 FPGA 设计的正确性。

本书主要以工程应用实例的方式讲解各种数字通信同步技术的原理及 FPGA 实现方法和步骤。大部分实例均给出了完整的程序清单，限于篇幅，不同工程实例中的一些重复或相似的代码没有完全列出，随书配套的光盘上收录了本书所有实例的源程序及工程设计资源，并按章节序号置于光盘根目录下。本书在编写工程实例时，程序文件均放置在“D:\SyncPrograms”的文件夹下，读者可以先在本地硬盘下建立“D:\SyncPrograms”文件夹，然后将配套光盘中的程序压缩包解压至该文件夹下，大部分程序均可直接运行。需要说明

的是，在大部分工程实例中，需要由 MATLAB 产生 FPGA 测试所需的文本数据文件，或者由 MATLAB 读取外部文件进行数据分析，同时 FPGA 仿真的 TestBench 文件通常也需要从指定的路径下读取外部文件数据，或将仿真结果输出到指定的路径下。文本文件的路径均指定为绝对路径，如“fid=fopen('D:\ SyncPrograms\Chapter_4\E4_1_DirectCarrier\Sn0dB_in.txt','w')”。因此，读者运行实例程序时，请将程序文件中指定文件绝对路径的代码进行修改，以确保仿真测试程序在正确的路径下对文件进行读/写操作。

致谢

有人说，每个人都有他存在的使命，如果迷失他的使命，就失去了他存在的价值。不只是每个人，每件物品也都有其存在的使命。对于一本书来讲，其存在的使命就是被阅读，并给读者带来收获。数字通信的 MATLAB 与 FPGA 设计系列的书籍，能够对读者在工作及学习中有所帮助，是作者莫大的欣慰。

作者在写作本书的过程中查阅了大量的资料，在此对资料的作者及提供者表示衷心的感谢。由于写作本书的缘故，重新阅读一些经典的数字通信理论书籍时，再次深刻感受到前辈们严谨的治学态度和细致的写作作风。

在此，感谢父母，几年来一直陪伴在我的身边，由于他们的默默支持，使得我能够在家里专心致志地写作；感谢我的妻子刘帝英女士，她不仅是一位尽心尽职的优秀母亲，也是一位严谨细致的科技工作者，同时也是本书的第一位读者，在工作之余对本书进行了详尽而细致的校对；时间过得很快，女儿已经上小学四年级了，她最爱看书和画画，最近迷上了《西游记》，以前的儿童简化版已满足不了她的要求，周末陪她去书店买了一本原著，她常常被书中的情节逗得自个儿哈哈大笑，还常常要推荐给我看一些精彩的章节。

FPGA 技术博大精深，数字通信技术种类繁多且实现难度大。本书虽尽量详细讨论了 FPGA 实现数字通信同步技术的相关内容，仍感觉到难以详尽叙述工程实现所有细节。相信读者在实际工程应用中经过不断的实践、思考及总结，一定可以快速掌握数字通信同步技术的工程设计方法，提高应用 FPGA 进行工程设计的能力。由于作者水平有限，不足之处在所难免，敬请读者批评指正。欢迎大家就相关技术问题进行交流，或对本书提出改进意见及建议。请读者访问网址 <http://duyongcn.blog.163.com> 以获得与该书相关的资料及信息，也可以发邮件至 duyongcn@sina.cn 与我进行交流。

杜 勇

2015 年 3 月

目 录 Contents

第 1 章 同步技术的概念及 FPGA 基础	1
1.1 数字通信中的同步技术	2
1.2 同步技术的实现方法	4
1.2.1 两种不同的实现原理	4
1.2.2 常用的工程实现途径	5
1.3 FPGA 概念及其在信号处理中的应用	6
1.3.1 基本概念及发展历程	6
1.3.2 FPGA 的结构和工作原理	8
1.3.3 FPGA 在数字信号处理中的应用	15
1.4 Altera 器件简介	16
1.5 Verilog HDL 语言简介	18
1.5.1 HDL 语言简介	18
1.5.2 Verilog HDL 语言特点	19
1.5.3 Verilog HDL 程序结构	20
1.6 FPGA 开发工具及设计流程	21
1.6.1 Quartus II 开发套件	21
1.6.2 ModelSim 仿真软件	25
1.6.3 FPGA 设计流程	27
1.7 MATLAB 软件	29
1.7.1 MATLAB 软件介绍	29
1.7.2 MATLAB 工作界面	29
1.7.3 MATLAB 的特点及优势	30
1.7.4 MATLAB 与 Quartus 的数据交互	32
1.8 小结	33
第 2 章 FPGA 实现数字信号处理基础	35
2.1 FPGA 中数的表示	36
2.1.1 莱布尼兹与二进制	36
2.1.2 定点数表示	37
2.1.3 浮点数表示	38
2.2 FPGA 中数的运算	41
2.2.1 加/减法运算	41
2.2.2 乘法运算	44

2.2.3	除法运算	46
2.2.4	有效数据位的计算	46
2.3	有限字长效应	49
2.3.1	字长效应的产生因素	49
2.3.2	A/D 转换器的字长效应	49
2.3.3	系统运算中的字长效应	51
2.4	FPGA 中的常用处理模块	53
2.4.1	加法器模块	53
2.4.2	乘法器模块	55
2.4.3	除法器模块	58
2.4.4	浮点运算模块	59
2.4.5	滤波器模块	60
2.5	小结	63
第 3 章	锁相技术原理及应用	65
3.1	锁相环的工作原理	66
3.1.1	锁相环路的模型	66
3.1.2	锁定与跟踪的概念	67
3.1.3	环路的基本性能要求	68
3.2	锁相环的组成	69
3.2.1	鉴相器	69
3.2.2	环路滤波器	70
3.2.3	压控振荡器	71
3.3	锁相环路的动态方程	71
3.3.1	非线性相位模型	71
3.3.2	线性相位模型	73
3.3.3	环路的传递函数	74
3.4	锁相环路的性能分析	76
3.4.1	暂态信号响应	76
3.4.2	环路的频率响应	78
3.4.3	环路的稳定性	80
3.4.4	非线性跟踪性能	82
3.4.5	环路的捕获性能	83
3.4.6	环路的噪声性能	85
3.5	锁相环路的应用	87
3.5.1	环路的两种跟踪状态	87
3.5.2	调频解调器	87
3.5.3	调相解调器	88
3.5.4	调幅信号的相干解调	88
3.5.5	锁相调频器	89

3.5.6	锁相调相器	90
3.6	小结	90
第 4 章	载波同步的 FPGA 实现	91
4.1	载波同步的原理	92
4.1.1	载波同步的概念及实现方法	92
4.1.2	锁相环的工作方式	93
4.2	锁相环路的数字化模型	94
4.2.1	数字鉴相器	94
4.2.2	数字环路滤波器	95
4.2.3	数字控制振荡器	96
4.2.4	数字环路的动态方程	97
4.3	输入信号建模与仿真	98
4.3.1	工程实例需求	98
4.3.2	输入信号模型	99
4.3.3	输入信号的 MATLAB 仿真	100
4.4	载波同步环的参数设计	103
4.4.1	总体性能参数设计	104
4.4.2	数字鉴相器设计	105
4.4.3	环路滤波器及数控振荡器设计	108
4.5	载波同步环的 FPGA 实现	110
4.5.1	顶层模块的 Verilog HDL 实现	110
4.5.2	IIR 低通滤波器的 Verilog HDL 实现	113
4.5.3	环路滤波器的 Verilog HDL 实现	118
4.5.4	同步环路的 FPGA 实现	119
4.6	载波同步环的仿真测试	120
4.6.1	测试激励的 Verilog HDL 设计	120
4.6.2	单载波输入信号的仿真测试	122
4.6.3	调幅波输入信号的仿真测试	126
4.6.4	关于载波环路参数的讨论	129
4.7	小结	130
第 5 章	抑制载波同步的 FPGA 实现	133
5.1	抑制载波同步的原理	134
5.1.1	平方环工作原理	134
5.1.2	同相正交环工作原理	135
5.1.3	判决反馈环工作原理	136
5.2	输入信号建模与仿真	138
5.2.1	工程实例需求	138
5.2.2	DPSK 调制原理及信号特征	138
5.2.3	DPSK 信号传输模型及仿真	139

5.3	平方环的 FPGA 实现	141
5.3.1	改进的平方环原理	141
5.3.2	环路性能参数设计	142
5.3.3	带通滤波器设计	143
5.3.4	顶层模块的 Verilog HDL 实现	145
5.3.5	带通滤波器的 Verilog HDL 实现	148
5.3.6	低通滤波器的 Verilog HDL 实现	152
5.3.7	FPGA 实现后的仿真测试	154
5.4	同相正交环的 FPGA 实现	156
5.4.1	环路性能参数设计	156
5.4.2	低通滤波器 Verilog HDL 实现	157
5.4.3	其他模块的 Verilog HDL 实现	159
5.4.4	顶层模块的 Verilog HDL 实现	160
5.4.5	FPGA 实现后的仿真测试	163
5.4.6	同相支路的判决及码型变换	165
5.5	判决反馈环的 FPGA 实现	167
5.5.1	环路性能参数设计	167
5.5.2	顶层模块的 Verilog HDL 实现	168
5.5.3	积分判决模块的 Verilog HDL 实现	171
5.5.4	FPGA 实现后的仿真测试	174
5.6	小结	175
第 6 章	自动频率控制的 FPGA 实现	177
6.1	自动频率控制的概念	178
6.2	最大似然频偏估计的 FPGA 实现	179
6.2.1	最大似然频偏估计的原理	179
6.2.2	最大似然频偏估计的 MATLAB 仿真	180
6.2.3	频偏估计的 FPGA 实现方法	183
6.3	基于 FFT 载频估计的 FPGA 实现	185
6.3.1	离散傅里叶变换	185
6.3.2	FFT 算法原理及 MATLAB 仿真	187
6.3.3	FFT 核的使用	190
6.3.4	输入信号建模与 MATLAB 仿真	193
6.3.5	基于 FFT 载频估计的 Verilog HDL 实现	194
6.3.6	FPGA 实现及仿真测试	198
6.4	FSK 信号调制解调原理	199
6.4.1	数字频率调制	199
6.4.2	FSK 信号的 MATLAB 仿真	201
6.4.3	FSK 相干解调原理	204
6.4.4	AFC 环解调 FSK 信号的原理	205

6.5	AFC 环的 FPGA 实现	207
6.5.1	环路参数设计	207
6.5.2	顶层模块的 Verilog HDL 实现	209
6.5.3	鉴频器模块的 Verilog HDL 实现	213
6.5.4	FPGA 实现及仿真测试	214
6.6	小结	215
第 7 章	位同步技术的 FPGA 实现	217
7.1	位同步的概念及实现方法	218
7.1.1	位同步的概念	218
7.1.2	滤波法提取位同步	219
7.1.3	数字锁相环位同步法	220
7.2	微分型位同步的 FPGA 实现	222
7.2.1	微分型位同步的原理	222
7.2.2	顶层模块的 Verilog HDL 实现	223
7.2.3	双相时钟信号的 Verilog HDL 实现	225
7.2.4	微分鉴相模块的 Verilog HDL 实现	227
7.2.5	单稳触发器的 Verilog HDL 实现	229
7.2.6	控制及分频模块的 Verilog HDL 实现	231
7.2.7	位同步形成及移相模块的 Verilog HDL 实现	232
7.2.8	FPGA 实现及仿真测试	234
7.3	积分型位同步的 FPGA 实现	237
7.3.1	积分型位同步的原理	237
7.3.2	顶层模块的 Verilog HDL 实现	239
7.3.3	积分模块的 Verilog HDL 实现	242
7.3.4	鉴相模块的 Verilog HDL 实现	243
7.3.5	FPGA 实现及仿真测试	244
7.4	改进位同步技术的 FPGA 实现	246
7.4.1	正交支路积分输出门限判决法	246
7.4.2	数字式滤波器法的工作原理	248
7.4.3	随机徘徊滤波器的 Verilog HDL 实现	249
7.4.4	随机徘徊滤波器的仿真测试	250
7.4.5	改进的数字滤波器工作原理	251
7.4.6	改进滤波器的 Verilog HDL 实现	252
7.5	小结	254
第 8 章	帧同步技术的 FPGA 实现	255
8.1	异步传输与同步传输的概念	256
8.1.1	异步传输的概念	256
8.1.2	同步传输的概念	257
8.1.3	异步传输与同步传输的区别	257

8.2	起止式同步的 FPGA 实现	258
8.2.1	RS-232 串口通信协议	258
8.2.2	顶层模块的 Verilog HDL 实现	260
8.2.3	时钟模块的 Verilog HDL 实现	262
8.2.4	数据接收模块的 Verilog HDL 实现	263
8.2.5	数据发送模块的 Verilog HDL 实现	266
8.2.6	FPGA 实现及仿真测试	268
8.3	帧同步码组及其检测原理	271
8.3.1	帧同步码组的选择	271
8.3.2	间隔式插入法的检测原理	272
8.3.3	连贯式插入法的检测原理	273
8.3.4	帧同步的几种状态	274
8.4	连贯式插入法帧同步的 FPGA 实现	275
8.4.1	实例要求及总体模块设计	275
8.4.2	搜索模块的 Verilog HDL 实现及仿真	277
8.4.3	校核模块的 Verilog HDL 实现及仿真	281
8.4.4	同步模块的 Verilog HDL 实现及仿真	286
8.4.5	帧同步系统的 FPGA 实现及仿真	291
8.5	小结	292
	参考文献	293



第 1 章

同步技术的概念及FPGA基础

- 数字通信中的同步技术
- 同步技术的实现方法
- FPGA概念及其在信号处理中的应用
- Altera器件简介
- Verilog HDL语言简介
- FPGA 开发工具及设计流程
- MATLAB 软件
- 小结

现代通信系统是信息社会的动脉。现代通信技术克服了时间和空间的局限性，特别是无线通信技术使得人们随时随地获取和交流信息成为可能。通信系统间或系统内的同步是进行信息正确传输的关键，其性能直接决定了通信的质量，几乎在所有的通信系统中都要先解决同步问题，稳定、可靠、准确的同步对通信至关重要^[1]。

通信技术的实现方法和平台很多，其中，现场可编程门阵列（Field Programmable Gate Array, FPGA）技术因其强大的运算能力以及灵活方便的应用特性，在现代通信、数字信号处理等领域得到了越来越广泛的应用，并大有替代 DSP 等传统数字信号处理平台的趋势^[20]。为更好地理解本书后续章节的内容，本章首先对通信同步技术的概念和种类、FPGA 的基本知识，以及本书所采用的 Verilog HDL 设计语言和 Quartus II 开发环境进行简要介绍。如果读者已经具备一定的 FPGA 设计经验，也可以跳过本章，直接阅读本书后续章节的内容。

1.1 数字通信中的同步技术

给同步技术下一个准确的定义相当困难，当两个设备一起工作并对时间有精确要求时，就需要在它们之间进行同步。同步是在两个设备或系统之间规定一个共同的时间参考，它是通信系统中一个非常重要的技术。一般情况下，通信的收、发双方不处在同一个地方，要使它们能步调一致地协调工作，必须要由同步系统来保证。同步系统的性能好坏直接影响整个通信系统的好坏，如果同步系统工作得不好，甚至会造成整个系统的瘫痪。

通信同步的分类方法有多种，在许多模拟通信系统和几乎所有的数字通信系统中都有同步，通常的分类方法有按功能划分和按实现方式划分两种。其中通信同步技术的实现方式将在 1.2 节讨论。接下来首先对按功能划分的各种同步技术进行简单介绍，本书后续章节将逐一对各类同步技术的 MATLAB 与 FPGA 实现进行详细阐述。

一般来讲，数字通信系统中的同步技术，按功能划分主要有载波同步、位同步、群同步和网同步^[5]。对于扩频通信来讲，除了获取正确的载波同步、网同步外，还需要在解扩和解调之前获取伪码同步^[7]。

1. 载波同步

在通信中，除了短距离通信采用基带传输外，一般的长距离通信都要采用频带传输，即不论是模拟通信还是数字通信都要在发送端进行调制。这样，接收端需要采取相应的解调措施。除了幅度调制及频率调制可以采用非相干解调外，大部分调制方式都采用相干解调以获取更好的性能，而进行相干解调就需要提取相干载波，即需要在接收端产生与接收信号中的调制载波完全同频同相的本地载波信号。这个本地载波的获取过程称为载波同步。载波同步是实现相干解调的基础。相干载波必须与接收信号的载波严格地同频同相，否则会降低解调性能。

载波同步涉及两种情况：接收信号中本身具有载波频率分量，以及信号中没有载波频率分量。两种情况下载波同步技术的原理和实现方法虽然有一定区别，但基本分析方法都