



普通高等教育“十二五”电子信息类规划教材
卓越工程师教育培养系列教材

数字电路的 FPGA设计与实现 (应用篇)

周鹏 黄秋元 刘岚 陈适 许建霞 编著



机械工业出版社
CHINA MACHINE PRESS

普通高等教育“十二五”电子信息类规划教材
卓越工程师教育培养系列教材

数字电路的 FPGA 设计与实现 (应用篇)

周 鹏 黄秋元 刘 岚 陈 适 许建霞 编著



机械工业出版社

FPGA 是数字电路或系统设计的通用技术,利用 FPGA 芯片可以实现数字电路的各种功能。本书有针对性地介绍了数字电路应用系统的 FPGA 设计与实现过程,全书共 5 章,主要内容包括:基于 FPGA 的数字频率设计;频率合成技术及 DDS 设计;基于 FPGA 的信号发生器设计;基于 FPGA 的 CORDIC 数字计算机设计;数字电路应用系统设计。本书提供了较为丰富的 FPGA 的设计例程,让学习者通过实验和设计更加深入地了解数字电路的工作原理,并且逐步掌握 FPGA 的设计与应用技术。

本书的所有例程均是在 Xilinx 11.1 版本仿真环境下进行的,本书所附光盘为读者提供了相应的程序和工程文件。

本书深入浅出,实例丰富,取材新颖,图文并茂,叙述详尽清晰,可作为电子信息类本科生和硕士研究生学习 FPGA 应用技术的教材,也可供从事电子电路系统设计的工程技术人员学习参考。

图书在版编目(CIP)数据

数字电路的 FPGA 设计与实现. 应用篇/周鹏等编著.
—北京:机械工业出版社,2013.6
普通高等教育“十二五”电子信息类规划教材
ISBN 978-7-111-42984-5

I. ①数… II. ①周… III. ①数字电路-可编程序逻辑阵列-高等学校-教材 IV. ①TN790.2

中国版本图书馆 CIP 数据核字(2013)第 138211 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

策划编辑:徐 凡 责任编辑:徐 凡

版式设计:常天培 责任校对:胡艳萍

责任印制:刘 岚

北京京丰印刷厂印刷

2015 年 1 月第 1 版 · 第 1 次印刷

184mm×260mm · 9.25 印张 · 3 插页 · 217 千字

标准书号:ISBN 978-7-111-42984-5

ISBN 978-7-111-89405-515-6(光盘)

定价:28.00 元(含 1CD)

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

网络服务

社服务中心:(010) 88361066

教材网:<http://www.cmpedu.com>

销售一部:(010) 68326294

机工官网:<http://www.cmpbook.com>

销售二部:(010) 88379649

机工官博:<http://weibo.com/cmp1952>

读者购书热线:(010) 88379203

封面无防伪标均为盗版

序

自 1985 年 Xilinx 公司推出第一片现场可编程门阵列 (FPGA) 至今, FPGA 已经历了二十多年的发展历史。在这二十多年的发展过程中, 以 FPGA 为代表的数字系统现场集成技术取得了惊人的发展。

当然, 一项重要的工程技术的发展必将会推动工程教育的变革, 又终将为工程教育所推动。正是由于这样的原因, Xilinx 公司在创办初期就开始了 Xilinx 大学计划 (XUP) 的推行, 其目的是试图促进采用 Xilinx 可编程逻辑器件 (PLD) 技术的教育和研究。

目前, Xilinx 公司的 FPGA 器件以及新推出的 ALL Programmable 平台被广泛应用于教学领域, 包括数字设计、VHDL 或 Verilog 设计、处理器结构、数字信号处理 (DSP)、电信、可重配置计算机、ASIC 设计以及其他可以想到的领域。这表明 Xilinx 可编程逻辑方案已成为许多电子信息和计算机系的基本设计课程的一部分。

Xilinx 公司在中国的大学计划正在蓬勃地开展着, 目前已在清华大学、北京大学、西安电子科技大学、电子科技大学、中国科学技术大学、上海交通大学、北京理工大学、西安交通大学、复旦大学、武汉大学、华中科技大学、武汉理工大学等近百所高校建立了 Xilinx 联合实验室。希望通过 Xilinx 大学计划, 帮助国内的广大师生提高 FPGA 的教学和科研水平。

武汉理工大学 Xilinx 联合实验室的老师和学生们将自己学习和研究成果梳理汇聚, 撰写出了这本既面向高校教学使用同时又适用于科技人员参考的《数字电路的 FPGA 设计与实现 (应用篇)》。该书所介绍的一系列开发应用环境以及针对数字电路应用系统的 FPGA 设计与实现将有助于初学者尽快熟悉 FPGA 的应用流程, 同时书中所描述的设计实例又将为广大读者提供解决实际问题的思路和方法, 相信此书必将为 FPGA 应用技术的教学和相关科研工作的发展起到一定的促进和推动作用。

Xilinx 中国大学计划负责人 谢凯年

前言

近年来,在数字电路的设计方面,可编程逻辑器件(PLD)被广泛采用。

早期的 PLD,如简单可编程逻辑器件(SPLD)、可编程逻辑阵列(PLA)和通用阵列逻辑(GAL)等因为结构简单,只能实现较小规模的电路。为了完成复杂的设计,各类高密度的 PLD 相继推出,其中以 Xilinx 公司的 FPGA 和 Altera 公司的复杂可编程逻辑器件(CPLD)最为出众。

以硬件描述语言(Verilog HDL 或 VHDL)所完成的电路设计,可以经过简单的综合与布局,快速地烧录至 FPGA 上进行测试,这已成为现代 IC 设计验证的主流技术。

目前,高校中强调理论与实践相结合的呼声越来越高,学生在掌握基本理论知识的基础上,对提高实践能力的需求也越来越强烈。近年来,教育部开始在一些高校启动了“卓越工程师教育培养计划”,其宗旨就是要从教学体系上和教学内容上强化学生的综合能力。本书是卓越工程师教育培养系列教材中的一本,该系列教材包括:《FPGA 应用技术基础教程》《数字电路的 FPGA 设计与实现(基础篇)》《数字电路的 FPGA 设计与实现(应用篇)》,《通信系统中编解码技术的 FPGA 设计与实现》《通信系统中同步技术的 FPGA 设计与实现》,《通信系统中调制解调技术的 FPGA 设计与实现》《数字信号处理系统的 FPGA 设计与实现》等。

本书的主要特色:结合 Xilinx 公司的 FPGA 系统,通过一系列的实验环节,介绍了数字电路的 FPGA 应用设计、仿真与实现的技术流程。本书注重动手能力的培养,重视具体设计与实现。书中的所有过程都体现了由基础理论到应用设计的描述,从而引导读者由浅入深地实现从数字电路基本功能的设计到微处理器控制下的应用设计。特别是本教程通过大量的简单设计实例,将 FPGA 与微处理器的嵌入式设计引入到学习过程中,强化了读者对片上系统的理解和应用。

本书是在 Xilinx 公司推广的中国大学计划的支持下,在其组织者谢凯年博士的鼓励下编著的。武汉理工大学与 Xilinx 公司共同组建的信号传输与处理联合实验室强化了我们学习、研究和应用 FPGA 技术的团队。本书所依据的素材和工程文件均由这个团队的师生所验证,本书是他们辛勤劳动的果实。

本书可作为电子信息类本科生和硕士研究生学习 FPGA 应用技术的教材,也可供从事电子电路系统设计的工程技术人员学习参考。希望读者通过本教程的学习能够较快地了解和掌握 FPGA 的基本知识和应用技术以及 FPGA 的设计思想和设计方法。

本书由华中科技大学杨晓非教授和武汉理工大学吴友宇教授审阅。他们对本书的编写提出了不少宝贵意见和有益的建议,在此表示诚挚的感谢。

由于编著者的水平和经验有限,书中难免存在错误和不妥之处,敬请广大读者批评指正。

编著者

目 录

序

前言

第 1 章 基于 FPGA 的数字频率计设计	1
1.1 频率计的基本原理	1
1.2 数字频率计的主要技术指标	2
1.3 频率计设计方案概述	2
1.3.1 频率的测量方法	2
1.3.2 直接测频法的原理	2
1.4 基于 FPGA 的自动换量程频率计设计	3
1.4.1 自动换量程原理	3
1.4.2 模块设计	4
1.5 自动换量程频率计的 FPGA 仿真	10
1.5.1 各模块的仿真	10
1.5.2 总体仿真	14
1.6 思考题	17
第 2 章 频率合成技术及 DDS 设计	18
2.1 概述	18
2.1.1 频率合成技术分类	18
2.1.2 DDS 技术特点	20
2.2 DDS 工作原理	21
2.3 频率合成技术指标	22
2.4 DDS 输出杂散噪声分析	22
2.4.1 相位截断引入的杂散	23
2.4.2 幅度量化引入的杂散	24
2.4.3 D-A 转换引入的杂散及时钟噪声	25
2.5 DDS 抑制杂散噪声分析	26
2.5.1 抖动注入技术	26
2.5.2 ROM 数据压缩技术	26
2.5.3 PLL + DDS 技术	27
2.6 基于 FPGA 的 DDS 设计	28
2.6.1 DDS 系统结构框图	28
2.6.2 模块设计与仿真	28
2.7 本章小结	37
2.8 思考题	37
第 3 章 基于 FPGA 的信号发生器设计	38
3.1 概述	38
3.1.1 信号发生器的发展概况	38

3.1.2 信号发生器的种类	39
3.1.3 DDS 工作原理	39
3.2 基于 FPGA 的信号发生器	40
3.2.1 总体结构设计	40
3.2.2 几种实现方式	41
3.2.3 实现中的几个关键问题	41
3.3 设计的实现与仿真	41
3.3.1 累加器模块	41
3.3.2 波形控制和数据存储模块	42
3.3.3 综合与 ChipScope 测试	42
3.4 本章小结	46
3.5 思考题	47
第 4 章 基于 FPGA 的 CORDIC 数字计算机设计	48
4.1 CORDIC 理论算法	48
4.1.1 计算正弦值和余弦值	50
4.1.2 极坐标到笛卡儿坐标的变换	51
4.1.3 笛卡儿坐标到极坐标的变换	51
4.1.4 反正弦和反余弦函数	51
4.1.5 线性函数	52
4.1.6 双曲线函数	53
4.2 CORDIC 算法的 FPGA 实现	54
4.2.1 基于状态机的迭代算法	54
4.2.2 基于流水线结构的算法	54
4.2.3 总体方案设计	56
4.2.4 仿真结果与分析	57
4.3 8 位 RISC-CPU	59
4.3.1 计算机体系结构	59
4.3.2 CPU 的概念	60
4.3.3 RISC-CPU 基本架构	60
4.3.4 RISC-CPU 的功能及模块划分	61
4.3.5 RISC-CPU 指令集简介	62
4.3.6 RISC-CPU 的状态时序和控制信号	63
4.3.7 8 位 RISC-CPU 的设计实现流程	64
4.4 8 位 RISC-CPU 各模块的设计与仿真	65
4.4.1 时钟发生器	65
4.4.2 指令寄存器	66
4.4.3 累加器	66
4.4.4 算术逻辑运算单元	67
4.4.5 数据控制器	68
4.4.6 地址多路器	69
4.4.7 程序计数器	70
4.4.8 状态控制器	71
4.5 8 位 RISC-CPU 顶层 CPU 模块的设计与仿真	73

4.5.1 设计思路	73
4.5.2 实现和仿真	75
4.5.3 CPU 外围模块及测试	76
4.6 本章小结	80
4.7 思考题	80
第5章 实际应用系统设计	81
5.1 电子琴	81
5.1.1 电子琴的基本原理	81
5.1.2 电子琴的 Verilog 设计	83
5.1.3 电子琴的 FPAG 仿真	84
5.1.4 板调	90
5.2 数字密码锁	93
5.2.1 设计方案	93
5.2.2 数字密码锁的硬件设计	93
5.2.3 数字密码锁的软件设计	96
5.2.4 数字密码锁的仿真与实现	101
5.3 自动售货机	104
5.3.1 自动售货机系统的基本结构	104
5.3.2 自动售货机系统的工作流程	105
5.3.3 主控系统的设计方案	106
5.3.4 自动售货机系统 FPGA 的设计实现	107
5.4 乐曲演奏电路	110
5.4.1 乐曲演奏电路设计原理	110
5.4.2 乐曲演奏电路的 FPGA 实现	112
5.5 数字电压表	118
5.5.1 数字电压表的设计原理	118
5.5.2 数字电压表各模块的仿真与实现	119
5.5.3 系统调试	123
5.6 篮球 30s 可控计时器设计	125
5.6.1 篮球 30s 可控计时器的设计原理	125
5.6.2 篮球 30s 可控计时器的 FPGA 实现	126
5.7 自动电梯控制电路	132
5.7.1 自动电梯的电路原理	132
5.7.2 自动控制电路的 FPGA 实现	133
5.8 思考题	137
参考文献	139

第 1 章 基于 FPGA 的数字频率计设计

频率计是一种基础测量仪器，它的基本功能是测量正弦信号、方波信号、尖脉冲信号及其他各种单位时间内变化的物理量。随着数字电子技术的进一步发展，频率计成为一种越来越普遍的工具，数字频率计及其设计也受到越来越广泛的关注。

1.1 频率计的基本原理

频率计又称为频率计数器，是一种专门对被测信号的频率进行测量的电子测量仪器。频率计的基本工作原理为：当被测信号在特定时间段 t 内的周期个数为 N 时，则被测信号的频率 f 的表达式为

$$f = N/t \quad (1-1)$$

将式 (1-1) 用图像直观地表示出来，可得到图 1-1 所示的频率计测量原理图。

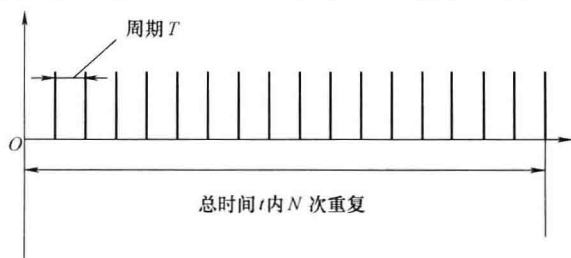


图 1-1 频率计测量原理图

可用一个频率稳定度高的频率源作为基准时钟，来对比测量其他信号的频率。通常情况下，计算每秒内待测信号的脉冲个数，此时称闸门时间为 1s。闸门时间也可以大于或小于 1s。闸门时间越长，得到的频率值就越准确，但闸门时间越长，则每测一次频率的间隔就越长；闸门时间越短，所测频率值刷新越快，但测得的频率精度就会受影响。因此，在设计频率计时，需要选择恰当的闸门时间来测量频率值。

数字频率计是用数字显示被测信号频率的仪器，被测信号可以是正弦波、方波或其他周期性变化的信号。若配以适当的传感器，则可以对多种物理量进行测试，如机械振动的频率、转速、声音的频率以及产品的件件等。因此，数字频率计是一种应用很广泛的仪器。

频率计主要由时基（电路、输入电路、计数显示电路及控制电路四部分构成。在一个测量周期过程中，被测周期信号在输入电路中经过放大、整形、微分操作之后形成特定周期的窄脉冲，送到主门的一个输入端，主门的另外一个输入端为时基电路产生的闸门脉冲。在闸门脉冲开启主门期间，特定周期的窄脉冲才能通过主门，从而使计数器进行计数。计数器的显示电路用来显示被测信号的频率值，内部控制电路则用来完成各种测量功能之间的切换并实现测量设置。

1.2 数字频率计的主要技术指标

1. 频率准确度

频率准确度一般用相对误差表示，这是数字仪器所特有的误差。当闸门时间 T 选定后，频率越低，量化误差越大。

2. 频率测量范围

在输入电压符合规定要求值时，能够正常进行测量的频率区间称为频率测量范围。频率测量范围主要由放大整形电路的频率响应及所设计的计数范围决定。

3. 数字显示位

数字频率计的数字显示位数决定了频率计的分辨率，位数越多，分辨率越高。

4. 测量时间

频率计完成一次测量所需要的时间，包括准备、计数、锁存和复位时间。

1.3 频率计设计方案概述

1.3.1 频率的测量方法

测量频率的方法有多种，其中电子计数器测量频率具有精度高、使用方便、测量迅速以及便于实现测量过程自动化等优点，是频率测量的重要手段之一。电子计数器测频有两种方式：一种是直接测频法，即在一定闸门时间内测量被测信号的脉冲个数；另一种是间接测频法，如周期测频法，它通过测量被测信号一个周期时间内计时信号的脉冲个数，换算出被测信号的频率。直接测频法适用于高频信号的频率测量；间接测频法适用于低频信号的频率测量。

目前，有三种常用的频率测量方法：直接测量法（以下称 M 法）、周期测量法（以下称 T 法）和综合测量法（以下称 M/T 法）。前两种测量法的精度都与被测信号有关，它们属于非等精度测量法。设 M/T 法的实际闸门时间为 t ，被测信号周期数为 N_x ，它通过测量被测信号数个周期的时间，换算出被测信号的频率，克服了测量精度对被测信号的依赖性。M/T 法的核心思想是通过闸门信号与被测信号同步，将闸门时间 t 控制为被测信号周期长度的整数倍。测量时，先打开预置闸门，当检测到被测闸门关闭时，标准信号并不立即停止计数，而是等所检测的被测信号脉冲到达时才停止，从而完成被测信号的整数个周期的测量。测量的实际闸门时间与预置闸门时间可能不完全相同，但最大差值不超过被测信号的一个周期。

1.3.2 直接测频法的原理

直接测频法是在给定的闸门时间内测量被测信号的脉冲个数，进行换算得出被测信号的频率。该方法简单可行，实现起来比较简单。

数字频率计直接测频法的原理框图如图 1-2 所示。

由图 1-2 可以看出，数字频率计主要由控制电路、闸门电路、计数电路和锁存电路等组

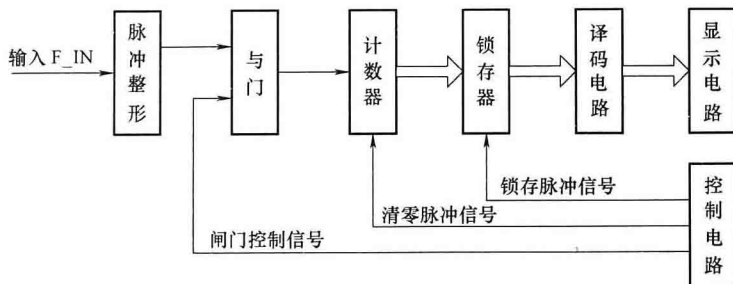


图 1-2 直接测频法原理框图

成。设计数字频率计的关键是控制电路的设计，由控制电路产生测频所需的满足一定时序关系的闸门信号、清零脉冲信号和锁存信号。为了保证测频准确，在每次闸门信号开通前必须让计数器处于零状态，保证计数器每次都从零开始计数。因此，在闸门信号变为高电平前，必须给计数器提供一个清零脉冲信号。当闸门信号为高电平时，被测信号经过与门并且作为计数器的时钟输入，计数器开始计数；当闸门信号变成低电平时，与门被封锁，计数器停止计数。如果闸门宽度为 1s，则闸门时间内计数器的计数值即为被测信号的频率；如果闸门宽度为 0.1s，则闸门时间内计数器的计数值即为被测信号频率的 10 倍，相当于频率计的量程为 $\times 10$ 挡；改变闸门宽度可以改变频率计的量程，闸门宽度越小，频率计的量程越大。

1.4 基于 FPGA 的自动换量程频率计设计

1.4.1 自动换量程原理

用 FPGA 来实现自动换量程频率计的设计，需要对其进行细化，将系统分成如下五个模块：控制模块、分频模块、计数模块、量程转换模块、锁存模块。通过对图 1-2 所示的基本原理图进行深入分析，可得到如图 1-3 所示的更加直观的原理框图。

对图 1-3 所示原理框图介绍如下：

(1) 50MHz 的时钟信号经过分频器得到三个不同的频率 f_0 、 f_5 、 f_{50} ，它们的频率分别为 0.5Hz、5Hz、50Hz，这三个频率作为闸门信号输入到计数器。三个计数器在闸门信号的上升沿到来时开始对被测信号 F_{IN} 进行计数。当闸门信号的下降沿到来时，计数结束，并且将所记的数据分别锁存起来。在计数过程中，若计数数值超过 9999，则产生溢出信号，使溢出标志置 1。

(2) 将计数后锁存的数据输入到量程选择器，该量程选择器在判断三个计数器的溢出标志基础上选择不同计数器的数据进行输出。量程选择器的具体工作原理：若计数器 3 的溢出标志 F_OUT3 为 1，则输出为高阻态；若计数器 3 的溢出标志 F_OUT3 为 0，而计数器 2 的溢出标志 F_OUT2 为 1，则量程选择器的输出为计数器 3 的计数结果，但是被测频率值为

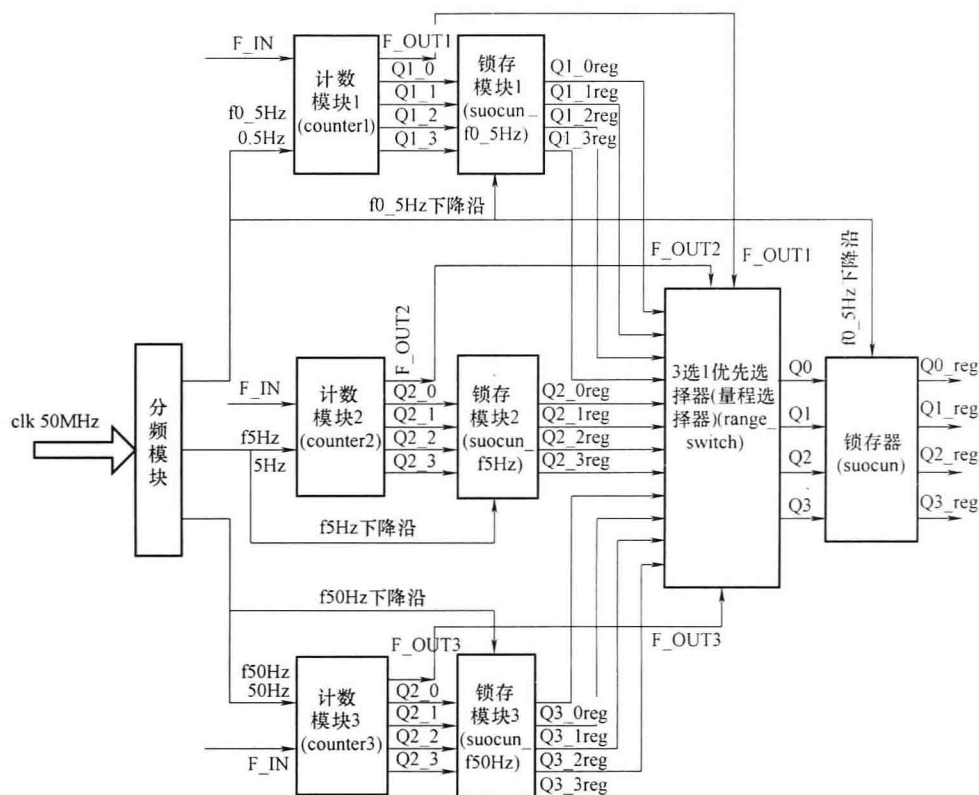


图 1-3 基于 FPGA 的自动换量程原理框图

计数器 3 的计数结果乘以 100；若计数器 3、2 的溢出标志 F_OUT3 、 F_OUT2 为 0，而计数器 1 的溢出标志 F_OUT1 为 1，则量程选择器的输出为计数器 2 的计数结果，但是被测频率值为计数器 2 的计数结果乘以 10；若计数器 3、2、1 的溢出标志 F_OUT3 、 F_OUT2 、 F_OUT1 都为 0，则量程选择器的输出为计数器 1 的计数结果，这时被测频率值就为计数器 1 的计数结果。量程选择器的输出数据输入到锁存器，在 0.5Hz 信号的下降沿到来时，将数据锁存起来，这样所测的频率就能清楚地通过译码电路显示出来了。

需要说明的是，本设计过程中设计了三个量程，分别为 10k 挡、100k 挡、1M 挡。其中，1s 的闸门时间对应的计数器为 10k 挡，0.1s 的闸门时间对应的计数器为 100k 挡，0.01s 的闸门时间对应的计数器为 1M 挡。另外，由于本设计只涉及 FPGA，因此没有考虑模拟信号的频率测量，也没有考虑译码显示电路的设计。如果要测量模拟信号的频率，只需在计数模块前加上一个信号整形电路，将输入的模拟信号转换成脉冲矩形信号，再进行计数即可。

1.4.2 模块设计

1. 控制模块

控制模块是整个自动换量程频率计的核心模块，它贯穿于整个频率计的设计过程。在设

计时将控制模块置于顶层模块，通过控制电路调用各个底层模块（分频模块、计数模块、量程转换模块、锁存模块）并使底层模块之间相互协调工作，从而实现自动换量程频率计的功能。

控制模块的设计代码详见光盘中附件 1-1。

2. 分频模块

直接测频法通过计算在一定闸门时间内测量被测信号的脉冲个数，进行换算得出被测信号的频率，而这个闸门时间是通过分频模块来产生的。闸门时间要求非常准确，它直接影响测量精度。

由于频率计的量程总共有三个，也就需要三个不同的闸门时间。为了方便计算，在设计过程中，采用 1s、0.1s、0.01s 三个闸门时间。当闸门时间到来时开始计数，闸门时间结束时结束计数。

对于 1s 的闸门时间，这里用的是 1s 的高电平，也就是说，1s 的闸门时间的周期其实是 2s，频率为 0.5Hz。分频模块的时钟输入是 Spartan-3E 开发板的时钟信号，它的频率为 50MHz。由计算式 $50\text{MHz}/0.5\text{Hz} = 100000000$ 可知，1s 的闸门时间需要对 50MHz 的时钟信号进行 100000000 分频得到。同理可知，0.1s 的闸门时间需要对 50MHz 的时钟信号进行 10000000 分频得到；0.01s 的闸门时间需要对 50MHz 的时钟信号进行 1000000 分频得到。

在 Verilog HDL 设计过程中，先对 Spartan-3E 开发板的 50MHz 时钟信号进行 1000000 分频，得到 0.01s 的闸门波形；接下来对 0.01s 的闸门波形进行 10 分频，得到 0.1s 的闸门波形；再对 0.1s 的闸门波形进行 10 分频，得到 1s 的闸门时间。这样的设计能够节省硬件资源，也能使代码看起来更加简洁明了。

图 1-4 所示为分频模块 Verilog HDL 代码设计好后得到的框图。左边的输入引脚 clk 输入的是 Spartan-3E 的 50MHz 时钟信号；右边的三个输出引脚 f0_5Hz、f5Hz、f50Hz 分别输出三个分频后的闸门信号，其频率分别对应 0.5Hz、5Hz、50Hz。

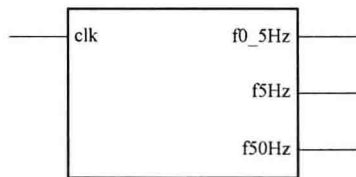


图 1-4 分频模块框图

展开图 1-4 所示的框图，便可以得到分频模块的 RTL 视图，如图 1-5 所示（见书后插图），从图中可看出该分频模块的实现方式。

分频模块的代码详见光盘中附件 1-2。

3. 计数模块

计数模块的主要功能是对被测信号的脉冲个数进行计数。

计数模块为 4 位十进制计数器，每次计数开始时，都对计数器和溢出标志进行清零操作。当闸门波形的上升沿到来时，计数模块开始对被测信号脉冲进行计数。每次脉冲上升沿到来时，便对计数进行加 1 操作，当个位计数到 9 时，在下一个被测信号脉冲上升沿到来时，个位跳转为 0，十位加 1；当个位为 9、十位也为 9 时，在下一个被测信号脉冲上升沿到来时，个位和十位同时跳转为 0，百位进行加 1 操作；当个位、十位、百位都为 9 时，在下一个被测信号脉冲上升沿到来时，个位、十位和百位同时跳转为 0，千位进行加 1 操作；当个位、十位、百位、千位都为 9 时，在下一个被测信号脉冲上升沿到来时，个位、十位、百位、千位同时跳转为 0，与此同时溢出标志位被置 1。在计数过程中，只要闸门波形的下降沿到来，计数器就停止计数。

由于有三个不同的闸门时间, 因此在这里设计了三个计数器, 分别在 1s、0.1s、0.01s 的闸门时间内进行计数。

图 1-6 所示为计数模块框图。EN 为使能端, 当 EN 为高电平时开始计数; EN 为低电平时对计数器输出清零。F_IN 为被测信号输入端口, Q0、Q1、Q2、Q3 为计数输出端口。F_OUT 为溢出端口, 当计数超出 9999 时, F_OUT 置 1。

需要说明的是, 在各模块进行联调时, EN 输入的信号应为闸门信号, 即 0.5Hz、5Hz、50Hz 的闸门波形。在闸门信号的上升沿到来时, 开始计数; 闸门信号下降沿到来时, 计数结束。

展开图 1-6 所示的框图, 便可以得到计数模块的 RTL 视图, 如图 1-7 所示 (见书后插页)。

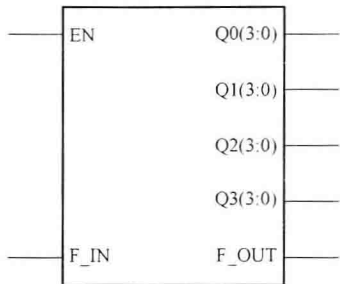


图 1-6 计数模块框图

计数模块代码详见光盘附件 1-3。

4. 量程转换模块

量程转换模块是为了实现在不同的频率范围内采用不同的量程进行测量的功能。

量程转换模块的实现方式如下：

频率计开始计数时, 系统默认量程为 10k 挡 (闸门时间为 1s 挡)。若计数值小于 9999, 则量程就选择在 10k 挡。当计数超过 9999 时, 产生溢出信号, 使 10k 挡的溢出标志位置 1, 这时, 量程转换为 100k 挡。若在 100k 挡 (即闸门时间为 0.1s) 时, 计数值仍然超过 9999, 则产生溢出信号, 使 100k 挡的溢出标志置 1, 同时量程转换为 1M 挡。若在 1M 挡时, 计数值超过 9999, 则产生溢出信号, 使 1M 挡的溢出标志置 1, 同时输出为高阻态, 表示所测频率超出频率计的量程。

在 Verilog HDL 设计过程中, 为了简单地实现量程转换, 采用三个计数模块, 分别对应 1s、0.1s、0.01s 的闸门时间。被测信号输入, 在闸门打开时 (闸门信号高电平时), 三个计数器同时计数, 但是系统默认为 10k 挡的计数值为输出值。当 1M 挡的溢出标志为 1 时, 系统输出为高阻态。当 1M 挡的溢出标志为 0, 而 100k 挡的溢出标志为 1 时, 将 1M 挡的计数值作为输出。由于 1M 挡的闸门时间为 0.01s, 故所测信号的频率为 1M 挡的计数值 $\times 100$ 。当 1M 挡、100k 挡的溢出标志都为 0, 而 10k 挡的溢出标志为 1 时, 就将 100k 挡的计数值作为输出。由于 100k 挡的闸门时间为 0.1s, 故所测信号的频率为 100k 挡的计数值 $\times 10$ 。当 1M 挡、100k 挡、10k 挡的溢出标志都为 0 时, 就将 10k 挡的计数值作为输出, 此时, 由于闸门时间为 1s, 故所测信号的频率值就为 10k 挡的计数值。

图 1-8 所示为量程转换模块框图。

输入 Q1_0reg、Q1_1reg、Q1_2reg、Q1_3reg 为计数器 1 的锁存输出值, F_OUT1 为计数器 1 的溢出标志位。输入 Q2_0reg、Q2_1reg、Q2_2reg、Q2_3reg 为计数器 2 的锁存输出值, F_OUT2 为计数器 2 的溢出标志位。Q3_0reg、Q3_1reg、Q3_2reg、Q3_3reg 为计数器 3 的锁存输出值, F_OUT3 为计数器 3 的溢出标志位。clk 为 50MHz 的时钟信号。Q0、Q1、Q2、Q3 为选择不同量程时计数值的输出, 也就是三个计数器中某个计数值的输出。

展开量程转换模块, 就可以得到如图 1-9 所示 (见书后插页) 的量程转换模块的 RTL 视图。

量程转换模块的代码详见光盘中的附件 1-4。

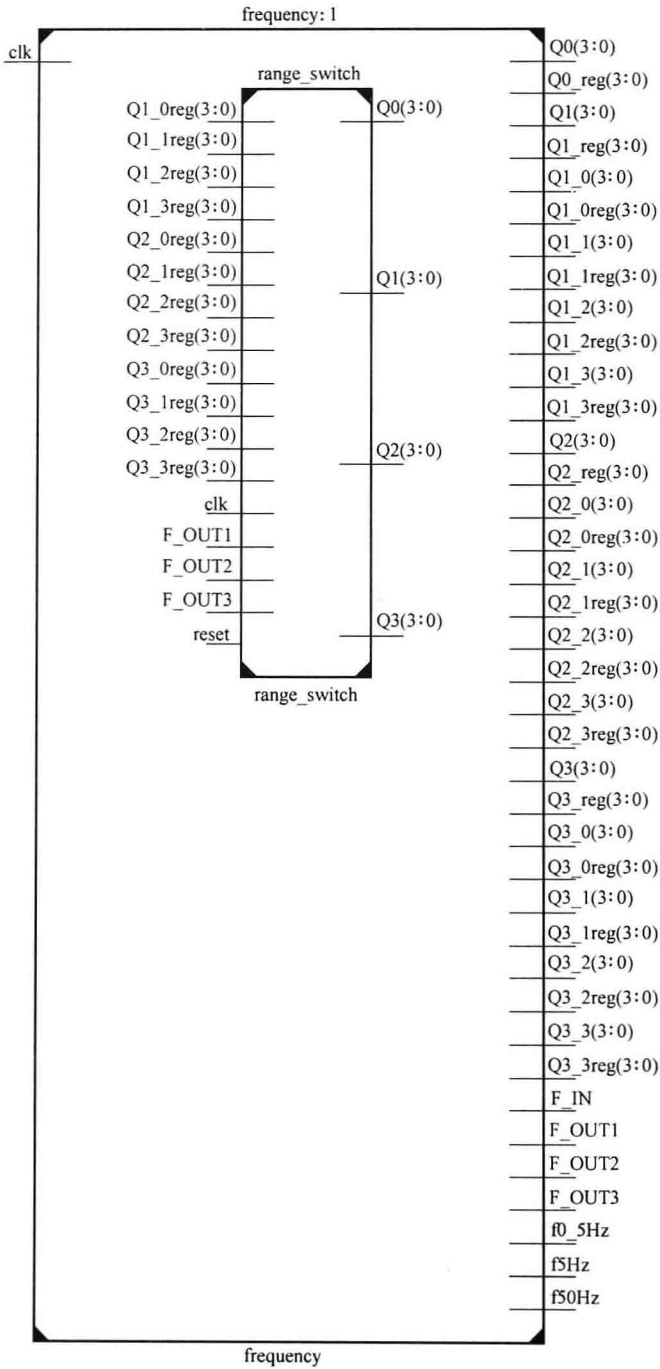


图 1-8 量程转换模块框图

5. 锁存模块

锁存模块的功能是将计数所得的数据在规定时间进行锁存。

在闸门信号的下降沿到来时，计数结束。闸门信号的下降沿触发锁存器，将计数结果锁存起来。

在 Verilog HDL 设计过程中，设计了三个锁存器用来锁存三个计数器的计数结果。另外，在量程选择器模块后面还接了一个锁存器，此锁存器将量程选择器所选择的计数结果保存起来，输出给译码显示电路。

图 1-10 所示为量程转换模块后面所接的锁存模块框图，另外三个计数器后面的锁存器框图和图 1-10 类似。输入 Q0、Q1、Q2、Q3 为量程转换模块的输出，f0_5Hz 为 0.5Hz 的闸门信号，当 f0_5Hz 的下降沿到来时，就将 Q0、Q1、Q2、Q3 的值锁存到 Q0_reg、Q1_reg、Q2_reg、Q3_reg。

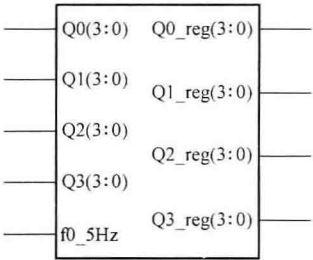


图 1-10 锁存模块框图

展开图 1-10 就可以得到如图 1-11 所示的锁存模块的 RTL 视图。由锁存模块的 RTL 视图可以知道，锁存模块由四个 D 触发器构成，每次 f0_5Hz 信号的下降沿到来时，D 触发器就将 Q0、Q1、Q2、Q3 的值输出给 Q0_reg、Q1_reg、Q2_reg、Q3_reg。

锁存模块的代码详见光盘中附件 1-5。

6. 各模块的综合

当以上五个模块设计好后，将各个模块综合起来。需要注意的是，Verilog HDL 代码与 C 代码不同，它属于硬件代码。因此，在各模块整合时需要用硬件搭线的思维来综合代码。

图 1-12 所示为自动换量程频率计总框图。

输入为时钟信号 clk 和被测信号 F_IN，输出为四位计数值和三个溢出标志位，通过三个溢出标志位和计数值来判断最后测量的频率值为多少。最后所测信号的频率值的计算方法为：若输出 F_OUT3 为 1，则所测信号频率值超出频率计的量程，系统输出高阻态；若输出 F_OUT3 为 0，而输出 F_OUT2 为 1，则量程为 1M 挡，所测信号的频率值为输出计数结果 × 100；若输出 F_OUT3、F_OUT2 为 0，而输出 F_OUT1 为 1，则量程为 100k 挡，所测信号的频率值为输出计数结果 × 10；若输出 F_OUT3、F_OUT2、F_OUT1 均为 0，则量程为 10k 挡，所测信号的频率值就为输出计数结果值。

图 1-13 所示（见书后插页）为自动换量程频率计 RTL 视图。

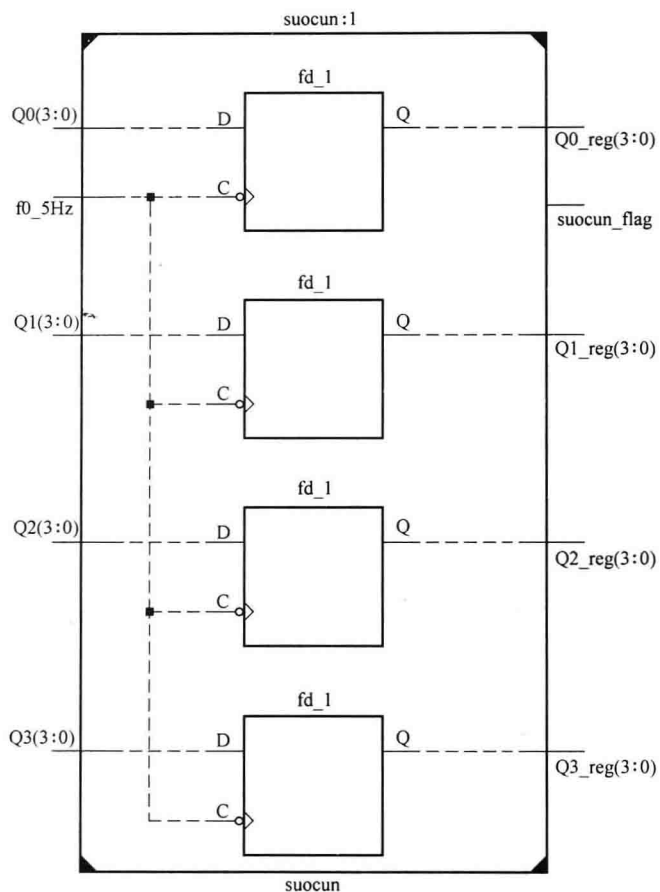


图 1-11 锁存模块的 RTL 视图

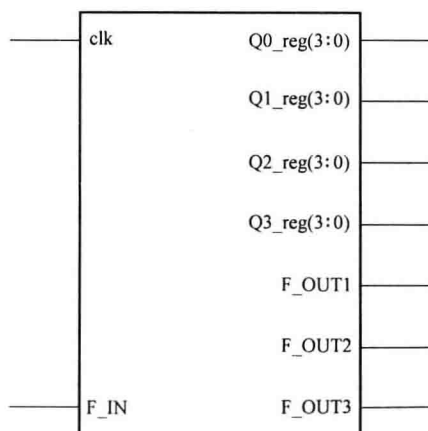


图 1-12 自动换量程频率计总框图