



EDA JISHU YU Verilog HDL SHEJI



普通高等院校电子电气类“十二五”规划系列教材

EDA技术与Verilog HDL设计

EDA JISHU YU Verilog HDL SHEJI

主 编 黄 勇
副主编 任家富



西南交通大学出版社
www.xnjdcbs.com

普通高等院校电子电气类“十二五”规划系列教材



EDA 技术与 Verilog HDL 设计

主 编 黄 勇

副主编 任家富

西南交通大学出版社

· 成 都 ·

内容简介

本书是针对普通高等院校应用型人才培 养而编写的教材，同时可作为相关专业技术人员的参考用书。其主要内容包括：EDA 技术概述、FPGA/CPLD 器件结构及其应用、Quartus II 集成开发工具及其应用、Verilog HDL 结构与要素、Verilog HDL 基本语句。此外，本书在专门章节给出了 EDA 设计实例与 EDA 技术实验，以强化学生对基本知识的理解和掌握。

本书的特色如下：注重实用性，突出实践环节及其特点，把学生引入实际工作环境，强化学生实践能力；体现“问题驱动”的教学思想，融入操作性强、贴近实践的教学实例，遵循“提出问题—分析问题—解决问题”这一认知规律，用“问题”驱动教学，以便于教师授课和启发学生思考。

图书在版编目 (C I P) 数据

EDA 技术与 Verilog HDL 设计 / 黄勇主编. —成都：
西南交通大学出版社，2014.7
普通高等院校电子电气类“十二五”规划系列教材
ISBN 978-7-5643-3163-4

I. ①E… II. ①黄… III. ①电子电路—电路设计—
计算机辅助设计—高等学校—教材②VHDL 语言—程序设计—
高等学校—教材 IV. ①TN702②TP312

中国版本图书馆 CIP 数据核字 (2014) 第 142107 号

普通高等院校电子电气类“十二五”规划系列教材
EDA 技术与 Verilog HDL 设计

主编 黄 勇

责任编辑	李芳芳
助理编辑	宋彦博
封面设计	何东琳设计工作室
出版发行	西南交通大学出版社 (四川省成都市金牛区交大路 146 号)
发行部电话	028-87600564 028-87600533
邮政编码	610031
网 址	http://www.xnjdcbs.com
印 刷	成都市书林印刷厂
成品尺寸	185 mm × 260 mm
印 张	15.5
字 数	386 千字
版 次	2014 年 7 月第 1 版
印 次	2014 年 7 月第 1 次
书 号	ISBN 978-7-5643-3163-4
定 价	32.00 元

图书如有印装质量问题 本社负责退换
版权所有 盗版必究 举报电话：028-87600562

普通高等院校电子电气类“十二五”规划系列教材

编审委员会

(按姓氏音序排列)

主任 肖建

副主任 董秀成 高心 霍平 黄勤珍 巨辉

隆泗 王军 魏金成 王毅飞 肖尚辉

郑会军 张晓逵 任家富

委员 陈劲松 程文波 陈永强 杜诚 邓凯

傅林 黄立平 黄小红 黄勇 蒋世奇

林彬 刘莉 李琳琳 刘鹏 吕晓琴

倪雨 彭安金 潘育山 邵仕泉 宋乐鹏

汪华章 王勇 夏凌 谢志萍 严寒冰

杨乃琪 杨志坚 张彼德 郑海春 朱晋梅

郑骊 张莲 张雪原 张玉平

前 言

随着信息技术的快速发展,电子产品、电子系统的设计正在发生着深刻的变化。这些变化包括:数字化,性能和复杂度大幅提高,更新换代快,等等。作为电子系统产品的核心,大规模集成电路(VLSI)的发展十分迅速,制造工艺正朝着深亚微米工艺发展,通过IP(Intelligence Property)核的复用实现了在单芯片上完成一个复杂系统的设计。同时,电子系统设计的复杂度也大大提高,对电子设计的自动化(EDA, Electronic Design Automation)的技术要求也越来越高。可以说,EDA技术是现代电子系统设计的必备技术。在现代复杂电子系统的设计中,若没有EDA工具的辅助,要完成超大规模集成电路设计、数模混合设计、软硬件协同设计等工作将是难以想象的。

目前,EDA技术已经成为电子信息类专业的学生必须掌握的基本技能。各大院校也早已将其当作一门重要的专业基础课。但随着该技术的发展和教学要求的提高,特别是随着教学的改革和学时的缩减,该课程所涉及的教学内容必须进行优化和更新。基于此,我们编写了这本建议学时为32~40学时的教材。其内容编排的思路是:首先重点介绍EDA技术的基础知识,然后在此基础上通过设计实例深化理解,最后通过实验强化学生对基本内容的掌握,并逐步培养其实践能力。

本书共分为8章,各章的主要内容如下:

第1章 EDA技术概述,介绍了电子系统设计技术及其发展历程、EDA技术及其设计流程、EDA技术的发展趋势、本书的主要内容及学习重点。

第2章 FPGA/CPLD器件结构及其应用,包括PLD器件概述、低密度PLD器件的工作原理与基本结构、常用CPLD器件的工作原理与结构、常用FPGA器件的工作原理与结构、可编程逻辑器件的边界扫描测试技术简介、常用FPGA/CPLD器件的编程与配置、常用FPGA/CPLD器件概述、常用FPGA/CPLD器件标识及选择,以及FPGA/CPLD的发展趋势等。

第3章 Quartus II集成开发工具及其应用,包括Quartus II设计流程概述、Quartus II开发环境主界面初步认识、Quartus II的基本操作——原理图输入法、Quartus II的基本操作——文本输入法、基于宏功能模块与IP的设计、设计优化与嵌入式测试功能的应用。

第4章 Verilog HDL结构与要素,包括Verilog HDL的基本结构与描述风格、Verilog HDL语法与要素等。

第5章 Verilog HDL基本语句,包括过程语句、块语句、赋值语句、条件语句、循环语句、任务与函数、系统函数与编译指示语句等。

第6章 EDA设计实例,包括常用组合逻辑电路设计、常用时序逻辑电路设计、存储器设计、有限状态机设计、Verilog HDL综合设计及优化。

第7章 EDA技术实验,包括EDA技术实验基本要求,Quartus II软件使用与简单组合电路设计,8位移位寄存器的设计,带清零、使能的4位加法计数器设计,基于LPM函数

的加法电路设计，深度为 4 的 8 位 RAM 设计，计数器及其 LED 显示设计，任意 8 位序列检测器设计，数控脉冲宽度调制信号发生器设计。

第 8 章 常见 EDA 实验开发系统简介，包括常见 EDA 试验开发系统概述、Altera DE2 开发板简介等。

本书由西华大学电气信息学院黄勇教授担任主编并编写第 1、4、5、6、7、8 章。成都理工大学的任家富教授担任本书副主编并编写了第 2、3 章。其中，第 7 章参考了西华大学电气信息学院的 EDA 实验指导书。全书的统稿工作由黄勇教授完成。在编写过程中，我们努力实现以下目标：注重实用性，突出实践环节及其特点，把学生引入实际工作环境，强化学生实践能力；体现“问题驱动”的教学思想，融入操作性强、贴近实践的教学实例，遵循“提出问题—分析问题—解决问题”这一认知规律，用“问题”驱动教学，以便于教师授课和启发学生思考。

本书是针对普通高等院校应用型人才培养而编写的教材，同时可作为相关专业技术人员的参考用书。虽然我们的出发点是为广大师生提供一本实用、简明、精练的教材，但限于编写水平，书中肯定存在许多不足之处。我们真诚地希望读者能对书中的不足提出批评，我们将认真听取意见并努力做得更好。

与作者的联系方式：

E-mail: huangyong@mail.xhu.edu.cn

地址：成都西华大学电气信息学院 610039

编者

2014 年 1 月

目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术的发展历程	1
1.2 EDA 技术的特征及设计流程	2
1.3 EDA 技术的发展趋势	5
1.4 本书的主要内容及学习重点	6
习 题	8
第 2 章 FPGA/CPLD 器件结构及其应用	9
2.1 PLD 器件概述	9
2.2 低密度 PLD 器件的工作原理与基本结构	11
2.3 常用 CPLD 器件的工作原理与结构	14
2.4 常用 FPGA 器件的工作原理与结构	18
2.5 可编程逻辑器件的边界扫描测试技术简介	22
2.6 常用 FPGA/CPLD 器件的编程与配置	24
2.7 常用 FPGA/CPLD 器件概述	27
2.8 常用 FPGA/CPLD 器件的标识及选择	30
2.9 FPGA/CPLD 的发展趋势	33
习 题	34
第 3 章 Quartus II 集成开发工具及其应用	35
3.1 Quartus II 设计流程概述	35
3.2 Quartus II 开发环境主界面	36
3.3 Quartus II 的基本操作——原理图输入法	37
3.4 Quartus II 的基本操作——文本输入法	48
3.5 基于宏功能模块与 IP 的设计	53
3.6 设计优化与 SignalTap II 简介	87
习 题	93
第 4 章 Verilog HDL 结构与要素	94
4.1 概 述	94
4.2 Verilog HDL 的基本结构与描述风格	95
4.3 Verilog HDL 语法与要素	102
习 题	115

第 5 章 Verilog HDL 基本语句	117
5.1 Verilog HDL 行为描述构成	118
5.2 过程语句	119
5.3 块语句	123
5.4 赋值语句	124
5.5 条件语句	128
5.6 循环语句	132
5.7 任务与函数	135
5.8 编译指示语句与系统函数简介	138
习 题	144
第 6 章 EDA 设计实例	146
6.1 常用组合逻辑电路设计	146
6.2 常用时序逻辑电路设计	154
6.3 存储器设计	161
6.4 有限状态机设计	163
6.5 Verilog HDL 综合设计及优化	170
习 题	188
第 7 章 EDA 技术实验	190
7.1 EDA 技术实验基本要求	190
7.2 Quartus II 软件使用与简单组合电路设计	191
7.3 8 位移位寄存器的设计	201
7.4 带清零、使能的 4 位加法计数器设计	203
7.5 基于 LPM 函数的加法电路设计	205
7.6 深度为 4 的 8 位 RAM 设计	210
7.7 计数器及其 LED 显示设计	212
7.8 任意 8 位序列检测器设计	215
7.9 数控脉冲宽度调制信号发生器设计	217
习 题	220
第 8 章 常见 EDA 实验开发系统简介	221
8.1 概 述	221
8.2 Altera DE2 开发板简介	221
参考文献	239

第 1 章 EDA 技术概述

随着信息化步伐的加快,电子系统的设计理念和设计方法正在发生着深刻且广泛的变化。其特点是电子系统产品的数字化趋势明显,性能和复杂度大幅提高,更新换代越来越快。作为电子系统产品的核心,集成电路的发展也日新月异,其制造工艺正朝着深亚微米(VDSM, Very Deep Sub-Micrometer)工艺发展,通过 IP 核的复用将一个复杂系统在单芯片上完成已成为发展趋势。同时,系统设计的复杂度也大大提高,对电子设计的自动化(EDA, Electronic Design Automation)的技术要求也越来越高。EDA 技术是现代电子系统设计的必备技术,在现代复杂电子系统的设计中,若没有 EDA 工具的辅助,要完成超大规模集成电路设计、数模混合设计、软硬件协同设计等工作将是难以想象的。

1.1 EDA 技术的发展历程

EDA 技术是以计算机技术、微电子技术的发展为前提,以计算机为工作平台,综合运用智能技术、电子技术以及计算机图形学、计算数学、拓扑学、逻辑学、微电子工艺结构等科学成果的先进技术,主要以 EDA 软件工具的形式完成电子系统的自动化设计。

EDA 技术目前已经历了 CAD 阶段、CAE 阶段和 EDA 阶段,正在向 SoC 与 ESDA 阶段发展。

1. CAD 阶段

电子设计的 CAD 阶段是 EDA 技术发展的早期阶段,大致为 20 世纪 70~80 年代。这一时期计算机并未普及且运行速度较慢,功能有限。这时人们主要运用计算机完成一些单独的工作,如绘制印制电路板(PCB)、逻辑仿真、版图编辑等,并没有形成系统。

2. CAE 阶段

到了 20 世纪 80 年代后期,电子系统设计工作越来越复杂。同时,随着计算机技术的发展,CAD 技术不断发展完善,电子系统设计的方法学也取得了进步。这时人们将各个 CAD 工具逐步集成,形成一个 CAE(Computer Aided Engineering)系统。它具有友好而直观的界面,使设计工程师在产品最终制作前就能预知产品的性能,大大提高了产品设计的可靠性。

3. EDA 阶段

进入 20 世纪 90 年代, 电子设计进入以硬件描述语言 (HDL, Hardware Description Language) 和系统级设计、仿真与综合为典型特征的 EDA 阶段。

由于微电子技术、工艺的快速发展, 普通电路的设计越来越复杂, 集成电路的集成度越来越高, 例如在单一芯片上可集成数亿晶体管, 同时电路的速度达到 Gbps 量级。此时, 没有 EDA 技术和工具的支持, 电子系统的成功开发和设计几乎不可能实现。

EDA 设计技术与工具已成为电子系统设计不可或缺的部分。其所涵盖的方面包括: 系统级设计、数字电路设计、模拟电路设计、模数混合电路设计、PCB 设计、集成电路的版图设计、可编程器件的设计、高速电路的设计以及系统的综合与仿真等。

随着模拟电路的硬件描述语言的标准化, 模拟可编程器件、知识产权核 (IP, Intelligent Property) 的复用、软硬件技术的融合以及高速数字信号处理器的出现必将促使 EDA 技术取得更大的进步。

4. SoC 与 ESDA 阶段

随着 EDA 技术的发展成熟以及半导体微电子技术的发展, 将一个电子系统集成在一个单一芯片上已成为可能, 这一系统被称为单芯片系统 SoC (System on Chip)。

此时, 相应的 EDA 工具也要提供系统级的设计支持, 包括不再局限于硬件, 而将设计支持扩展到软件设计的支持, 如实时或准实时操作系统等。从本质上来说, 就是将 EDA 技术提升到 ESDA (ESDA, Electronic System Design Automation) 技术。要实现 ESDA, 需要实现对复杂电子系统的抽象描述, 并由这种抽象化的描述进一步完成系统级的综合、仿真验证。目前, ESDA 技术尚处于起步状态, 仅取得了一些初步成果, 如硬件与软件的混合仿真工具 (Co-Simulation) 等, 但可以预计, 随着技术的积累和进步, 未来 ESDA 技术必将得到很大的发展。

总之, EDA 技术正在快速发展, 主要表现在: ① 正在全面融入电子设计的各个领域, 使电子领域的各个学科相互包容和渗透, 比如信号与信息处理中越来越多地使用基于 FPGA (Field Programmable Gate Array) 的 DSP (Digital Signal Processing) 技术进行高速信号处理等; ② IP 核的开发运用使 SoC、SoPC (System on Programmable Chip) 技术进一步提高并实用化; ③ 由于半导体工艺采用小于 $1\ \mu\text{m}$ 的深亚微米技术, 使得 EDA 技术必须面对连线延时迅速上升导致的设计的可能不收敛, 电路的功耗, 时钟系统的可靠性等一系列问题, 因此 EDA 技术正在适时地推出系统级、行为级设计和验证语言与工具, 以满足复杂系统的设计需求。

1.2 EDA 技术的特征及设计流程

1.2.1 EDA 技术的特征和优势

EDA 技术的主要特征包括:

(1) 采用硬件描述语言进行设计输入。

EDA 技术通过硬件描述语言对设计对象（如电路、电子系统）进行从抽象行为到内部具体功能、结构的描述，来实现电子设计的各个阶段、各个层次的仿真、验证，并进而保证设计的正确性，减少设计成本和缩短设计周期。

(2) 引入较完备的库（Library）。

EDA 工具的自动化设计过程依赖于完备的各类库，比如逻辑仿真时用的仿真库，综合用的综合库，版图综合用的版图库，还有测试库等。各类库的规模、功能及完善程度是衡量一个 EDA 工具优劣的重要标准。

(3) 采用开放的标准。

EDA 技术中采用的 EDA 工具一般具有一个开放的标准化的结构，允许使用其他 EDA 厂家的工具进行协同设计。同时，设计语言、中间文件的标准化也为这些工具之间的文件交换提供了保证。

(4) 利用 EDA 工具实现逻辑的综合、优化与验证。

EDA 技术允许设计者对设计进行抽象的行为描述、寄存器传输级（RTL, Register Transport Level）描述或门级甚至晶体管级等具体描述，EDA 工具均能够对上述描述进行逻辑综合并进行逻辑优化。EDA 工具的发展方向是可以对系统级的更高层级描述实现综合和优化。

综合上述 EDA 技术的主要特征，可以得出利用 EDA 技术进行电子系统设计的优势在于：

(1) 借助 EDA 工具可实现自顶向下（top-down）的设计，通过“设计→综合优化→验证→修改或优化设计→再验证”的不断重复，实现一个满足系统要求的设计。这种自顶向下的设计方法较自底向上（bottom-up）的由基本电路逐个向上组合的设计方法，具有设计效率高、修改容易、成本低且不易出错的优势。

(2) IP 复用的设计。

随着设计的复杂度越来越高，基于 IP 复用的设计越来越重要。EDA 技术及其 EDA 工具为 IP 的设计验证、IP 的复用提供了技术保障。

IP 即知识产权，在 IC（Integrated Circuit）设计领域实际上是一种能完成某种功能的设计或设计模块，也称 IP 核（IP-Core）。IP 核分为：软核、固核和硬核。软核就是一个经过验证的 HDL 描述的功能模块，如基于 Verilog HDL 或 VHDL 的描述等。软核不涉及具体的物理实现或与工艺无关，使得用户在复用时可以修改、裁剪以符合设计需要，因此具有很大的灵活性，同时也对设计者的设计水平有较高要求。固核是指已经完成了综合的网表，用户在复用时修改的余地较小。硬核是以版图形式提供给用户，具体文件格式如 GDSII。硬核含有具体厂家的设计工艺，一般不能进行修改，即使用者只能根据设计的要求选择特定工艺的硬核。

对于产品设计者，IP 复用技术也提供了一种可能，就是新的产品可以在已有设计的基础上不断地改进升级，因此人们也提出了基于平台的设计思想（platform based design），即利用已有的设计或 IP 更快地构建符合市场或特定应用的设计方法。显然 EDA 技术和 EDA 工具为这种设计方法提供了保证。

(3) 标准化使设计与工艺无关。

设计语言（如硬件描述语言 HDL）的标准化，使设计便于保存、修改、交流和重复利用。同时，由于设计是用标准语言写成的，所以与具体工艺无关。在数字电路的设计语言中，标准化的有 Verilog HDL 和 VHDL 等。

(4) 逻辑的自动综合与优化可以缩短设计周期，提高设计效率。

逻辑电路的综合优化由 EDA 工具完成，使一个设计可以在一个更大规模内进行优化，使设计效率更高、周期更短。

1.2.2 EDA 技术的设计流程

EDA 技术借助 EDA 工具进行电路设计，采用自顶向下的设计流程，如图 1.1 所示。

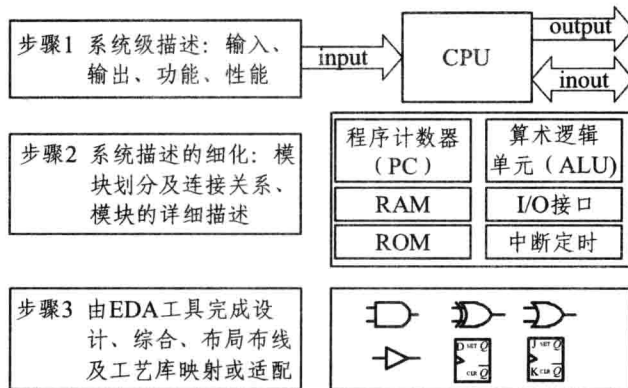


图 1.1 自顶向下的设计流程

由图 1.1 可以看到，自顶向下的设计流程包括：首先根据系统设计要求，进行系统级的描述，如系统的输入、输出和功能性能描述；接着对系统的描述进行细化，即划分模块、模块之间的连接关系描述、模块功能的详细描述；最后借助 EDA 工具完成设计、综合、布局布线和工艺库映射及适配。

下面以数字电路的设计过程为例进行详细说明。

图 1.2 给出了的数字电路 EDA 设计流程。首先根据设计方案，对每个模块和顶层进行设计输入。设计输入完成后，利用 EDA 工具进行综合。这时可以对设计进行功能仿真，观察在给定的输入下是否产生了规定的输出。如果不满足设计要求应进行设计输入的修改。如果满足要求，就进行布局、布线适配及优化，产生有布线延迟和元件延迟的网表。对含有延迟的网表进行时序仿真，看是否满足设计要求。如果不满足设计要求，需要修改设计输入或进行进一步的优化布局、布线，并进一步进行时序仿真，直至满足要求。在时序仿真满足设计要求后，就可以将设计下载或配置到 FPGA/CPLD 中，进行硬件的验证。

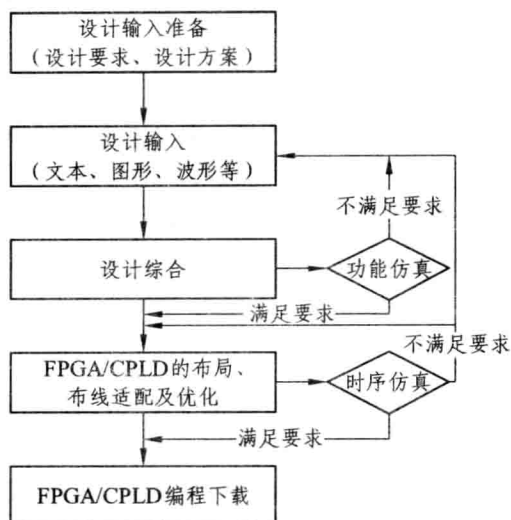


图 1.2 数字电路 EDA 设计流程

1.2.3 一些常用的 EDA 工具

主要的专业 EDA 工具公司有：Synopsys、Mentor Graphics、Cadence Design Systems、Synplicity 等。这些专业公司一般提供按功能划分的 EDA 工具。另外一些可编程器件公司，如 Altera、Xilinx、Lattice 等，一般提供集成的 EDA 工具。

可编程器件公司提供的集成 EDA 工具包括：Altera 的 Quartus II（其早期版本为 Max + Plus II），Xilinx 的 ISE，Lattice 公司的 ispLEVER 等。这些 EDA 工具集成了设计输入、逻辑综合、仿真、布局布线及下载等开发工具。

按照功能划分，EDA 工具包括：

（1）设计输入工具：如 Mentor 公司的 HDL designer。另外一些通用文本编辑器也可用于设计的文本输入，如 UltraEdit 等。

（2）逻辑综合工具：用于 CPLD/FPGA 的逻辑综合工具有 Synopsys 公司的 FPGA Express、FPGA Compiler 和 FPGA compiler II，Mentor Graphics 公司的 Leonardo Spectrum，Synplicity 公司的 SynplifyPro/Synplify 等。专用于集成电路进行综合的工具有 Synopsys 公司的 Design Compiler，Cadence 公司的 Synergy 等。

（3）仿真工具：主要有 Synopsys 公司的 VCS（用于 Verilog HDL）、Scirocco（用于 VHDL），Mentor Graphics 公司的 Modelsim，Cadence 公司的 NC-Verilog/NC-VHDL/NC-sim 及 Verilog-XL 等。

关于其他 EDA 工具软件，大家可以查阅相关 EDA 工具公司的产品介绍。

1.3 EDA 技术的发展趋势

随着应用需求的增长，以及集成电路工艺和电子计算机技术的发展，EDA 技术将不断发展，并主要体现在以下几个方面：

1. EDA 软件的进一步发展

由于集成电路工艺的发展,如由微米级的工艺发展到几十纳米级的工艺,以及更高的集成度和更复杂系统的设计要求,EDA 设计软件工具将具有更加强大的功能且使用更方便。其主要表现是:逐步提供由更加抽象的系统级描述到具体逻辑电路的综合功能,如 System C、System Verilog 语言等;模拟与数字的混合电路设计能力;使用平台由工作站向普通个人计算机平台迁移;更加智能化和自动化,以提高设计效率,缩短产品开发周期,从而提高产品的竞争力。

2. ASIC 与 FPGA 的融合

ASIC 是基于特定应用的集成电路,通过优化设计,具有芯片尺寸小、功能强、功耗低等优点,但是设计复杂、耗时,且需要产品相对稳定定型,有一定的批量。FPGA 具有现场可编程能力,开发费用相对低廉,但体积、功耗相对 ASIC 较大。未来,集合 ASIC 和 FPGA 这两者的优点而构成的新的系统级芯片将会不断出现。比如将成熟的 ASIC 设计作为 IP 嵌入 FPGA 中,可以使设计人员有一定的修改自由度,使设计风险大大降低。总之,ASIC 与 FPGA 的界限将逐渐变得模糊,走向相互融合。

3. SoC 与 ESDA 的进一步发展

SoC 与 ESDA 的进一步发展表现为:不断完善从系统级设计到电路的统一描述语言,在加入热特性、定时、驱动能力、电磁兼容性的约束限制条件下,同时考虑仿真、综合与测试。在系统级仿真、综合工具的发展中,出现了抽象程度更高的 System C、System Verilog、Superlog 等描述语言,逐步实现高级语言(如 C/C++等)与硬件描述语言的混合仿真。总之,虽然从系统级设计到电路的自动转换需要一个漫长的过程,但系统级的仿真与综合技术和工具将不断发展并逐步完善。

4. EDA 技术的广泛应用

由于 EDA 技术具有用软件的方式设计硬件、验证硬件设计的特点,因此对缩短设计周期、降低设计成本、提升开发的灵活性以及对设计的不断改进或升级均具有重要意义。EDA 技术广泛应用于电子产品的设计开发,主要体现在:科研与新产品的设计与开发,传统设备、产品的改造升级,集成电路的设计与开发等。

随着 EDA 技术的广泛应用,它逐渐成为高校电子信息类专业的重要教学内容。同时,通过利用 EDA 技术,高校的教学手段也发生很大的变化,使数字电路和模拟电路的学习更加直观、高效。

总之,EDA 技术的应用将会越来越广泛,它将成为从事电子信息专业工作的相关人员的必备技能。

1.4 本书的主要内容及学习重点

EDA 技术涉及的内容众多,包括系统级设计、数字电路设计、模拟电路设计、模数混

合电路设计、PCB 设计、集成电路的版图设计、可编程器件的设计、高速电路的设计以及系统的综合与仿真等。本书主要涉及数字电路的自动化设计技术。下面简单介绍本书的主要内容和学习中的重点与方法。

1.4.1 本书的主要内容

本书的主要内容包括：

- (1) EDA 技术的基本概念；
- (2) 大规模可编程数字逻辑集成电路的基本知识；
- (3) 数字可编程器件的集成开发软件工具；
- (4) Verilog HDL 硬件描述语言；
- (5) 实验验证系统。

其中，EDA 技术的基本概念部分，可以使读者对 EDA 技术有一个较全面的认识；大规模可编程数字逻辑集成电路的基本知识部分，介绍了器件的基本结构、编程原理以及含有可编程器件的最小系统构成；集成开发软件工具部分，介绍了可编程器件的基本开发流程；Verilog HDL 硬件描述语言部分，主要介绍 Verilog HDL 的基本语法、设计方法、设计技巧等；实验验证系统部分，简单介绍数字电路自动化设计的实验验证过程和验证平台。

1.4.2 EDA 技术的学习重点与方法

数字电路的自动化设计的学习重点：在掌握 EDA 技术的基本概念和了解数字可编程器件及集成开发工具的基础上，重点应掌握 Verilog HDL 描述语言、电路的建模与设计方法。

在 Verilog HDL 硬件描述语言方面包括：Verilog HDL 的基本语法，数据类型与硬件的关系，Verilog HDL 语言的并行性。需要注意的是，仿真软件对 Verilog HDL 的执行虽然是串行的，但是所仿真出来的硬件执行结果是并行的。

在运用 Verilog HDL 进行电路建模时，需要将数字电路设计的基本知识与 Verilog HDL 语言的语法进行有效的结合，需要不断提高数字电路设计能力和对 Verilog HDL 熟练运用的能力，这依赖于不断地实践。

数字电路的自动化设计的学习需要抓住上述重点内容，强化实践，需要通过不断的实践掌握数字可编程器件（CPLD/FPGA）的集成开发工具、实验开发系统的使用方法。在开发工具的使用方面，需要熟练掌握设计输入、综合、适配、下载等过程。对于实验开发系统，应掌握可编程器件的基本原理、结构、性能等，知道如何选用和运用器件。

强化实践还包括广泛学习各种设计实例并在开发工具上加以练习，对部分实例进行运用或修改后加以运用，逐步提高设计能力。

最后需要指出的是，EDA 技术的学习是一个实践性很强的过程，需要在课堂学习的基础上，在课后不断地练习，做到学以致用，逐步提高。

习 题

1. 简述 EDA 技术的发展历程及你对其的认识。
2. EDA 技术有哪些特征和优势？
3. 什么是 top-down 设计方法？它与 bottom-up 方法的区别是什么？
4. EDA 技术中的设计流程是什么？
5. 简述 EDA 技术的发展趋势。
6. 用硬件描述语言设计数字电路有什么优点？

第2章 FPGA/CPLD 器件结构及其应用

2.1 PLD 器件概述

PLD 是可编程逻辑器件 (Programmable Logic Device) 的简称。FPGA 是现场可编程门阵列 (Field Programmable Gate Array) 的简称。两者的功能基本相同,只是实现原理略有不同,所以我们有时可以忽略这两者的区别,统称其为可编程逻辑器件或 PLD/FPGA。

PLD 能做什么呢?可以毫不夸张地讲,PLD 能完成任何数字器件的功能,上至高性能 CPU,下至简单的 74 系列集成电路,都可以用 PLD 来实现。PLD 如同一张白纸或是一堆积木,工程师可以通过传统的原理图输入法或硬件描述语言自由地设计一个数字系统。通过软件仿真,我们可以事先验证设计的正确性。在 PCB 完成以后,还可以利用 PLD 的在线修改能力,随时修改设计而不必改动硬件电路。使用 PLD 来开发数字电路,可以大大缩短设计时间,减少 PCB 面积,提高系统的可靠性。PLD 的这些优点使得 PLD 技术在 20 世纪 90 年代以后得到飞速发展,同时也大大推动了 EDA 软件和硬件描述语言的进步。

2.1.1 PLD 器件的发展过程

早期的可编程逻辑器件只有可编程只读存储器 (PROM)、紫外线可擦除只读存储器 (EPROM) 和电可擦除只读存储器 (EEPROM) 三种。由于结构的限制,它们只能完成简单的数字逻辑功能。

其后,出现了一类结构上稍复杂的可编程芯片,即 PLD,它能够完成各种数字逻辑功能。典型的 PLD 由一个与门和一个或门阵列组成,而任意一个组合逻辑都可以用与-或表达式来描述,所以,PLD 能以“乘积和”的形式完成大量的组合逻辑功能。这一阶段的产品主要有 PAL (Programmable Array Logic) 和 GAL (Generic Array Logic)。PAL 由一个可编程的与平面和一个固定的或平面构成,或门的输出可以通过触发器有选择地被置为寄存状态。PAL 器件是现场可编程的,它的实现工艺有反熔丝技术、EPROM 技术和 EEPROM 技术。还有一类结构更为灵活的逻辑器件是可编程逻辑阵列 (PLA),它也由一个与平面和一个或平面构成,但是这两个平面的连接关系是可编程的。PLA 器件既有现场可编程的,也有掩膜可编程的。在 PAL 的基础上,又发展出一种通用阵列逻辑 GAL,如 GAL16V8, GAL22V10