

高等学校实验课系列教材

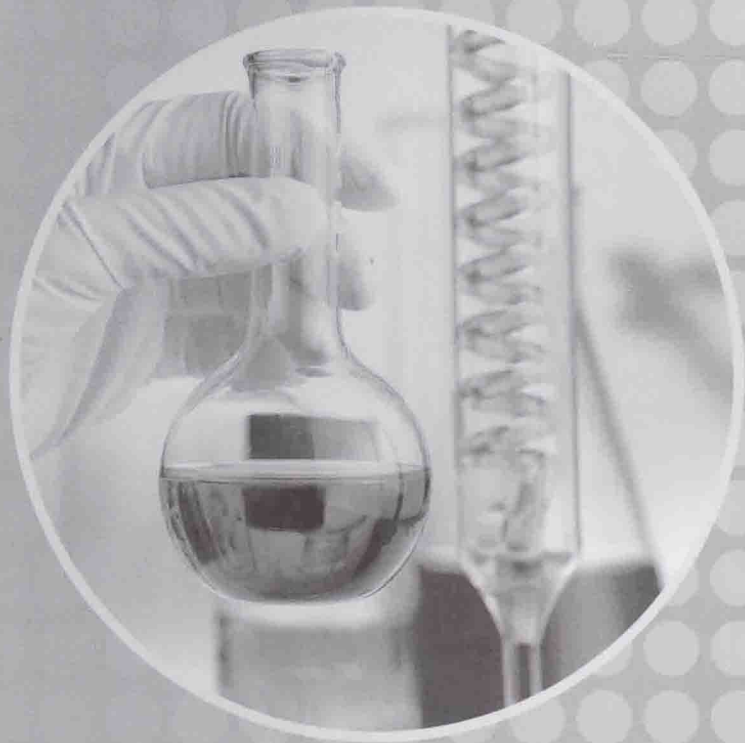
现代数字系统 实验及设计

(第二版)

XIANDAI SHUZI XITONG SHIYAN JI SHEJI

●张玲 何伟 主编

EXPERIMENTATION



重庆大学出版社

<http://www.cqup.com.cn>

现代数字系统实验及设计 (第二版)

主 编 张 玲 何 伟
副主编 胡又文
主 审 曾孝平
参 编 胡国庆 甘 平 林英撑

重庆大学出版社

内容提要

本书为普通高等教育“十一五”国家级规划教材《现代数字系统实验及设计》的修订版。全书分四篇,共12章。第一篇介绍数字系统的设计方法、设计工具和设计平台,包括 Quartus II 仿真设计软件的使用、Nios II 嵌入式系统的开发向导和数字逻辑、FPGA 等器件及实验系统的介绍。第二篇介绍数字电子技术课程的实践环节,包括硬件基础与开放实验、软件仿真实验和基于 EDA 系统的课程设计实践课题。第三、四篇分别介绍 EDA 技术、SOPC 技术两门课程的实验及综合性课程设计实践课题。

本书内容丰富、循序渐进、实践性强,设计工具和实验平台技术先进且实用性好,可供高等院校电子、电气、信息类各专业的本科生、研究生使用,特别适合作为数字电子技术、EDA 技术、SOPC 技术等现代电子技术系列课程的实践教材或参考资料,也可作为一般电子电路设计的工程技术人员的自学参考书。

图书在版编目(CIP)数据

现代数字系统实验及设计/张玲,何伟主编.—2

版—重庆:重庆大学出版社,2014.9

ISBN 978-7-5624-8590-2

I. ①现… II. ①张…②何… III. ①数字系统—实验—高等学校—教材②数字系统—系统设计—高等学校—教材 IV. ①TP271

中国版本图书馆 CIP 数据核字(2014)第 169265 号

现代数字系统实验及设计 (第二版)

主 编 张 玲 何 伟

副主编 胡又文

责任编辑:鲁 黎 版式设计:鲁 黎

责任校对:刘雯娜 责任印制:赵 晟

*

重庆大学出版社出版发行

出版人:邓晓益

社址:重庆市沙坪坝区大学城西路 21 号

邮编:401331

电话:(023) 88617190 88617185(中小学)

传真:(023) 88617186 88617166

网址:<http://www.cqup.com.cn>

邮箱:fxk@cqup.com.cn(营销中心)

全国新华书店经销

重庆升光电力印务有限公司印刷

*

开本:787×1092 1/16 印张:28.25 字数:705 千

2014 年 9 月第 2 版 2014 年 9 月第 3 次印刷

印数:6 001—7 000

ISBN 978-7-5624-8590-2 定价:58.00 元

本书如有印刷、装订等质量问题,本社负责调换

版权所有,请勿擅自翻印和用本书

制作各类出版物及配套用书,违者必究

再版前言

《现代数字系统实验及设计》第一版出版以来,现代电子技术迅猛发展,对现代数字系统系列课程体系、实践教学内容、方法、手段提出了新的要求。我们在总结多年课程改革和教学实践经验的基础上,跟踪新器件、新电路、新技术发展,对教材内容作了大幅度的修改和更新。我们在保持原教材“基础、综合、提高”三层次,“硬件、仿真、设计”三环节实验教学体系的基础上,以业界主流 EDA 工具、FPGA 器件为平台更新实验环境,引入嵌入式软核更新实验内容,增加可编程片上系统(SOPC)技术课程实验深化体系改革,力求保证教材体系和内容的先进,体现技术和工具的行业性。修订的主要内容包括:

1. 第1篇数字系统与工具,删除了陈旧的 MAX + plus II 工具介绍(原第2章内容),将 EDA 工具 Quartus II 软件升级到 9.0 版本,加强了分析设计功能;增加 Nios II 嵌入式系统开发向导内容,为增设 SOPC 技术实验打下基础;采用 Altera 公司的 Cyclone III 系列 FPGA 更新实验器件,开发 LB0 实验系统改善实验环境,并将实验器件与实验系统(原第4篇内容)的介绍并入本章,让读者在本章看到设计工具和实验平台环境的完整性。

2. 第2篇数字电路实验与设计,在保留第5章数字电路经典的基础内容外,增加了第6章数字电路开放实验内容,希望通过学生自主开放实验,培养学生独立思考和创新能力,提高学习兴趣;第7章数字电路仿真实验不仅内容作了整合优化,而且仿真工具采用先进的 Quartus II 替代了 MAX + plus II 仿真软件,芯片验证采用 Cyclone III 系列 FPGA EP3C10E144C8 替代了早期的 EPF10K20TG144,并且提供了硬件验证环境;第八章综合性数字电路设计课题对设计要求作了较大的调整,设计的软硬件环境更新采用了 Quartus II 9.0 和 EDA 硬件平台 LB0 实验开发系统,通过引入嵌入式逻辑分析仪 Signal Tap II 功能,提高设计效率。

3. 第3篇 EDA 技术实验及设计,在第二篇软硬件设计环境全面升级的基础上,对第9章 EDA 技术基础实验的设置进行了全面更新,对第10章综合性 EDA 技术设计课题的设计内容和设计要求进行了调整和拓展;利用方便灵活的硬件平台和功能强大的软件工具增加了设计课题的扩展要求,给读者以更

大的想象和发挥的空间,可供优秀的本科学生或研究生进一步深入学习与实践。

4. 第4篇 SOPC 技术实验与设计,是适应现代电子技术发展,配合现代数字系统系列课程改革,增设 SOPC 技术课程所对应的实践教学全新的内容。第11章 SOPC 技术基础实验是配套课程实验内容,第12章综合性 SOPC 技术设计课题是供综合性设计实践环节选用的内容。SOPC 技术先进、实践性强,本篇实验与设计基于 LB0 实验开发平台并结合 Quartus II 软件与 Nios II 软件完成,可供电子信息专业高年级本科或研究生学习。

本教材由重庆大学通信工程学院组织编写,张玲、何伟担任主编,胡又文担任副主编。其中,张玲负责第1、7章的修订和第3章的编写以及全书的统稿;何伟负责第8、10章的修订;胡又文负责第9章的修订和第11章的编写;林英撑负责第12章和第4.3、4.4节的编写,李瑜、任津仪、应卓君三位研究生为12章课题作了大量工作;胡国庆负责第5、6章和4.1、4.2节的修订;甘平负责第2章的修订。LB0 实验平台由何伟、林英撑负责开发。

国家级教学名师重庆大学曾孝平教授审阅了全书,提出了很多宝贵的意见和建议。在教材的编写和实验平台的开发过程中得到 Altera 公司的帮助。教材的出版得到重庆大学国家“十一五”规划教材立项支持。在此,谨向他们以及对原教材提出过批评和建议的读者们表示衷心的感谢!教材的出版也是重庆大学电子技术系列课程全体教师多年教学改革与实践的结果。在此,向所有关心、支持和帮助我们的同仁表示最诚挚的谢意!

教材内容力求跟踪现代电子技术发展,涉及的新器件、新技术、新方法较多。由于我们的能力和水平有限,书中内容定有疏漏、欠妥和错误之处,恳请各届读者一如既往,多加指正,以便今后不断改进。

编者

2013年10月

目 录

第 1 篇 数字系统与设计工具

第 1 章 数字系统设计	1
1.1 数字系统的基本结构	1
1.2 数字系统的设计方法	2
1.3 数字系统的设计准则	4
1.4 数字系统的设计步骤	5
1.5 EDA 工程设计流程	6
第 2 章 Quartus II 设计向导	9
2.1 Quartus II 开发软件简介	9
2.2 Quartus II 软件的设计过程	13
2.3 设计项目编译综合	15
2.4 SignalTap II 嵌入式逻辑分析仪的使用	38
第 3 章 Nios II 嵌入式系统开发向导	49
3.1 Nios II 嵌入式系统的开发流程	49
3.2 Nios II 嵌入式系统硬件开发	50
3.3 Nios II 嵌入式系统软件开发	59
第 4 章 实验器件与实验系统	71
4.1 数字逻辑实验箱介绍	71
4.2 数字逻辑常用芯片引脚及功能介绍	74
4.3 Cyclone III 器件介绍	80
4.4 LBO 学习板套件介绍	87

第 2 篇 数字电路实验及设计

第 5 章 数字电路基础实验	98
5.1 集成逻辑门的测试及使用	98

5.2	集电极开路(OC)门与三态门	104
5.3	组合逻辑电路设计与分析	110
5.4	MSI 译码器及其应用	118
5.5	MSI 数据选择器及其应用	123
5.6	MSI 半加器、全加器及其应用	126
5.7	集成触发器及其应用	129
5.8	MSI 移位寄存器及其应用	134
5.9	MSI 计数器及其应用	139
5.10	555 定时器实验	142
5.11	脉冲信号的产生与整形	146
5.12	时序逻辑电路的分析与设计	148
5.13	D/A 转换实验	152
5.14	A/D 转换实验	156
第 6 章	数字电路开放实验	160
6.1	交通信号灯自动控制器	160
6.2	模拟汽车尾灯	161
6.3	梯形波产生电路	162
6.4	输血规则	162
6.5	步进电机	162
6.6	数字钟及定时打铃	163
6.7	节日彩灯	164
6.8	智力抢答器	165
6.9	篮球记分牌	165
6.10	模拟乒乓球比赛	166
6.11	计数式数字频率计	166
6.12	转速表	167
6.13	列车时刻滚动显示	167
6.14	邮件分拣	168
6.15	屏幕点阵显示	168
第 7 章	数字电路仿真实验	170
7.1	Quartus II 软件的熟悉和应用	170
7.2	译码器、编码器及比较器实验	174
7.3	数据选择器和奇偶校验实验	179
7.4	主从 JK 触发器和程控计数分频器实验	183
第 8 章	综合性数字电路设计课题	189
8.1	数字频率计	190

8.2 交通信号灯自动控制器	201
8.3 电子秒表	211
8.4 彩灯控制器	219

第3篇 EDA 技术实验及设计

第9章 EDA 技术基础实验	229
9.1 简单组合逻辑与时序逻辑设计	229
9.2 子程序、例化语句和生成语句的应用	237
9.3 实验系统输入输出设计	245
9.4 状态机与乘法器的设计与应用	254
9.5 Quartus II 应用进阶实验	259
第10章 综合性 EDA 技术设计课题	271
10.1 数字钟	271
10.2 等精度数字频率计	290
10.3 乐曲播放器	298
10.4 电子琴	307
10.5 异步串行接口电路	323
10.6 自主设计课题	339

第4篇 SOPC 技术实验及设计

第11章 SOPC 技术基础实验	350
11.1 SOPC 系统实现	350
11.2 SOPC 系统 I/O 设计	357
11.3 中断与定时器设计	362
11.4 基于 Avalon 总线的用户定制外设设计	368
11.5 用户定制指令与 C2H 应用	375
第12章 综合性 SOPC 设计课题	383
12.1 基于 SOPC 的液晶显示贪食蛇游戏机	383
12.2 基于 SOPC 的任意波形发生器	400
12.3 基于 SOPC 的 MP3 播放器	411
参考文献	440

第 **1** 篇

数字系统与设计工具

第 **1** 章

数字系统设计

本章主要介绍数字系统的基本结构、数字系统的各种设计方法、数字系统设计准则、设计步骤和基于大规模可编程逻辑器件实现的 EDA 工程设计流程。学习好本章内容有助于正确理解不同设计方法和不同器件实现的差异,为后续学习打下基础。

1.1 数字系统的基本结构

数字系统通常是指一个能独立完成一系列复杂逻辑功能的若干数字电路的集合。数字系统的规模差异很大,它可以是一台十分庞大的体育场馆用的室外 LED 显示屏,一个自动测试或检测系统,一个网络交换设备,一个图像采集系统,或者是常用的数显电子表、数字温度表、抢答器,也可以是一个更大系统中的一个子系统。例如,智能门控系统的指纹识别和控制部分

就是一个典型的数字系统,其工作过程为:由图像传感器获取开门者的指纹图像,经时序采样和模数转换得到该图像的数字信号,将该信号送入高速实时数字信号处理系统进行实时图像识别,提取该指纹的各种特征数据,再与数据库中所有合法开门者的指纹特征进行逐一比较后,决定是否开门以及开门的各种控制。如果需要,系统还可以自动记录来者的时间、非法来者的次数、自动进行故障诊断等,这就构成了一个比较复杂的数字系统。

数字系统的基本结构如图 1.1.1 所示,它将整个系统划分为两个模块或两个子系统:数据处理子系统和控制子系统。

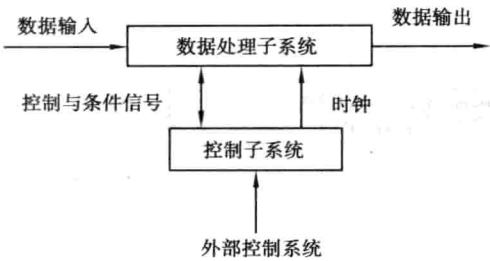


图 1.1.1 数字系统的基本结构

数据处理子系统主要完成数据的采集、存储、运算和传输,一般由存储器、运算器、数据选择器等功能电路组成。数据处理子系统与外界进行数据交换,在控制子系统(或控制器)发出的控制信号作用下进行数据的存储和运算等操作;数据处理子系统接收由控制器发出的控制信号,同时将自己的操作进程或操作结果作为条件信号传送给控制器。数据处理子系统应当根据数字系统实现的功能或算法进行设计。

控制子系统是执行数字系统算法的核心,并具有记忆功能,因此控制子系统也是时序逻辑系统。控制子系统由组合逻辑电路和触发器组成,它与数据处理子系统共用时钟。控制子系统的输入信号由外部控制信号和数据处理子系统送来的条件信号组成,该系统按照数字系统设计方案要求的算法流程,在时钟信号的控制下进行状态转换,同时产生与状态和条件信号相对应的输出信号控制数据处理子系统的具体操作。控制子系统应当根据数字系统功能及数据处理子系统的需求进行设计。

把数字系统划分成数据处理子系统和控制子系统进行设计,这只是设计过程中采用的一种方法,而不是设计的目的和设计的结果。或许一个设计就是一个片上系统,但它同样可以划分成数据处理子系统和控制子系统,每一子系统还可进一步划分为更小的子系统。对于复杂的数字系统,划分的层次可以有数级。这种划分可以帮助设计者集中精力,有重点地理解和处理特定的逻辑问题和数据处理问题,进而设计出逻辑功能明确的子电路图,从而连接成完整的系统电路图。因此,数字系统的划分应当遵循自然、易于理解的原则。

1.2 数字系统的设计方法

数字系统设计有多种方法,主要的方法有模块设计法、MCU 设计法、EDA 设计法等。

(1) 模块设计法

模块设计法通常用真值表、卡诺图、布尔方程、状态(转移)表和状态(转移)图来完整描述

逻辑电路的功能。这样的描述方式对于输入变量、状态变量和输出函数个数较少、复杂程度不高的小规模数字系统的设计是可行的,但这种方法的设计质量在很大程度上依赖于设计者对逻辑设计的熟悉程度、对通用逻辑器件功能掌握的广度和深度以及设计经验的丰富程度。该方法是将所选各种逻辑功能的电路组装成所要求的数字系统,这种设计方法也称为试凑法。模块设计法是数字系统设计中最原始、受限制最多、效率和效果欠佳的方法,通常适用于完全采用通用的 SSI 或 MSI 器件直接实现的小型低复杂度的数字系统,复杂的数字系统一般难于完全用该方法实现。

需要强调的是尽管该方法比较陈旧,不能设计较复杂的数字系统,但是该方法并不是一无是处,它仍然有着较为广泛的应用。首先,并不是所有的数字系统都是十分复杂的系统。对于较简单的系统如果不计成本地使用 MCU 设计法或 EDA 设计法,则不但不会缩短设计的周期,相反会增加系统设计的时间和产品的成本。因为所设计的系统非常简单,本来只需要一个或几个 SSI 或 MSI 芯片就可快速实现的简单电路,取而代之的是一个并不简单的单片机系统,甚至是一个较复杂的嵌入式系统,或者是一个 FPGA 系统。虽然单片机系统、嵌入式系统或 EDA 系统都有较完善的开发和调试环境,由于人为增加了硬件系统的复杂度,其开发周期无疑较完全无需软件编程和调试的模块法要长,即所谓的“杀鸡焉用牛刀”。其次,模块设计法是学习现代数字系统设计方法的基础。一方面,模块设计法逻辑性和原理性强,通过学习模块设计法可以很好地理解和掌握数字电路的工作原理和动态特性,如果没有很好地掌握模块设计法,也很难真正掌握和灵活运用 EDA 设计法;另一方面,EDA 设计法的最终成果实质上仍然是由若干低层次或更低层次的模块构建而成。

(2) MCU 设计法

复杂的数字系统设计可以采用 MCU 设计法。对于 MCU 的应用,过去几乎不能用 SSI 和 MSI 实现的复杂数字系统在 MCU 的软件设计中可以轻松实现。同时,MCU 的使用使电子系统的智能化水平在广度和深度上产生了质的飞跃。但是用 MCU 设计的系统存在运行速度和可靠性不高的缺点,设计成果移植困难、大规模复杂设计不便于多人协作并行工作。因此,MCU 设计法主要用于对智能化要求较高或需要进行人机对话的应用中。

(3) EDA 设计法

基于 EDA 技术的现代数字系统设计一般采用自顶向下、由粗到细、逐步求精的方法。

自顶向下是指将数字系统的整体逐步分解为各个子系统和模块,若子系统规模较大,则还需将子系统进一步分解为更小的子系统和模块,层层分解,直至整个系统中各子系统关系合理,并便于逻辑电路级的设计和实现为止。采用该方法设计时,高层设计采用功能和接口描述,说明模块的功能和接口;模块功能更详细的描述在下一设计层次说明;最底层的设计才涉及具体的寄存器和逻辑门电路等实现方式的描述。

采用自顶向下的设计方法有以下优点:

1) 自顶向下设计方法是一种模块化设计方法

该方法对设计的描述从上到下逐步由粗略到详细,符合常规的逻辑思维习惯。由于高层设计与器件无关,设计易于在各种集成电路工艺或可编程器件之间移植。

2) 适合多个设计者同时进行设计

随着技术的不断进步,许多设计由一个设计者已无法完成,必须经过多个设计者分工协作完成一项设计的情况越来越多。在这种情况下,应用自顶向下的设计方法便于由多个设计者

同时进行设计,对设计任务进行合理分配,用系统工程的方法对设计进行管理。

针对具体的设计,实施自顶向下的设计方法的形式会有所不同,但均需遵循两个原则:逐层分解功能和分层次进行设计。同时,应在各个设计层次上,考虑相应的仿真验证问题。

1.3 数字系统的设计准则

进行数字系统设计时,通常需要考虑多方面的条件和要求,如设计的功能和性能要求,元器件的资源分配和设计工具的可实现性,系统的开发费用和成本等。虽然具体设计的条件和要求千差万别,实现的方法也各不相同,但数字系统设计还是具备一些共同的特点和准则。

(1) 分割准则

自顶向下的设计方法或其他层次化的设计方法,需要对系统功能进行分割,然后用逻辑语言进行描述。分割过程中,若分割过粗,则不易用逻辑语言表达;分割过细,则带来不必要的重复和烦琐。因此,分割的粗细需要根据具体的设计和设计工具而定。掌握分割程度,须遵循以下原则:分割后最底层的逻辑块应适合用逻辑语言进行表达;相似的功能应该设计成共享的基本模块;接口信号尽可能少;同层次的模块之间,在资源和 I/O 分配上,尽可能平衡,以使结构匀称;模块的划分和设计,尽可能做到通用性好,易于移植。

(2) 系统的可观测性

在系统设计中,应该同时考虑功能检查和性能测试,即系统观测性问题。一些有经验的设计者会自觉地在设计系统的同时设计观测电路(即观测器),指示系统内部的工作状态。

建立观测器,应遵循以下原则:具有系统的关键点信号,如时钟、同步信号和状态信号等;具有代表性的节点和线路上的信号;具备简单的“系统工作是否正常”的判断能力。

(3) 同步和异步电路

异步电路会造成较大延时和逻辑竞争,容易引起系统的不稳定,而同步电路则是按照统一的时钟工作,稳定性好。因此,在设计时尽可能采用同步电路进行设计,避免使用异步电路。在必须使用异步电路时,应采取措施避免竞争,增加稳定性。

(4) 最优化设计

由于可编程器件的逻辑资源、连接资源和 I/O 资源有限,器件的速度和性能也是有限的,用器件设计系统的过程相当于求最优解的过程。因此,需要给定两个约束条件:边界条件和最优化目标。

所谓边界条件,是指器件的资源及性能限制。最优化目标有多种,设计中常见的最优化目标有:器件资源利用率最高;系统工作速度最快,即延时最小;布线最容易,即可实现性最好。具体设计中,各个最优化目标间可能会产生冲突,这时应满足设计的主要要求。

(5) 系统设计的艺术

一个系统的设计,通常需要经过反复的修改、优化才能达到设计的要求。一个好的设计,应该满足“和谐”的基本特征,对数字系统可以根据以下几点作出判断:

设计是否总体上流畅,无拖泥带水的感觉;资源分配、I/O 分配是否合理,是否有任何设计上和性能上的瓶颈,系统结构是否协调;是否具有良好的可观测性;是否易于修改和移植;器件的特点是否能得到充分的发挥。

1.4 数字系统的设计步骤

(1) 系统任务分析

数字系统设计中的第一步是明确系统的任务。在设计任务书中,可用各种方式提出对整个数字系统的逻辑要求,常用的方式有自然语言、逻辑流程图、时序图或几种方法的结合。当系统较大或逻辑关系较复杂时,系统任务(逻辑要求)逻辑的表述和理解都不是一件容易的工作。所以,分析系统的任务必须细致、全面,不能有理解上的偏差和疏漏。

(2) 确定逻辑算法

实现系统逻辑运算的方法称为逻辑算法,也简称算法。一个数字系统的逻辑运算往往有多种算法,设计者的任务不但是要找出各种算法,还必须比较优劣,取长补短,从而确定最合理的一种。数字系统的算法是逻辑设计的基础,算法不同,则系统的结构也不同,算法是否合理直接影响系统结构的合理性。确定算法是数字系统设计中最具创造性的一环,也是最难的一步。

(3) 建立系统及子系统模型

当算法明确后,应根据算法构造系统的硬件框架(也称为系统框图),将系统划分为若干个部分,各部分分别承担算法中不同的逻辑操作功能。如果某一部分的规模仍嫌大,则需进一步划分。划分后的各个部分应逻辑功能清楚,规模大小合适,便于进行电路级的设计。

(4) 系统(或模块)逻辑描述

当系统中各个子系统(指最低层子系统)和模块的逻辑功能和结构确定后,则需采用比较规范的形式来描述系统的逻辑功能。设计方案的描述方法可以有多种,常用的描述方法有方框图、流程图和描述语言等。

对系统的逻辑描述可先采用较粗略的逻辑流程图,再将逻辑流程图逐步细化为详细逻辑流程图,最后将详细逻辑流程图表示成与硬件有对应关系的形式,为下一步的电路级设计提供依据。

(5) 逻辑电路级设计及系统仿真

电路级设计是指选择合理的器件和连接关系以实现系统逻辑要求。电路级设计的结果常采用两种方式来表达:电路图方式和硬件描述语言方式。EDA软件允许以这两种方式输入,以便作后续的处理。

当电路设计完成后必须验证设计是否正确。在早期,只能通过搭试硬件电路才能得到设计的结果。目前,数字电路设计的EDA软件都具有仿真功能,先通过系统仿真,当系统仿真结果正确后再进行实际电路的测试。由于EDA软件仿真验证的结果十分接近实际结果,因此,它可极大地提高电路设计的效率。

(6) 系统的物理实现

物理实现是指用实际的器件实现数字系统的设计,用仪表测量设计的电路是否符合设计要求。现在的数字系统往往采用大规模和超大规模集成电路,由于器件集成度高、导线密集,故一般在电路设计完成后即设计印刷电路板,在印刷电路板上组装电路进行测试。需要注意的是,印刷电路板本身的物理特性也会影响电路的逻辑关系。

1.5 EDA 工程设计流程

对于目标器件为 FPGA 和 CPLD 的 VHDL 设计,其工程设计的基本流程如图 1.5.1 所示,具体说明如下。

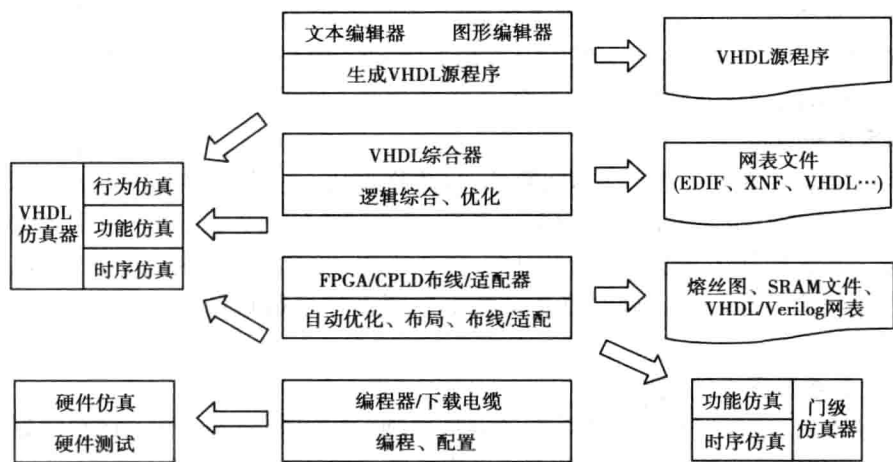


图 1.5.1 EDA 工程设计流程图

(1) 源程序的编辑和编译

利用 EDA 技术进行一项工程设计,首先需利用 EDA 工具的文本编辑器或图形编辑器将它用文本方式或图形方式表达出来,进行排错编译,变成 VHDL 文件格式,为进一步的逻辑综合作准备。

常用的源程序输入方式有 3 种。

1) 原理图输入方式

利用 EDA 工具提供的图形编辑器以原理图的方式进行输入。原理图输入方式比较容易掌握,直观且方便,所画的电路原理图与传统的器件连接方式完全一样,很容易被人接受,而且编辑器中有许多现成的单元器件可以利用,自己也可以根据需求设计元件。然而原理图输入法的优点同时也是它的缺点:

- ①随着设计规模增大,设计的易读性迅速下降,对于图中密密麻麻的电路连线,极难搞清电路的实际功能。
- ②一旦完成,电路结构的改变将十分困难,因而几乎没有可再利用的设计模块。
- ③移植困难、入档困难、交流困难、设计交付困难,因为不可能存在一个标准化的原理图编辑器。

2) 状态图输入方式

它是以图形的方式表示状态图进行输入。当填好时钟信号名、状态转换条件、状态机类型等要素后,就可以自动生成 VHDL 程序。这种设计方式简化了状态机的设计,比较流行。

3) VHDL 软件程序的文本方式

它是最一般化、最具普遍性的输入方法,任何支持 VHDL 的 EDA 工具都支持文本方式的

编辑和编译。

(2) 逻辑综合和优化

要把 VHDL 的软件设计与硬件的可实现性挂钩,则需利用 EDA 软件系统的综合器进行逻辑综合。

综合器的功能就是将设计者在 EDA 平台上完成的 HDL、原理图或状态图形的系统描述,针对给定硬件结构组件进行编译、优化、转换和综合,最终获得门级电路甚至更低层的电路描述文件。由此可见,综合器工作前,必须给定最后实现的硬件结构参数,它的功能就是将软件描述与给定硬件结构用某种网表文件的方式联系起来。显然,综合器是软件描述与硬件实现的一座桥梁。综合过程就是将电路的高级语言描述转换成低级的、可与 FPGA/CPLD 或构成 ASIC 的门阵列基本结构相映射的网表文件。

由于 VHDL 仿真器的行为仿真功能是面向高层次的系统仿真,只能对 VHDL 的系统描述作可行性的评估测试,不针对任何硬件系统,因此,基于这一仿真层次的许多 VHDL 语句不能被综合器所接受。这就是说,这类语句的描述无法在硬件系统中实现(至少是现阶段),这时,综合器不支持的语句在综合过程中将别忽略。综合器对源 VHDL 文件的综合是针对某一 PLD 供应商的产品系列的。因此,综合后的结果是可以为硬件系统所接受,具有硬件可实现性。

(3) 目标器件的布线/适配

逻辑综合通过后必须利用适配器将综合后的网表文件针对某一具体的目标器进行逻辑映射操作,其中包括底层器件配置、逻辑分割、逻辑优化、布线与操作,适配完成后可以利用适配所产生的仿真文件作精确的时序仿真。

适配器的功能是将由综合器产生的网表文件配置于指定的目标器件中,产生最终的下载文件,如 JEDEC 格式的文件。适配器所选定的目标器件(FPGA/CPLD 芯片)必须属于原综合器指定的目标器件系列。通常,EDA 软件中的综合器可由专业的第三方 EDA 公司提供,而适配器则需由 FPGA/CPLD 供应商自己提供,因为适配器的适配对象直接与器件结构相对应。

(4) 目标器件的编程/下载

如果编译、综合、布线/适配和行为仿真、功能仿真、时序仿真等过程都没有发现问题,即满足原设计的要求,则可以将由 FPGA/CPLD 布线/适配器产生的配置/下载文件通过编程器或下载电缆载入目标芯片 FPGA 或 CPLD 中。

(5) 设计过程中的有关仿真

可以先对 VHDL 所描述的内容进行行为仿真,即将 VHDL 设计源程序直接送到 VHDL 仿真器中仿真,这就是所谓的 VHDL 行为仿真。因为此时的仿真只是根据 VHDL 的语义进行的,与具体电路没有关系。此时的仿真中,可以充分利用 VHDL 中的适用于仿真控制的语句及有关的预定义函数和库文件。

在综合之后,VHDL 综合器一般都可以生成一个 VHDL 网表文件。网表文件中描述的电路与生成的 EDIF/XNF 等网表文件一致。VHDL 网表文件采用 VHDL 语法,只是其中的电路描述采用了结构描述方法,即首先描述了最基本的门电路,然后将这些门电路用例化语句连接起来。这样的 VHDL 网表文件再送到 VHDL 仿真器中进行所谓功能仿真,仿真结果与门级仿真器所做的功能仿真的结果基本一致。

需要注意的是,图 1.5.1 中有两个仿真器,一个是 VHDL 仿真器,另一个是门级仿真器。它们都能进行功能仿真和时序仿真。所不同的是仿真用的文件格式不同,即网表文件不同。

这里所谓的网表(Netlist),是特指电路网络,网表文件描述了一个电路网络。目前流行多种网表文件格式,其中最通用的是 EDIF 格式的网表文件,Xilinx XNF 网表文件格式也很流行,不过一般只在使用 Xilinx 的 FPGA/CPLD 时才会用到 XNF 格式。VHDL 文件格式也可以用来描述电路网络,即采用 VHDL 语法描述各级电路互连,称之为 VHDL 网表。

功能仿真是仅对 VHDL 描述的逻辑功能进行测试模拟,以了解其实现的功能是否满足原设计的要求,仿真过程不涉及具体器件的硬件特性,如延时特性。时序仿真是接近真实器件运行的仿真,仿真过程中已将器件特性考虑进去了,因而,仿真精度要高得多。但时序仿真的仿真文件必须来自针对具体器件的布线/适配器所产生的仿真文件。综合后所得的 EDIF/XNF 门级网表文件通常作为 FPGA 布线器或 CPLD 适配器的输入文件。通过布线/适配的处理后,布线/适配器将生成一个 VHDL 网表文件,这个网表文件中包含了较为精确的延时信息,网表文件中描述的电路结构与布线/适配后的结果是一致的。此时,将这个 VHDL 网表文件送到 VHDL 仿真器中进行仿真,就可以得到精确的时序仿真结果了。

(6) 硬件仿真/硬件测试

这里所谓的硬件仿真是针对 ASIC 设计而言的。在 ASIC 设计中,比较常用的方法是利用 FPGA 对系统的设计进行功能检测,通过后再将其 VHDL 设计以 ASIC 形式实现;而硬件测试则是针对 FPGA 或 CPLD 直接用于应用系统的检测而言的。

硬件仿真和硬件测试的目的,是为了在更真实的环境中检验 VHDL 设计的运行情况,特别是对于 VHDL 程序设计上不是十分规范、语义上含有一定歧义的程序。一般的仿真器包括 VHDL 行为仿真器和 VHDL 功能仿真器,它们对于同一 VHDL 设计的“理解”,即仿真模型的产生,与 VHDL 综合器的“理解”,即综合模型的产生,常常是不一致的。此外,由于目标器件功能的可行性约束,综合器对于设计的“理解”常在有限范围内选择,而 VHDL 仿真器的“理解”是纯软件行为,其“理解”的选择范围要宽得多,结果这种“理解”的偏差势必导致仿真结果与综合后实现的硬件电路在功能上的不一致。当然,还有许多其他的因素也会产生这种不一致,由此可见,VHDL 设计的硬件仿真和硬件测试是十分必要的。

第 2 章

Quartus II 设计向导

EDA 工具软件也称为 EDA 设计平台,它是现代电子设计的主要手段。因此,掌握优秀的 EDA 工具软件是进行数字系统设计的关键。Quartus II 软件是众多 EDA 工具软件中十分优秀的的一个,它易学、易用、操作方便,尤其适合初学者使用。

本章主要介绍 Quartus II 软件的主要特性、设计流程、设计方法、仿真和验证。设计输入法主要有图形输入法和文本输入法两种。数字电子技术课程的学习、仿真与实现主要使用图形输入法,其中的库元件如与门、与非门、异或门等与数字电子技术课程中学习的小规模集成电路的电路符合和元件是完全一致的,不仅如此,像三-八译码器 74138、同步 4 为二进制计数器 74161 和移位寄存器 74195 等中规模集成电路在 Quartus II 的库元件中也同样存在。而 EDA 技术课程由于使用硬件描述语言进行设计则主要使用文本输入法。

2.1 Quartus II 开发软件简介

Quartus II 是 Altera 公司推出的 CPLD/FPGA 开发工具,提供了完全集成且与电路结构无关的开发包环境。Quartus II 集成环境包括以下内容:系统级设计、嵌入式软件开发、可编程逻辑器件(PLD)设计、综合、布局和布线、验证和仿真。

Quartus II 设计软件根据设计者需要提供了一个完整的多平台开发环境,它包含整个 FPGA/CPLD 设计阶段的解决方案。Quartus II 软件的开发流程如图 2.1.1 所示。

Quartus II 设计工具完全支持 VHDL, Verilog 的设计流程,其内部嵌有 VHDL, Verilog 逻辑综合器。也可采用第三方的综合工具,如 Leonardo Spectrum, Synplify Pro, FPGA Compiler II 等,有着更好的综合效果,因此通常建议使用这些工具来完成 VHDL/Verilog 源程序的综合。Quartus II 可以直接调用这些第三方工具。同样,Quartus II 具备仿真功能,但也支持第三方的仿真工具,如 ModelSim。此外,Quartus II 与 MATLAB 和 DSP Builder 结合可以进行基于 FPGA 的 DSP 系统开发,是 DSP 硬件系统实现的关键 EDA 工具。Quartus II 还可与 SOPC Builder 结合,实现可编程片上系统开发。